

Окончание. Начало в № 8`2006

Ростислав ГРУШВИЦКИЙ
RIGrushvitsky@mail.eltech.ru
Игорь ИЛЬИН
igr@mail.ru
Максим МИХАЙЛОВ
yamaksya@yandex.ru

Метод граничного сканирования для смешанных сигналов

Возможности аналогового сканирования

Когда тестируемая схема включает фрагмент, имеющий хотя бы один внешний аналоговый или смешанный сигнал, ориентация на новый стандарт расширяет возможности для тестирования. Основные элементы измерительной аппаратуры включают модули аналогового сканирования (Analog Boundary Module — АВМ) и интерфейсную схему тестовой шины (Test Bus Interface Circuit — ТВИС), сопрягающую выбранные аналоговые контакты с тестирующим устройством через контакты АТ1 и АТ2. По аналогии с дискретным управлением, контакты АТ1 и АТ2 носят название «порт доступа аналогового тестирования» (АТАР — Analog Test Access Port).

Тестовые возможности аналоговых входов и выходов для стандарта IEEE 1149.4 достаточно близки к возможностям стандарта IEEE 1149.1, однако аналоговый модуль имеет совершенно другую структуру (архитектура АВМ приведена на рис. 7). В отличие от цифрового модуля, который в зависимости от требований мог иметь от одного до трех триггеров, аналоговый модуль занимает в регистре данных граничного сканирования

четыре разряда. Выходы этих триггеров на рис. 7 обозначены как С (Control), D (Data), В1 (АВUS1) и В2 (АВUS2). Параллельные триггеры корректировки (update trigger) (не обязательные в некоторых реализациях IEEE 1149.1) являются обязательными для аналогового модуля стандарта IEEE 1149.4.

Совершенно естественно, что для тестирования соединения двух любых контактов ИС платы требуется наличие двух полупроводниковых переключателей. Один переключатель должен коммутировать соединение внешнего контакта ИС с АВМ, а другой — с блоком ТВИС внутри ИС. Когда контакты АТАР не управляются каким-либо выводом ИС платы или измерительным прибором, они должны находиться в высокоимпедансном состоянии.

Новые элементы (АТАР, ТВИС, внутренние и внешние тестовые шины) вместе образуют схемы, которые поддерживают не только структурное тестирование ИС, ее внешних и внутренних цепей, но и параметрические измерения характеристик межсоединений и даже характеристик пассивных элементов, подключаемых к контактам ИС (как снаружи, так и внутри ИС). На практике измерение импеданса или других аналоговых параметров платы или элементов, окружающих БИС,

может производиться программным доступом через сигналы JTAG-цепочки. Для изменения параметров компоненты (включая соединительный провод, установленный на тестируемой плате) должны подключаться к контактам аналогового типа.

С точки зрения схемотехники структура тестовых контактов АТ1 и АТ2 несколько различна. В процессе тестирования принято, чтобы входной тестовый аналоговый сигнал (стимул) подавался на контакт АТ1 (АТЕ), а ответный аналоговый тестовый выходной сигнал (отклик) снимался с АТ2. Сигнал, находящийся на внутренней шине АВ1, может быть подключен либо к ядру ИС, либо через функциональные контакты к внешним цепям, аналогично ответный сигнал на АВ2 может передаваться из ядра ИС или от внешних цепей. Модуль аналогового сканирования АВМ при выполнении измерений может выполнять широкий спектр тестовых манипуляций с системными контактами ИС (под системными контактами будем понимать не только внешние контакты ИС, но и ее внутренние точки, способные выполнять определенные системные функции).

Модуль АВМ позволяет:

- устанавливать на выходном контакте один из двух уровней напряжения: V_H (логическая 1) или V_L (логический 0);
- фиксировать в сканирующей цепочке напряжение на входном контакте. Представление в цифровую форму выполняется путем сравнения с пороговым напряжением V_{TH} , где величина V_{TH} лежит в диапазоне, вычисляемом по формуле $(V_H + V_L)/2 \pm (V_H - V_L)/4$;
- переводить контакт в высокоимпедансное состояние. Обычно в цифровых системах такое состояние выполняется достаточно просто средствами отключения логического ядра. В случаях аналоговых цепей такая функция отключения может не предусматриваться из-за повышенных требований к эффективности. Проектировщик должен принять меры по предотвращению неблагоприятного воздействия внутренних сигналов ядра на сигналы, присутствующие на контакте в течение тестовых действий;
- передавать ток от тестовой шины АВ1 к контакту;
- передавать напряжение от контакта на тестовую шину АВ2;

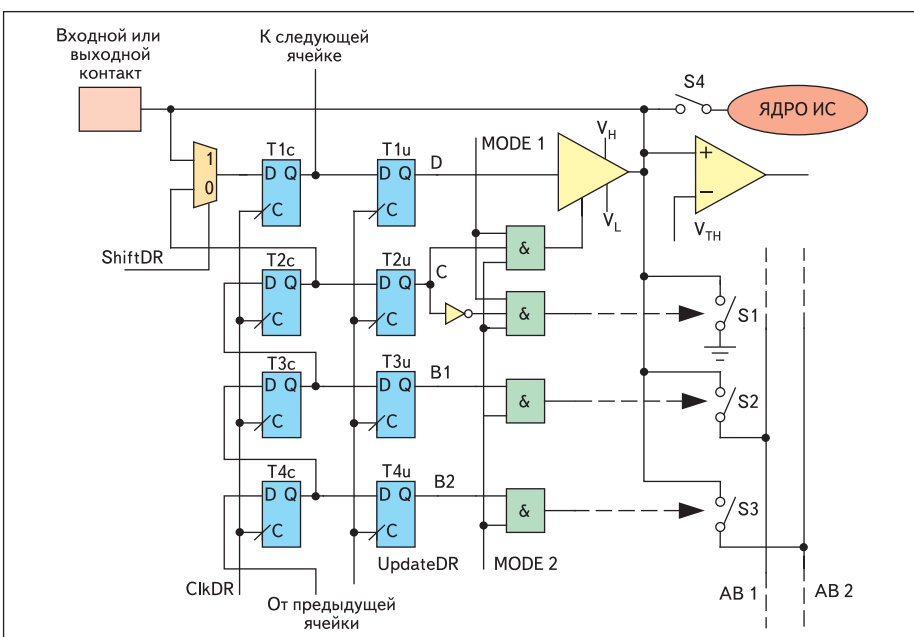


Рис. 7. Архитектура модуля АВМ

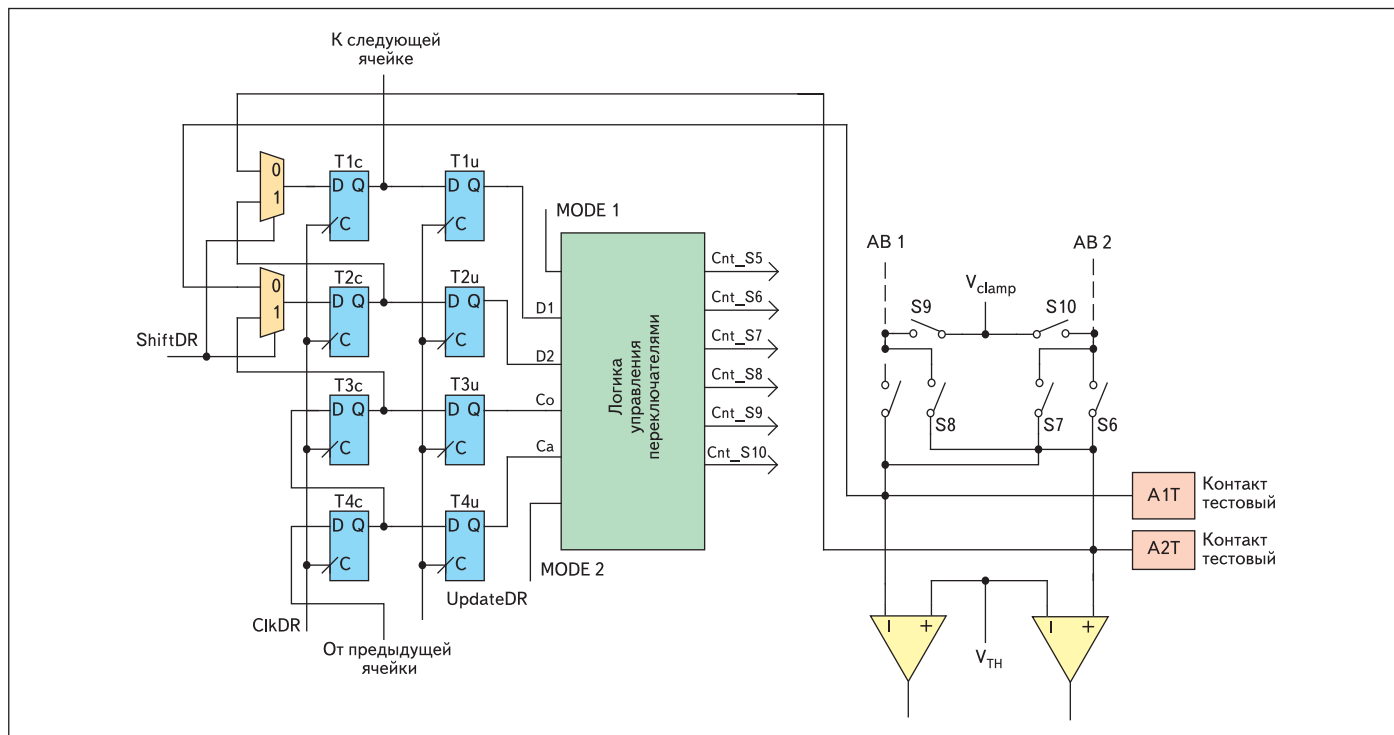


Рис. 8. Структура блока TBIC

- устанавливать на контакте напряжение аналоговой земли V_G .

Если первые три пункта вышеприведенного списка полностью дублируют возможности стандартного граничного сканирования (и, соответственно, модуля DBM, подключенного к цифровому системному контакту), то три последних свойства открывают широкие перспективы проведения разнообразных тестовых экспериментов в системах со смешанным представлением информации.

Модули АВМ необходимо подключать ко всем системным аналоговым функциональным контактам. Более того, поскольку цифровые цепи ИС являются подклассом аналоговых цепей, сигналы которых дискретизированы на два допустимых уровня напряжений, системные контакты таких цепей могут рассматриваться как аналоговые контакты с подключением не к модулям DBM, а к модулям АВМ. Несмотря на увеличение аппаратных затрат, такое подключение может оказаться исключительно полезным как на этапе разработки ИС, так и при ее последующем тестировании.

Модуль TBIC (рис. 8) содержит четыре триггера регистра сдвига/захвата (входящие в состав основного регистра граничного сканирования), которые соединены с четырьмя триггерами коррекционного регистра. Содержимое коррекционных регистров (данные_1 — D1, данные_2 — D2, управление — Co, калибровка — Ca) управляет десятью переключателями (S1...S10). Показанная на рис. 8 структура при управлении из JTAG-цепочки позволяет:

- при помощи переключателей S1...S4 подсоединить каждый контакт АТАР к напря-

жением V_H или V_L (что эквивалентно логическим уровням данного контакта, различным для разных контактов одной и той же БИС);

- при помощи переключателей S5...S8 подсоединить каждый контакт АТАР к любой внутренней тестовой шине (AB1 или AB2);
- при помощи необязательных переключателей S9...S10 напряжение внутреннего источника V_{clamp} подавать на внутренние тестовые шины (AB1, AB2).

Поскольку модуль TBIC содержит два аналоговых компаратора, подключенных к внешним тестовым контактам, переключающая структура позволяет сравнить напряжения на контактах АТ1 и АТ2 с пороговым напряжением V_{TH} (то есть оцифровать их) с последующим запоминанием этих значений в триггерах-защелках сдвигового регистра. Как и в цифровых схемах JTAG, эти значения затем могут быть легко проверены пользователем.

Работа интерфейса на уровне команд JTAG

Выполнение нового класса тестовых действий не могло свестись только к добавлению новых переключателей и управляющих ими триггеров. Понадобилось введение и новых команд для JTAG-интерфейса. Все команды делятся на две группы: Public и Private. Public-инструкции — это команды, обязательные к реализации всеми ИС, поддерживающими

JTAG-интерфейс. Private-инструкции необязательны к реализации всеми разработчиками. Обычно Private-инструкции вводятся для собственных нужд разработчиками и не документируются. Чаще всего такие инструкции обеспечивают тестовый доступ к внутренним сигналам ядра ИС для разрешения проблем тестирования готовой продукции и т. п. Новой Public-инструкцией стандарта IEEE 1149.4 является команда *PROBE*. Однако следует учесть, что многие инструкции стандарта IEEE 1149.1 для аналоговых контактов интерпретируются несколько иначе, чем раньше. В основном это связано с различной трактовкой в стандартах ранее не различаемых понятий. Например, понятие «логическая 1» в стандарте IEEE 1149.1 и «максимальное напряжение, которое может возникнуть на данном контакте» в стандарте IEEE 1149.4.

Новый стандарт относительно старого потребовал введения всего одной дополнительной обязательной команды — *PROBE*. Она осуществляет обмен данными через регистр граничного сканирования. Каждый модуль DBM соединяет соответствующие точки ядра ИС с внешними контактами (поведение такое же, как при выполнении команды *SAMPLE/PRELOAD* и *BYPASS*¹). Когда выполняется команда *PROBE*, каждый модуль АВМ должен быть установлен так, чтобы его контакты были подключены к ядру ИС. Кроме того, один или оба АТАР-контакта должны быть подключены к соответствующим аналоговым тестовым шинам. Управляющий

¹ Примечание. Фаза *PRELOAD* команды *SAMPLE/PRELOAD* может использоваться перед вызовом команды *PROBE*, чтобы обеспечить желаемое содержимое управляющих триггеров блоков АВМ и TBIC, а соответственно и желаемое соединение аналогового оборудования.

регистр модуля АВМ определяет, к каким функциональным контактам подключаются внутренние аналоговые тестовые линии.

При тестировании смешанных соединений при выполнении тех или иных команд стандарта чаще всего предполагаются следующие режимы работы:

- Внутренние шины АВ1 и АВ2 отсоединяются от внешних контактов (АТ1 и АТ2) и подключаются к внутреннему помехозащищенному источнику напряжения V_{clamp} . Такая конфигурация необходима при нормальном режиме работы схемы или при выполнении команд *BYPASS*, *SAMPLE/PRELOAD*, *HIGHZ*, *IDCODE*, *USERCODE* и некоторых других.
- Шина АВ1 подсоединяется к АТ1 и/или АВ2 подсоединяется к АТ2 (если к АТАР порту подключается только одна из внутренних шин АВ, то уровень напряжения на другой фиксируется источником V_{clamp}). Такой тип подсоединения используется для команд *PROBE* и *INTEST*, когда функциональный контакт соединяется с ядром ИС, а также при аналоговых измерениях командой *EXTEST*, когда функциональный контакт отключается от ядра ИС.
- На контакты порта АТАР подаются логические сигналы (V_H или V_L). Внутренние тестовые шины при этом фиксируются напряжением V_{clamp} . Подобная схема включения используется в команде *EXTEST* для проверки целостности межсоединений внешних тестовых шин на уровне печатной платы.
- Соединение контактов АТ1 и АТ2 через внутренние шины. Данная модель соединения позволяет измерить характеристики тестовых шин (и внутренних переключателей) путем подачи тестовых сигналов на АТАР порт, прохода их через АВ1 или АВ2 и наблюдения результата на АТАР порту без прохода через любые другие внутренние цепи.

Логические возможности команд стандарта в тестирующем комплексе

Внедрение новых элементов в ИС и соответствующие модификации команд в стандарте позволили существенно расширить возможности измерительного оборудования, управляющего JTAG-цепочкой. Естественно, что полнота реализации возможностей нового стандарта определяется аппаратным и программным обеспечением, включенным в состав измерительного прибора. Несомненным достоинством стандарта является способность с незначительными модификациями использовать для тестирования цифровых частей оборудование, разработанное для стандарта IEEE 1149.1. Однако чтобы получить все выгоды нового стандарта, необходима корректировка всех частей процедуры проектирования и определенное изменение последовательности разработки.

Прежде всего, необходимо найти решение методологических вопросов использования возможностей стандарта. Разработчик должен решить, что он будет измерять, каким методом, с какой точностью и разрешающей способностью и т. д. Следующим вопросом, естественным образом вытекающим из результатов выполнения предыдущего этапа, является проблема аппаратного обеспечения тестового прибора и, возможно, оборудования, включенного между ним и тестируемым БИС. В состав универсального тестового прибора должны быть включены средства создания калиброванных стимулов (например, цифро-аналоговые преобразователи требуемой разрядности, диапазона выходных сигналов, возможно, усилители мощности выходных сигналов), средства измерения реакции (откликов), например, цифро-аналоговые преобразователи (с шагом разрешения порядка 100 мВ). В определенных случаях требуется определенное функциональное регулирование этого аналого-цифрового и цифро-аналогового оборудования.

Усложнение структуры оборудования БИС, естественно, отразилось на сложности программного обеспечения, управляющего работой регистров сканирования. Как уже отмечалось выше, новый стандарт сохранил возможности работы старого ПО при тестировании дискретных сигналов. Тестирование структуры схемы, включающей аналоговые соединения или подключения к контактам дифференциальных сигнальных пар, требует определенных изменений в программном обеспечении. Однако функциональная однотипность организации регистров, контролируемых аналоговые ключи и цифровые сканирующие ячейки, несколько упрощает разработку управляющих программ. Значительно более сложная задача стоит при разработке программной поддержки параметрических измерений. Здесь работы большинства фирм, занимающихся разработкой ПО для JTAG-интерфейса, находятся на начальных стадиях.

Внедрение новой аппаратуры и модификация команд в стандарте IEEE 1149.4 открыли новые возможности проведения испытаний. Например, появились возможности тестирования наличия соединений у контактов питания, проверки наличия управляющих сигналов интерфейса и т. д. Расширенные возможности команды *EXTEST* позволяют загружать во время ее исполнения в управляющие регистры модуля АВМ достаточно сложные логические управляющие действия.

Важнейшим достоинством стандарта является возможность не просто осуществлять тестирование межсоединений, а выполнять их параметрическое тестирование. Использование внешнего оборудования, подключенного к двум системным тестовым аналоговым шинам АТ1 и АТ2, позволяет во время выполнения команды *EXTEST*, например, измерить импеданс элементов или межсоединений. Указанные измерения требуют определенной ор-

ганизации проведения экспериментов. И здесь нельзя не отметить преимущество идей аналогового граничного сканирования, связанное с ориентацией на дешевые и стандартные измерительные средства, управляемые обычным персональным компьютером. Методике выполнения таких экспериментов посвящен следующий раздел.

Методология тестирования при наличии аналогового интерфейса JTAG

Хотя возможности нового стандарта упоминались в процессе рассмотрения новых функциональных узлов БИС, целесообразно рассмотреть методику применения средств, предлагаемых стандартом в различных прикладных условиях. Как уже отмечалось, глобальное использование аналогового интерфейса JTAG, как правило, связано с тремя основными предметными областями: системным тестированием, проектированием БИС и внутрисхемными измерениями.

В свою очередь, системное тестирование в зависимости от поставленной задачи и объектов тестирования можно подразделять на структурное, параметрическое и тестирование внутренних параметров БИС.

Задачей первого направления является тестирование структуры исследуемой схемы. Граничное сканирование уже в рамках стандарта IEEE 1149.1 в активном режиме позволяло определять наличие или отсутствие цепей, связывающих цифровые контакты между собой. Для этого на одном контакте выставляются поочередно значения логических единиц и нулей, а контроль цифровых значений на другом интересующем контакте позволяет с достаточной степенью достоверности говорить о наличии или отсутствии связи между интересующими контактами. Если все межсоединения тестируемой схемы объединяли контакты ИС, поддерживающие методы граничного сканирования, то контроль правильности структуры печатной платы (вне зависимости от числа слоев и типов корпусов ИС) легко поддавался автоматизации. Стандартные ячейки BSC стандарта IEEE 1149.1 были ориентированы на стандартные цифровые соединения и BSD-файлы стандартного граничного сканирования. В некоторых случаях проверять удавалось и небольшие фрагменты, не охваченные граничным сканированием. Ряд фирм включился в разработку средств, автоматизирующих разработку тестов для контроля структуры электронных схем различной сложности и назначения. Поскольку теми же свойствами по функциям и допустимым действиям для цифровых цепей БИС обладают цифровые модули BDM стандарта IEEE 1149.4, то это позволяет использовать ранее разработанное измерительное оборудование и тестовые программы для БИС нового стандарта (естественно, это относится только к соответствующим фрагментам).

Новый стандарт помимо цифровых контактов вводит в рассмотрение новые типы контактов. Расширения граничного сканирования, прежде всего, связаны с введением новых типов сканируемых или тестируемых контактов. Как говорилось выше, были добавлены логические контакты для дифференциальных сигнальных пар. Возможности контроля работоспособности дифференциальных соединений в немалой степени зависят от используемой аппаратуры. Для работы с этими типами контактов в стандарте предусмотрено применение той или иной схемы, ориентированной либо на цифровые (DBM), либо аналоговые (ABM) граничные модули. Различные варианты организации сканирования дифференциальных входных и выходных контактов на базе модулей DBM не только требуют различных аппаратных затрат, но и, соответственно, имеют несколько отличающиеся функциональные возможности. Большие возможности для тестирования контактов дифференциальных пар открывают аналоговые граничные модули (ABM) нового стандарта. Практически независимо от схемной реализации в большинстве случаев архитектура позволяет тестировать дифференциальное соединение как два одиночных межсоединения, а для схем, построенных с модулями ABM, — и как функциональный блок, содержащий цепи приема и передачи дифференциальных сигналов. Причем функциональный блок может проверяться не только с точки зрения структуры, но и с точки зрения полученных параметров. Аналоговые граничные модули (ABM) нового стандарта поддерживают тестирование структур, содержащих соединения аналоговых блоков между собой.

БИС, поддерживающие стандарт IEEE 1149.4 и подключающие контакты аналого-цифровой интерфейсы к ядру БИС через модули ABM, приобретают возможность определять параметры тестируемых объектов, то есть выполнять параметрическое тестирование. В отличие от цифровых сигналов, для контроля которых было достаточно для заданного момента времени определить его значение (ноль или единица), аналоговые сигналы характеризуются как диапазоном изменения своих величин, так и их изменением во времени. При этом существенным для прикладных целей может оказаться точность определения этих параметров. Отсюда и сложность введения нового стандарта. Определение характеристик аналоговых сигналов напрямую зависит от параметров аналоговых и цифро-аналоговых элементов цепей, используемых в схемах ABM и TBIC. Одними из базовых элементов схем, ориентированных на применение стандарта IEEE 1149.4, являются переключатели аналоговых сигналов. Их реальные параметры далеки от идеальных (ненулевое замкнутое состояние, отсутствие полного разрыва при размыкании и просто нелинейность при передаче сигнала). Поэтому не следует ожидать большой точности

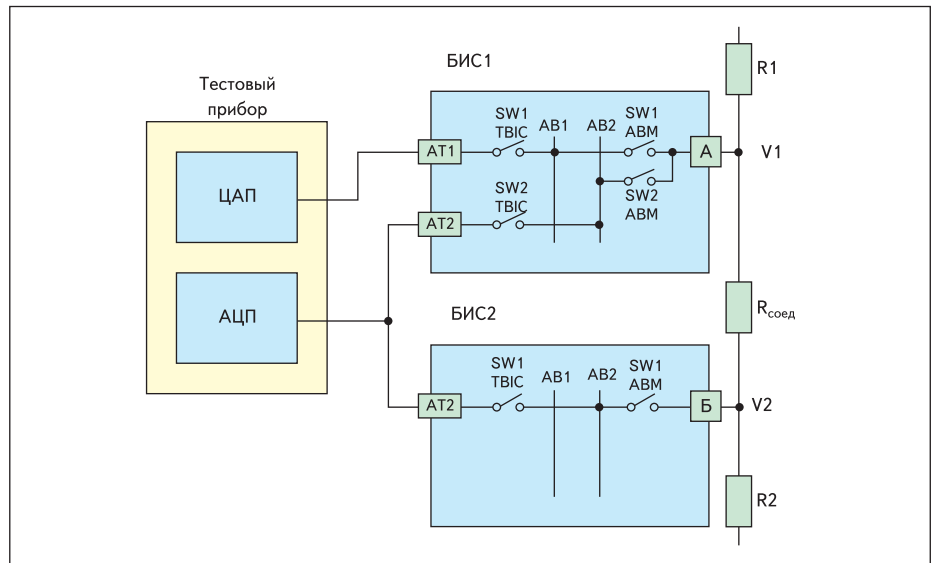


Рис. 9. Реализация метода I–V для измерения величины сопротивления межсоединения $R_{\text{соед}}$

(по крайней мере, на начальных этапах внедрения стандарта). С другой стороны, само по себе наличие большого числа коммутирующих элементов и сопутствующих им паразитных параметров не позволяет говорить и о допустимости работы на высоких частотах.

Возможность подключения любых внешних контактов аналогового типа БИС через две внутренние аналоговые шины AB1 и AB2 каждой БИС к ее двум аналоговым контактам AT1 и AT2, которые, в свою очередь, могут подключаться к тестирующему устройству, позволяют выполнять разнообразные эксперименты и осуществлять параметрические измерения.

Отдельный интерес представляет анализ возможностей, предоставляемых стандартом для определения параметров пассивных компонентов. Средства ИС стандарта позволяют производить измерения на постоянном и переменном токе, а также осуществлять определение разнообразных параметров аналоговых данных. В работе [10] приводятся данные по точности определения величин неизвестных резисторов на основе положений закона Ома (поэтому метод носит название метода I–V). Подача известной величины постоянного тока (стимул) в цепь, содержащую неизвестный резистор, и измерение падения напряжения (отклик) на нем позволяют определить искомую величину, не зная величин сопротивлений ключей в блоках ABM и TBIC. Точность измерителя отклика и его разрешающая способность, а также существующие ограничения на предельно допустимый ток стимула определяют достижимую точность измерений. В описываемых экспериментах она не превышала 1%. Схожая методика может быть применена для измерений неизвестных величин конденсаторов. В качестве источников стимулирующих воздействий при таком подходе должны использоваться генераторы переменного тока.

При известных частотах стимулов полученные отклики позволяют достаточно точно определить неизвестную величину.

Рассмотрим пример измерения величины сопротивления соединительной цепи $R_{\text{соед}}$ между контактом А БИС1 и контактом Б БИС2. Возможный вариант схемной реализации такого измерения показан на рис. 9. Предполагается, что в состав тестового прибора входит генератор калиброванного тока (величиной $I_{\text{стим}}$) на базе цифро-аналогового преобразователя (ЦАП) и измерительный аналого-цифровой преобразователь (АЦП), позволяющий измерить величину откликов измерительной цепи (напряжение V_1 на контакте А схемы 1 и напряжение V_2 на контакте Б схемы 2).

На подготовительном этапе осуществляется отключение резисторов R1 и R2 (соединительных цепей контактов А и Б с другими контактами схемы). Если отключение по тем или иным причинам невозможно, то величины резисторов R1 и R2 должны учитываться при вычислении величины сопротивления соединительной цепи $R_{\text{соед}}$. Процедура измерения выполняется при помощи команды PROBE в два этапа. На первом этапе тестовый ЦАП подключен через тестовый контакт AT2 первой БИС к контакту А и измеряет напряжение V_1 на этом контакте, возникающее вследствие протекания калибровочного тока (который формируется ЦАП тестового прибора и подается через тестовый контакт AT1 этой же схемы в измерительную цепь). На втором этапе тестовый ЦАП подключается к контакту Б второй БИС через ее тестовый контакт AT2 и измеряет напряжение V_2 . Зная падение напряжения на соединительной цепи ($V_2 - V_1$) при протекании калибровочного тока, можно определить искомое сопротивление соединительной цепи.

Другая рассмотренная в работе [10] методика носит название *Roll-off*. Неизвестная ве-

личина емкости конденсатора определяется по спаду амплитудно-частотной характеристики RC-фильтра, получаемого как комбинация резистора с известным сопротивлением и измеряемого конденсатора.

Методики, изложенные в работах [10] и [11], позволяют измерять величины напряжений, токов, резисторов, конденсаторов, комплексных сопротивлений и других элементов, находящихся снаружи ИС и внутри нее. Возможность передачи потенциала, присутствующего на практически любом контакте ИС, в измерительное устройство, а также возможность добавления определенных элементов к исследуемой схеме и последующее измерение откликов на проводимые эксперименты — все это позволяет не только измерять величины сопротивлений, емкостей, индуктивностей и даже комплексных сопротивлений, но и организовать значительно более сложные эксперименты не только на низких, но и на относительно высоких частотах (в сравнении с тактовой частотой JTAG).

О практических возможностях использования стандарта

Несмотря на оптимизм, вызванный появлением нового стандарта, нельзя не остановиться на определенных проблемах при работе с системами со смешанным представлением сигналов. Первый, наиболее видимый недостаток стандарта IEEE 1149.4 по сравнению со стандартом IEEE 1149.1 — невозможность получения «мгновенного снимка» всех сигналов проекта. Хотя стандарт не накладывает ограничений на количество существующих одновременно у одной БИС шин AT, вряд ли аппаратные затраты при чисто количественном наращивании параллельно работающих аналоговых цепей будут окупаться достигаемым эффектом. Реализация блоков хранения аналоговой информации, аналоговых блоков выборки и запоминания аналоговых сигналов, которые используются в аналого-цифровых преобразователях для аналогового граничного сканирования, остается весьма проблематичной.

Следующий недостаток связан с ограничением частоты измерений. Существенную роль здесь играют два фактора. Первый — ограниченная скорость передачи цифровой информации по JTAG-цепочке. Вторым фактором является наличие у всех аналоговых тестовых цепей (переключателей, компараторов, аналоговых шин и т. д.) паразитных параметров. Величины этих параметров далеко не всегда можно скомпенсировать или учесть путем перерасчета (в том числе ввиду нелинейных эффектов). Неидеальность измерительных цепей позволяет получать тестовые данные с ограниченной точностью, для ограниченного диапазона измеряемых значений и с существенным ограничением по их частотному диапазону.

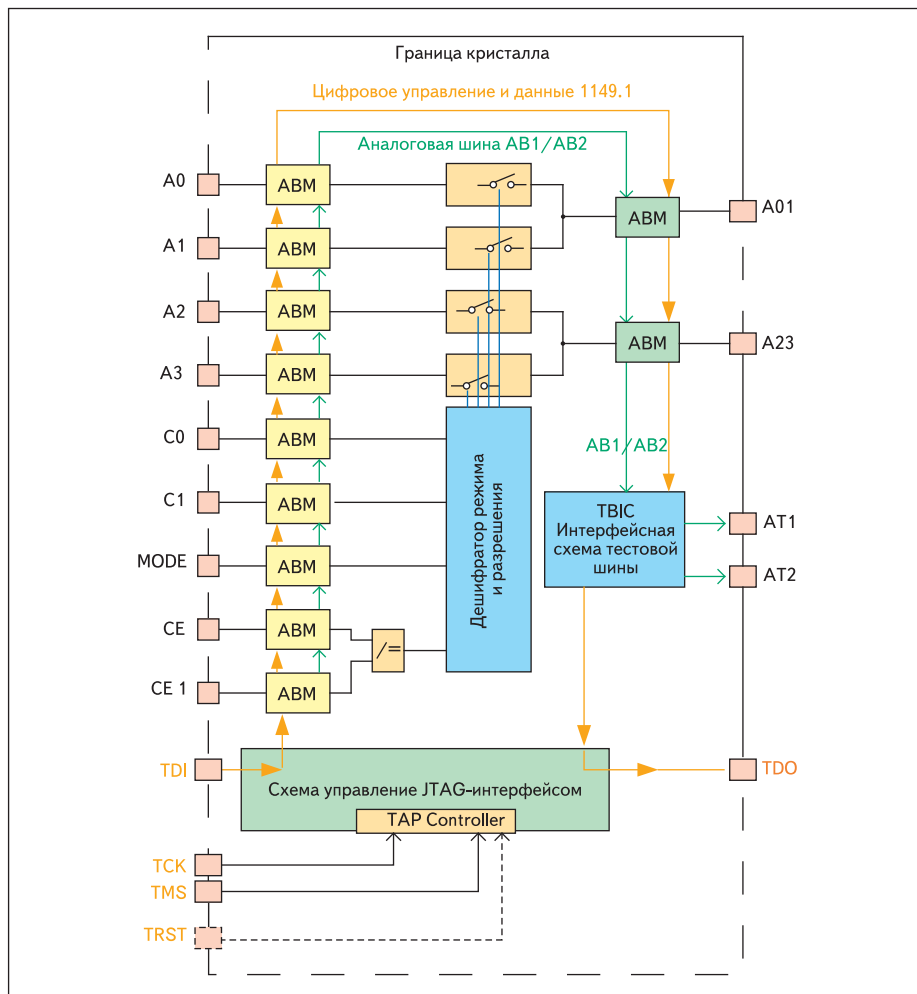


Рис. 10. Структура ИС STA400EP

Выпуск реальной аппаратуры

Упомянутые выше проблемы практического использования аналогового тестирования создали ситуацию, близкую к той, которая возникла при объявлении цифрового тестирования с JTAG-интерфейсом для приборов, выполненных по стандарту IEEE 1149.1. До настоящего времени фирмы-производители ИС очень осторожно относятся к выпуску схем, поддерживающих стандарт. Сначала для тестовых целей комитета по стандартизации фирма LSI Development Center в 1996 году выпустила пробную ИС — Matsushita Analogue Boundary Test Chip (MNABST-1). Ряд университетов [12, 13] на базе этих кристаллов выполнил исследования возможностей аналогового тестирования. В результате, после этого для ускорения перехода к практическому циклу работ фирмы LogicVision и National Semiconductor выпустили первую промышленную коммерческую схему, поддерживающую стандарт IEEE 1149.4. В 20-контактном корпусе была выпущена микросхема STA400EP [14]. Структура БИС приведена на рис. 10. По сути, схема является простым тестовым прибором, поскольку в зависимости от конфигурирования это либо два анало-

говых мультиплексора «два в одном» или один мультиплексор «четыре в одном». Схема содержит большинство элементов, соответствующих стандарту IEEE 1149.4, в том числе дает возможность подключения до 9 аналоговых тестовых точек, имеет порт аналогового доступа (ATAP) и т. д.

В 2003 году по инициативе National Semiconductor фирма JTAG Technologies на базе этой БИС создала отладочную плату *JTAG-1149.4 Explorer Evaluation Kit* [15], упрощающую проведение разнообразных экспериментов с микросхемами, поддерживающими стандарт IEEE 1149.4. Плата содержит два прибора STA400ER. Дополнительный инструментарий, находящийся на плате, включает в себя аналого-цифровой и цифро-аналоговый преобразователи и регулируемые генераторы переменного тока. Совокупность отладочной платы и программного обеспечения (а при необходимости и проектируемой платы) образует аппаратно-программный комплекс, позволяющий организовать самые разнообразные измерительные эксперименты.

Во-первых, без привлечения какого-либо дополнительного оборудования разработчик может выполнить аналоговые измерения сопротивлений, емкостей, напряжений, сигнала-

лов переменного тока и импедансных параметров самой платы. Во-вторых, при подключении своей собственной платы к оценочному набору разработчик сможет, опираясь на тестовые ресурсы оценочной платы, определить тот же набор аналоговых параметров своего проекта. Хотя цена такого комплекса относительно велика (около \$2500), целый ряд инициативных групп в некоторых университетах успешно использовал данное устройство при проведении экспериментов по измерению характеристик пассивных элементов как внутри ИС, так и снаружи.

Другим примером практического внедрения стандарта IEEE 1149.4 является аппаратная платформа SCANFLEX немецкой фирмы GÖPEL (www.goepel.com). Также нельзя не отметить деятельность фирмы Asset-Technologies (www.asset-intertech.com) в области граничного сканирования, и получивший довольно широкое распространение пакет ScanWorks. Если говорить об отечественных разработках в рассматриваемой предметной области, то стоит упомянуть программу JTools (jtag.ru). Хотя данный программный продукт в настоящее время не обладает такой мощностью, как его зарубежные аналоги, он является прекрасным средством поддержки методов граничного сканирования.

Исследовательские работы

Интерес представляют исследования, выполняемые по результатам испытаний как в соответствии со стандартными, так и новыми методиками, специально ориентированными на наличие существующих паразитных эффектов у реальных образцов. Так, согласно [15], была установлена возможность измерений в высокопроизводительных (до 100 МГц) системах, несмотря на тот факт, что пропускная способность блоков АВМ в настоящее время составляет примерно 500 кГц. Ключевым в этом направлении расширения стандарта IEEE 1149.4 является метод *under-sampling* [16].

Приложения, связанные с диагностикой пассивных элементов

Известен ряд практических приложений, выполненных для получения в реальном времени информации о работе всех интересующих узлов исследуемого электронного прибора. Доступ к цифровым фрагментам при этом осуществляется стандартными средствами цифрового JTAG-интерфейса, а доступ к аналоговому узлам достигается за счет подключения их к измерительному прибору через блоки АВМ, дополнительно установленные на этой же плате ИС типа STA400EP.

Другой подход демонстрируют разработчики, соединяющие исследуемые платы с отладочной платой *JTAG-1149.4 Explorer Evaluation Kit* только на этапе отладки. В этом случае те-

стовые возможности аналогового JTAG используются только на этапе проведения необходимых экспериментов в процессе проектирования, а далее отладочная плата удаляется. Этот подход соответствует проектной диагностике.

Сообщения о выпуске коммерческих ИС, решающих ту или иную прикладную задачу и поддерживающих стандарт IEEE 1149.4, практически отсутствуют. Исключение составляет информация о выпуске однокристалльной 16-контактной ИС под названием Artemis-chip. Однако и этот кристалл разработчики относят к классу тестовых приборов произвольного применения для смешанных сигналов. Кристалл представляет собой тестовый контроллер для цифровых и аналоговых сигналов, содержащий встроенные элементы: микропроцессор с ядром MCS-51, интерфейс с памятью и шиной ISA, контроллер стандарта IEEE 1149.4 и IEEE 1149.1, набор из 8 цифровых и 8 аналоговых контактов. Конструктивно ИС размещена на 64-контактном модуле SIMM совместно с микросхемами RAM и ROM. Модуль может работать в режимах ведущего и ведомого.

Возможности применения аналогового сканирования в отечественном приборостроении

Выпуск специализированных БИС, поддерживающих хотя бы граничное сканирование по стандарту IEEE 1149.1 на отечественном оборудовании (топологические нормы порядка 0,75 мкм) уже сталкивается с серьезными проблемами. Основным ограничением является объем требуемого для реализации оборудования, причем существенными оказываются не только затраты на каждую ячейку граничного сканирования, но и на цепи управления этими ячейками (их количество, длины, емкостные параметры и т. д.). Поэтому в обозримом будущем ожидать появления отечественных БИС, поддерживающих стандарт IEEE 1149.4, вряд ли придется.

Другое дело — использование зарубежных БИС стандарта IEEE 1149.4. Состояние зарубежной микроэлектронной промышленности уже анализировалось выше, надеяться на резкое изменение ситуации за рубежом также не приходится. Поэтому наибольшее распространение, по всей видимости, в отечественном приборостроении найдут методы, рассмотренные выше. Доступность ИС (цена на отечественном рынке не превышает \$15) и достаточно обширные возможности схемы типа STA400EP позволяют в практических работах уже сейчас опираться на решения, заложенные в стандарт IEEE 1149.4. Существенным элементом методов тестирования на базе граничного сканирования было и остается программное обеспечение. Однозначность решений, принятых при разработке регистровой структуры модулей DBM, АВМ и ТВИС, а также их близость к решениям, принятым при разработке регистровой структуры модулей CBS, существенно упро-

щают разработку процедур, связанных со структурным тестированием проектов. Более проблематичным оказывается разработка фрагментов ПО, ориентированных на параметрическое тестирование. В этом направлении работы и в России, и за рубежом еще находятся на начальном этапе.

Заключение

Судя по всему, стандарт IEEE 1149.4 будет широко использоваться различными фирмами для тестирования производственной продукции, но его уникальные возможности допускают его использование рядовыми пользователями уже на стадиях проектирования и отладки разрабатываемого проекта.

Тестовая структура проекта, поддерживающего стандарт IEEE 1149.4, через все контакты (в том числе аналого-цифровые) дает доступ практически ко всем ресурсам проекта, позволяя не только осуществлять структурный контроль проекта, но и выполнять предусмотренные параметрические проверки. Такой доступ позволяет наблюдать в реальном времени за любыми сигналами отлаживаемой схемы, а также, например, добавлять дополнительные отладочные схемные фрагменты, которые будут отсутствовать в конечной продукции, и управлять ими. Более того, решения стандарта IEEE 1149.4 могут служить основой для создания ряда типовых, повторно используемых одним и тем же разработчиком тестовых средств для различных проектов. Такие средства разработчик сможет многократно использовать в других проектах. Естественно, аппаратура и методы стандарта IEEE 1149.4 не пытаются и не смогут полностью заменить тестовое и измерительное оборудование, обычно используемое при системной отладке, но они, несомненно, могут и должны занять свое место в общем комплексе современных измерительных средств. ■

Литература

- Duzevik I. Preliminary Results of Passive Component Measurement Methods Using an IEEE 1149.4 Compliant Device // Board Test Workshop. Oct. 2002. www.national.com/appinfo/scan/files/duzevik_BTW02_paper.pdf.
- Sunter Stephen K. Implementing and Using a Mixed-Signal Test Bus. 2004.
- Kac U., Novak F., Macek S., Zarnik M. S. Alternative Test Methods Using IEEE 1149.4. Proc. DATE 2000.
- Arabi K., Kaminska B. Testing analog and mixed-signal integrated circuits using oscillation test method // IEEE Trans. CAD. Vol. 16. No. 7. 1997.
- STA400EP Enhanced Plastic Dual 2:1 Analog Mux with IEEE 1149.4. National Semiconductor.
- Industry's First Product Supporting IEEE 1149.4 Analog Boundary-Scan. Mixed-Signal Applications Become a Reality with JTAG-1149.4 Explorer. <http://www.JTAGTechnologies.com>
- Sunter S. Testing High Frequency ADCs and DACs with a Low Frequency Analog Bus. ITC. 2003.