

# Микросхемы Low-Latency DRAM от GSI Technology

Статья предназначена для читателей, которые рассматривают переход от SRAM к DRAM без значительного ухудшения производительности, увеличения объема хранения данных и уменьшения стоимости или от DRAM к SRAM — для повышения скорости доступа к случайным ячейкам без значительного удорожания изделия. В публикации представлены основные архитектурные и функциональные особенности Low-Latency DRAM 2 (LLDRAM-II) в достаточном объеме для улучшения восприятия datasheets.

Евгений ПАВЛЮКОВИЧ

## Введение

Разработчиком технологии Low-Latency DRAM является компания Infineon, и сама технология более известна как Reduced-Latency DRAM (RLDRAM). Еще в далеком 1999 году Infineon выпустила первую микросхему RLDRAM-I. Позже к разработке присоединилась Micron, и в 2003 году они совместно анонсировали спецификацию RLDRAM-II. Впоследствии Infineon отказалась от продолжения работ по созданию RLDRAM, и в том же году Micron начала продажи первых образцов RLDRAM-II.

Монополия в этом семействе не могла устроить крупнейших производителей телекоммуникационного и сетевого оборудования. В связи с чем в 2011 году GSI Technology наладила выпуск LLDRAM-II по спецификации RLDRAM-II. Все микросхемы LLDRAM-II являются полными физическими и функциональными аналогами RLDRAM-II, и для каждой микросхемы RLDRAM-II найдется аналог в семействе LLDRAM-II.

Микросхемы семейства LLDRAM (или псевдо-SRAM) обладают большей емкостью и более короткой задержкой в сравнении с обычной DRAM. Такой же простой, как у SRAM, интерфейс LLDRAM значительно облегчает работу с ней. LLDRAM (рис. 1) используется для Look-up-таблиц и буферов очередей сетевого оборудования, обработки видеоизображения, а также для выполнения любых других задач, в которых необходима высокая скорость случайного доступа к данным, превышающая возможности DRAM, и объем памяти, недостижимый для SRAM.

LLDRAM-II состоит из восьми DRAM-банков и высокоскоростного интерфейса DDR (double data rate), который обеспечивает высо-

кую пропускную способность данных. DDR-интерфейс пересылает x9/18/36-битные слова данных пакетами по два, четыре или восемь слов. Аппаратная система подстройки по задержке Delay-Locked Loop (DLL) и сигнал тактирования операций чтения позволяют реализовать более надежную схему съема данных. Полоса пропускания LLDRAM-II поддерживает скорость передачи данных до 38 Гбит/с на 36-битной шине и частоте тактирования 533 МГц. Малая задержка LLDRAM-II и время доступа  $t_{RC} = 15$  нс обеспечивают высокую скорость случайного доступа во всем адресном пространстве. Основные возможности LLDRAM-II сведены в таблицу 1. К дополнительным преимуществам LLDRAM-II следует отнести наличие встроенной терминации On-Die Termination (ODT), возможность выбора адресации за один или два тактовых цикла, один общий или два отдельных порта данных, программируемый выходной импеданс и питание ядра 1,8 В. Эти опции расширяют универсальность LLDRAM-II, улучшают баланс между операциями чтения и записи, снижают количество конфликтов при переключении шины данных и упрощают процесс разработки печатной платы.

## Тактирование

Тактирование в LLDRAM-II выполняется по дифференциальной мастер-паре CK и CK#. В идеальном случае фазы этих сигналов разнесены на  $180^\circ$  относительно друг друга так, чтобы пересекали  $V_{REF}$  в одной точке (рис. 2). При этом будет сбалансировано временное окно для чтения каждого слова. Сигналы CK и CK# могут быть сгенерированы IP-контроллером внутри ПЛИС или Network Processor Unit (NPU) или заданы внешним отдельным генератором. Для захвата адреса и команды управления используется возрастающий фронт CK.

Для тактирования операций записи данных в LLDRAM-II используются оба возрастающих фронта дифференциальной пары DK и DK#. Для x36-архитектуры применяются две дифференциальные пары: DK0/DK0# для линий DQ0–DQ17 и DK1/DK1# для линий DQ18–DQ35. Для тактирования LLDRAM-II с архитектурой x9 и x18 предусмотрена только одна пара — DK и DK#. Для гарантии считывания дан-

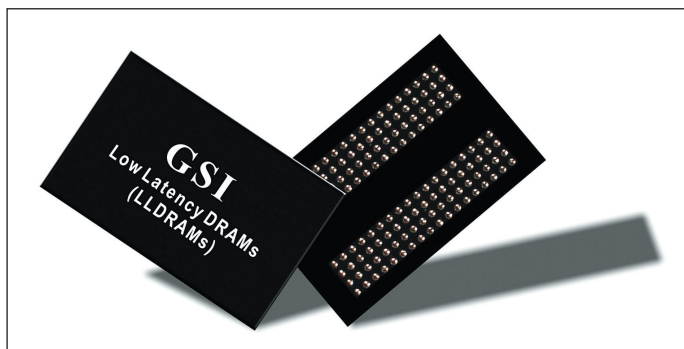


Рис. 1. LLDRAM от GSI Technology

Таблица 1. Характеристики LLDRAM-II

Порты данных	Размер слова, Burst	Время случайного доступа, $t_{RC}$	Частота тактирования, полоса пропускания	Объем, Мбит	Партномер
Общий I/O	2,4 и 8	15 нс	533 МГц, 38 Гбит/с	288	GS4288C
			533 МГц, 38 Гбит/с	576	GS4576C
Раздельный I/O			533 МГц, 38 Гбит/с	288	GS4288S
				576	GS4576S

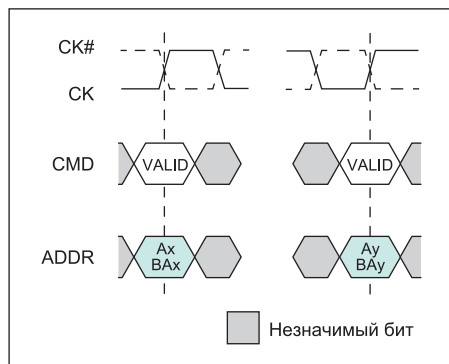


Рис. 2. Захват адреса и сигнала управления

ных до того, как они будут перезаписаны, необходимо, чтобы период времени между точками пересечения СК/СК# и ДК/ДК# не превышал  $t_{СКДК}$ . Например, для  $-25$  вариации LLD RAM-II  $t_{СКДК} = [-0,45; 0,5]$  нс. В LLD RAM-II допускается использование СК/СК# вместо ДК/ДК#, но следует учитывать дополнительную нагрузку на СК-пару.

Для тактирования операций чтения данных из LLD RAM-II используется независимая дифференциальная пара QK и QK#. Эти сигналы генерируются самой LLD RAM-II и фронтами выравнены с выходными данными. Для x36-архитектуры QK0/QK0# соответствуют DQ0–DQ17, а QK1/QK1# соответствуют DQ0–DQ35. Для x18-архитектуры QK0/QK0# соответствуют DQ0–DQ8, а QK1/QK1# соответствуют DQ9–DQ17. Для x9 все линии DQ выровнены с QK0/QK0#. Период времени между парой QK/QK# и данными на выходе DQn обозначается как  $t_{QKQ0}$  и  $t_{QKQ1}$  соответственно. Для x36 и x18 допускается, но не рекомендуется использовать только одну пару QK/QK#. Сигналы QK/QK# синтезируются из СК/СК# с небольшой ошибкой, значение которой можно узнать в datasheet.

Использование дифференциальных пар создает более благоприятные временные условия для работы с сигналами, что особенно важно на высоких скоростях. Благодаря сопоставлению двух противоположных сигналов возможен быстрый захват фронтов. Чтобы получить максимум преимуществ из этой схемы, следует минимизировать перекос временной диаграммы, вызываемый несогласованием импедансов, различной длиной сигнальных линий и топологией печатной платы.

Существует возможность обойтись только одним сигналом тактирования в каждой паре, получив второй псевдодифференциальный сигнал путем инвертирования относительно  $V_{REF}$ . Особенно это актуально для систем, в которых имеется несколько LLD RAM-II. Платой за такие манипуляции станет ухудшение временных характеристик, поскольку тактовые переходы будут привязаны к постоянному напряжению, а не к дифференциальному сигналу.

## Система подстройки по задержке

Система подстройки по задержке (DLL) предназначена для выравнивания данных при чтении с тактовыми сигналами QK и QK#. Существуют некоторые ограничения на использование DLL:

- на вход DLL должны поступать СК и СК#, очищенные от джиттера. Допустимое значение джиттера указано в datasheet;
- после остановки мастер-сигналов тактирования СК/СК# или сброса DLL необходимо выждать 1024 цикла для стабилизации DLL;
- сброс DLL необходимо производить каждый раз после изменения  $t_{СК}$  или  $V_{DD}$ . После сброса необходимо выждать 1024 цикла прежде, чем инициировать команду чтения;
- минимальная частота СК и СК# для стабильной работы DLL составляет 175 МГц для всего семейства LLD RAM-II. Если частота опустится ниже предельной, блок DLL необходимо отключить, так как критически увеличивается его джиттер и DLL больше не может выполнять свою функцию и будет вносить погрешность.

## Шина адреса

Ширина шины адреса LLD RAM-II определяется не только конфигурацией (x9/18/36) микросхемы, но и регистром Mode Register Set (MRS). Пятый бит (M5) регистра MRS определяет режим работы LLD RAM-II. Если M5 = 0, тогда LLD RAM-II действует в режиме Non-multiplexed и полный адрес записывается за один цикл; если M5 = 1, то LLD RAM-II работает в режиме Multiplexed и адрес записывается за два тактовых цикла. Применение Multiplexed-режима позволяет сократить число занятых линий шины адреса вдвое. На первом тактовом цикле будет записана команда и выбран банк памяти, на втором — выполнена команда и записан адрес ячейки.

Ширина пакета данных Burst length (BL) также влияет на ширину адреса. Если выбрана BL = 2, тогда для выполнения burst-операции необходим один внутренний бит адреса. Оставшиеся биты (A[0:20] для x9; A[0:19] для x18; A[0:18] для x36) используются для контроля — какая из двух порций данных доступна. Если выбрана BL = 4, то понадобится еще один внутренний бит адреса и самый важный внешний бит становится незначимым (Don't care), эффективно уменьшая на 1 количество применяемых внешних линий адреса. При выборе BL = 8 используется три внутренних бита адреса, и уже два

внешних наиболее значимых бита становятся незначимым. В таблице 2 показано, какие линии адреса используются для BL в зависимости от конфигурации LLD RAM-II 288 Мбит.

## Порты данных

LLD RAM-II доступны в двух версиях: с отдельными портами для записи и чтения данных Separate I/O (SIO) и одним портом, предназначенным для записи и для чтения Common I/O (CIO). SIO доступна для LLD RAM-II с архитектурой x9 и x18. CIO предусмотрена для всех архитектур LLD RAM-II и требует дополнительного тактового цикла на переключение между операциями чтения и записи.

Для систем, в которых операции чтения и записи следуют друг за другом примерно в одинаковом соотношении, лучшей эффективностью будет обладать LLD RAM-II SIO. Для систем, в которых выполняется большое количество операций чтения, а затем большое количество операций записи, лучшей эффективностью обладают LLD RAM-II CIO. При использовании CIO снижается скорость доступа к данным, однако повышается эффективность применения шины данных.

## Перезаряд ячеек

В LLD RAM-II так же, как и в обычной DRAM, необходимо полностью перезаряжать все ячейки через каждые 32 мс. Для этого предназначена команда Auto Refresh (AREF), и выбирается только номер банка. Перезаряд начинается со случайной ячейки. После обновления некоторого количества ячеек инкрементируется счетчик адреса внутреннего контроллера для следующей команды AREF. Во время выполнения перезаряда адреса на внешней шине игнорируются. Благодаря тому что нет необходимости в использовании внешней адресной шины для перезаряда ячеек, не расходуется электроэнергия на ее переключение и уменьшается общая потребляемая мощность LLD RAM-II. AREF-команда не отличается от других, и задержка на выполнение следующей команды к одному и тому же банку составляет минимум  $t_{RC}$ , которая также остается неизменной для режима Multiplexed. В режиме Multiplexed очередная команда AREF может выполняться на следующем тактовом цикле.

## Банки памяти

Восьмибанковая архитектура LLD RAM-II увеличивает вероятность того, что какой-то из банков окажется свободным для новой операции, благодаря этому повышается максимальная пропускная способность. Также существует взаимосвязь между BL и конфигурацией LLD RAM-II. Значение  $t_{RC}$  определяет частоту, с которой банк снова освободится, в то время как BL определяет, с какой частотой необходимо задавать новый адрес.

Таблица 2. Шина адреса в зависимости от Burst length

Burst Length	Архитектура		
	x36	x18	x9
BL = 2	A[18:0]	A[19:0]	A[20:0]
BL = 4	A[17:0]	A[18:0]	A[19:0]
BL = 8	NA	A[17:0]	A[18:0]

## Режим записи адреса Multiplexed

По умолчанию LLDRAM-II работает в режиме Non-multiplexed, который выполняет запись адреса LLDRAM-II за один тактовый цикл, как и обычная SRAM. Кроме этого, LLDRAM-II может действовать и в режиме Multiplexed и записывать адрес за два цикла наподобие традиционной DRAM.

В первом адресе ( $A_x$ ) записывается команда и адрес банка (рис. 3).

На следующем тактовом цикле записывается адрес ячейки ( $A_y$ ) данных и выполняется команда. Режим Multiplexed приводит к увеличению задержки на выполнение операций чтения и записи, однако  $t_{RC}$  при нем остается неизменным.

## Напряжение питания

Для питания LLDRAM-II необходимо пять источников напряжения:  $V_{DD}$ ,  $V_{EXT}$ ,  $V_{DDQ}$ ,  $V_{REF}$ ,  $V_{TT}$ , которые обеспечивают работу ядра, портов записи и чтения, опорного напряжения и схемы терминирования (ODT). Для питания ядра LLDRAM-II нужен источник напря-

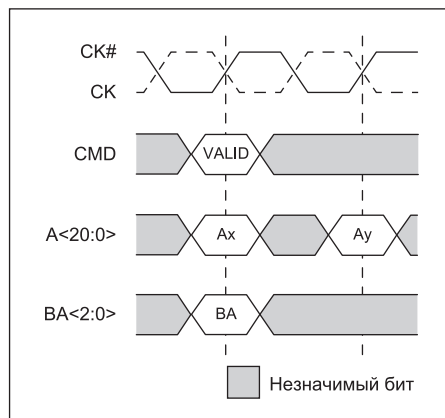


Рис. 3. Запись команды и адреса банка в режиме Multiplexed

жения  $V_{EXT} = 2,5$  В и  $V_{DD} = 1,8$  В. Напряжение питания выходного буфера  $V_{DDQ}$  не должно превышать  $V_{DD}$  и обычно равно 1,5 или 1,8 В. Напряжение  $V_{REF}$  и  $V_{TT}$  должно равняться половине от  $V_{DDQ}$ .

$V_{DD}$  и  $V_{EXT}$  должны быть выставлены до подачи  $V_{DDQ}$ ,  $V_{REF}$  или одновременно.  $V_{TT}$  подает-

ся одновременно с  $V_{DDQ}$  или позже. Между  $V_{DD}$  и  $V_{EXT}$  не существует никакой взаимосвязи, и LLDRAM-II начнет работу по подключению остальных напряжений только после того, как они оба выйдут на номинальное значение. Тактирование можно подавать сразу после стабилизации всех напряжений. Для гарантированно стабильной работы LLDRAM-II необходимо выждать минимум 200 мкс после стабилизации напряжений.

Для работы с 1,8-В HSTL-логикой допускается повышение напряжения  $V_{DDQ}$  до 1,8 В, но не выше, поскольку превышение допустимого значения приведет к чрезмерному потреблению тока портами записи и чтения. ■

## Литература

1. Павлюкович Е. Микросхемы высокопроизводительной памяти от GSI Technology // Компоненты и технологии. 2017. № 9.
2. TN-49-01. RLD RAM 2 Design Guide. Micron Technology, 2012.
3. Low Latency DRAMs (LLDRAMs). SRAM-like Performance at DRAM Capacity. GSI Technology, 2012.