



Ами ГОРОДЕЦКИЙ, к. т. н. (JTAG.TEST)
amigo@jtag-test.ru

Продолжение. Начало в № 7 `2011

Снова о внутрисхемном тестировании ICT

В предыдущем номере журнала мы начали обсуждать различные аспекты применения внутрисхемного тестирования (ICT), популярность которого остается относительно постоянной на протяжении длительного времени. В нынешней и последующей колонках обсуждение будет продолжено с тем, чтобы всесторонне обрисовать применение этой методики тестирования.

Проблема обеспечения тестового доступа к отдельным цепям электронных плат и узлов при проведении структурного тестирования продолжает оставаться актуальной, несмотря на значительные успехи технологий граничного сканирования (JTAG). Одна из наиболее авторитетных международных организаций в области производства электроники — iNEMI (The International Electronics Manufacturing Initiative) — полагает [1], что снижение возможностей доступа при тестировании ПП представляет собой одну из наиболее существенных проблем при тестировании современной электроники. Это, в частности, вынуждает контрактных производителей электроники все в большей степени вмешиваться в собственно процесс проектирования ПП в попытке обеспечить тестопригодность плат на самых ранних этапах их разработки.

Не так давно я наткнулся на довольно старую статью [2], в которой приведен примечательный список «за» и «против» применения методологии внутрисхемного тестирования ICT, который я хотел бы процитировать и прокомментировать здесь. Любопытно, что ряд доводов «против», приводимых авторами статьи, я бы без колебаний отнес к доводам «за». К очевидным преимуществам метода авторы относят сравнительную простоту написания тест-программ. Это верно: научить писать такие программы нетрудно, хотя квалификация программиста приобретает, как обычно, с опытом.

Безусловным преимуществом метода является высокий уровень покрытия дефектов монтажа. Дело в том, что ICT-тестирование включает в себя как аспекты структурного тестирования, отвечающего на вопрос «Нет ли обрывов и коротких замыканий?», так и аспекты функционального тестирования, отвечающего на вопрос «Что работает неверно?». Это действительно важно подчеркнуть, поскольку в программе ICT-тестирования можно организовать фрагменты функциональ-

ного тестирования, но написать и отладить подобные фрагменты способен программист высокой квалификации, умеющий создавать подпрограммы функциональных моделей ИС и узлов. Более того, возможность проведения аналоговых измерений, отвечающих на вопрос «Какие компоненты смонтированы неверно?», заметно отличает этот метод от прочих. И наконец, чрезвычайно важным достоинством ICT-тестирования является то, что это электрическое тестирование, состоящее, как правило, из двух этапов, первый из которых выполняется без включения питания тестируемой платы. Понятно, что важность этого этапа заключается в том, что он позволяет легко и безопасно отсортировать ПП с такими дефектами монтажа, которые при подаче питания могут привести к полному или частичному выходу платы из строя.

Относительная простота интерпретации результатов ICT-тестирования, дающая диагностические отчеты, понятные персоналу с невысокой квалификацией (и с невысокой зарплатой, что важно), — это несомненный довод в пользу метода. Прогоном ICT-тестов могут заниматься как техники, так и операторы производственных линий, что с экономической точки зрения весьма целесообразно. Время выполнения ICT-тестов, как правило, невелико, хотя наряду с этим намного больше времени расходуется на установку игольчатых адаптеров, а также на установку тестируемых ПП на такие адаптеры и съем с них.

ICT-тестирование давно доказало свою эффективность в средне- и крупносерийном производстве ПП со штыревым монтажом, хотя, разумеется, такой способ монтажа встречается все реже и в обозримом будущем, возможно, его будут применять только для монтажа очень специфических компонентов. Стоимость поддержки ICT-тестирования сравнительно невелика. Если не считать расходов на поддержание исправности адаптеров (имеется в виду чистка или замена контактных иголок) или их переделку,

то обслуживание вакуумных каналов тестера представляет собой чуть ли не единственную заметную статью расходов.

Приводимый авторами статьи [2] довод в пользу применения ICT-тестирования, основанный на наличии большого числа типов таких тестеров и их поставщиков, совсем неоднозначен, и его следует пояснить. Во-первых, число поставщиков таких тестеров постоянно сокращается за счет поглощения слабых более сильными, которые начинают диктовать свою моду, политику и цены всему рынку. Например, современный гигант «Терадайн» (Teradyne) в свое время поглотил фирму Zehntel, а спустя несколько лет — и фирму GenRad. Во-вторых, такие гиганты (другой пример — компания Agilent) начинают разрабатывать и поставлять на рынок супермашин по заоблачным ценам. Но наряду с этими новыми тестерами, которые супервеликолепны по характеристикам и возможностям и настолько же дороги, всегда остаются доступными старые, не столь великолепные, но вполне пристойные ICT-тестеры по значительно (на порядок и более) низким ценам. Это обуславливает заметный ценовой разрыв между тестерами «со вторых рук», которые можно приобрести за \$50–60 тыс., и совершенно новыми тестерами от производителя, цены которых начинаются с одного миллиона долларов для базисных конфигураций.

В сущности, эти ценовые параметры можно рассматривать в качестве первого из доводов «против». Компании, занимающиеся тестированием для своих нужд и не позиционирующие себя в качестве контрактных производителей, зачастую не могут (или не желают, что вполне оправданно) приобретать тестеры ICT, ограничиваясь JTAG-тестированием. Другой современный и экономически оправданный подход, о котором я упоминал в предыдущей колонке, заключается в контрактных отношениях с фирмами (Test House), специализирующимися на тестировании ICT и JTAG [3]. При по-

мощи таких компаний пользователи тестеров ICT могут не только приобрести тестеры «со вторых рук», включая техническую и экспертную поддержку и разработку собственно тест-программ, но и обеспечивают себя игольчатыми адаптерами, необходимыми для каждой из тестируемых ПП либо тех или иных совокупностей плат.

Плотность монтажа компонентов на ПП, особенно с обеих ее сторон, ограничивает, разумеется, возможности размещения контактных площадок ICT, а иногда делает такое размещение совершенно невозможным и опять же вынуждает обращаться к JTAG-тестированию [4].

Дополнительная и новая проблема, связанная с применением современных компонентов на ПП, заключается в следующем. Разница в уровнях напряжений между «лог. 1» и «лог. 0» для некоторых современных ИС может составлять, скажем, 250 мВ, а выходные каскады таких ИС намного более чувствительны к перенапряжениям, возникающим при выполнении цифровых тестов ICT. Таким образом, точная фиксация выходных логических уровней «лог. 0» при ICT-тестировании становится проблематичной, а кратковременная токовая перегрузка выходов, так называемая обратная загрузка (backdriving) [5], может привести к повреждениям ИС. Решение, как и в предыдущем примере, находится в области JTAG-тестирования.

Использование ICT-тестирования высокочастотных цепей порождает целый ряд новых проблем и, конечно, разнообразных решений. Очевидно, что размещение контактных площадок ICT на печатных проводниках, предназначенных для сигналов с частотами выше 4 ГГц, может быть проблематичным и почти всегда приводит к категорическому отказу разработчиков размещать такие площадки даже в ущерб ожидаемому тестовому покрытию ПП. Причина, разумеется, заключается в возможном затухании сигнала и нарушении его целостности на избыточной металлизации переходных отверстий и отражается на антенных свойствах ответвлений проводников, ведущих к контактным площадкам ICT.

Одно из известных и применяющихся решений заключается в размещении непосредственно на печатных проводниках мельчайших бусинок припоя, задача которых — обеспечение контакта с проводником при помощи иглол ICT с плоскими головками. Размещение подобных бусинок требует специальной трассировки в программах CAD с соответствующей поддержкой.

Другое решение, применяющееся только для обнаружения обрывов в подобных цепях (что тоже немало), основано на применении безвекторных методов [5], которые в данном случае могут быть и бесконтактными. На подключенные к ИС JTAG высокочастотные цепи подаются тестовые воздействия в виде низковольтной синусоиды (например, 400 мВ в полной амплитуде). Размещаемая

над тестируемой цепью пластина сенсора воспринимает синусоидальный (или почти синусоидальный) тестовый сигнал через емкостную связь между тестируемой цепью и этой пластиной. Типичное значение измеряемой емкости в такой схеме может составлять 50–100 фФ, иногда — в пределах 0,5 пФ. Именно на этой методике базируется один из новых JTAG-стандартов IEEE 1149.8.1, который мы обсуждали в одной из прошлых колонок [6].

Наряду с несомненными достоинствами такой подход, конечно, не свободен от недостатков. Во-первых, к высокочастотным цепям должны быть подключены компоненты JTAG, что совсем необязательно диктуется схемотехническими соображениями. Во-вторых, эта методика вовсе не предназначена для обнаружения коротких замыканий. Более того, наличие двух обрывов в дифференциальной паре цепей может совершенно маскировать обнаружение неисправности. Такое же маскирование неисправности произойдет при наличии короткого замыкания в дифференциальной паре цепей, содержащей гальванические развязки.

Обсуждение различных аспектов ICT-тестирования мы продолжим и в следующей колонке журнала.

А в завершение я хотел бы отметить одну важную новость из мира JTAG-тестирования: бурное развитие технологий JTAG совсем недавно ознаменовалось созданием новой рабочей группы, занятой разработкой новейшего стандарта IEEE P1838. Назначение этого стандарта, получившего рабочее название «Архитектура тестового доступа для трехмерных интегральных схем», заключается в адаптации современных методов тестирования плат для тестирования трехмерных чипов (3D-чипов). Иными словами, стандарт предназначен для обеспечения тестового доступа к отдельным чипам 3D-структур, а также для обеспечения возможности тестирования связей между чипами в таких мультичиповых структурах. На веб-сайте рабочей группы отмечено, что будущий стандарт должен описать правила проектирования тестопригодных цепей передачи данных и управления

с тем, чтобы можно было осуществлять их тестирование до того, как отдельный чип «штабелируется» в 3D-структуру, а также после завершения включения отдельного «этажа» чипа в подобную структуру. Поскольку включение отдельных «этажей» чипов в трехмерные структуры очень напоминает построение схем плат из отдельных компонентов, именно адаптация методов тестирования плат к тестированию 3D-чипов и представляет собой цель нового стандарта.

Рабочая группа стандарта IEEE P1838 видит свою задачу подобной той, что стоит перед разработчиками системы лифтов строящегося огромного и очень упорядоченного здания (идея аналогии принадлежит Элу Краучу (Al Crouch)). Заказчики такого строительства желают, к примеру, получить систему эффективных лифтов с различными возможностями. Часть из них будет представлять собой высокоскоростные лифты на верхние этажи, тогда как другие не будут работать выше нескольких нижних этажей, а один из них, самый быстрый и многофункциональный, будет подниматься только на этаж размещения администрации. Стандарт IEEE P1838 должен обеспечить такого же рода иерархию передачи информации при тестировании мультичиповых структур. Безусловно, этот новый стандарт, как и прочие стандарты семейства JTAG, будет базироваться на ранее созданных и прекрасно себя зарекомендовавших JTAG-стандартах IEEE 1149.x, а также на стандартах IEEE 1500 и IEEE P1687 [7]. ■

Литература

1. www.inemi.org/cms/projects/test/index.html
2. www.electroviews.com/test/in-circuit.php
3. www.jtag-test.ru/Solutions/ICT.php
4. www.jtag-test.ru/JTAGUniversity/columns/KiT_07_2011.php
5. www.jtag-test.ru/JTAGUniversity/articles/15-PE_2_2010.php
6. www.jtag-test.ru/JTAGUniversity/columns/KiT_06_2010.php
7. www.jtag-test.ru/JTAGUniversity/columns/KiT_01_2011.php