



Ами ГОРОДЕЦКИЙ, к. т. н. (JTAG.TEST)
amigo@jtag-test.ru

Снова о внутрисхемном тестировании ИСТ

Внутрисхемное тестирование, или ИСТ, в течение очень длительного времени, примерно с 1980-х годов, лидирует как универсальный инструмент структурного тестирования ПП по результатам их монтажа.

Применяемые при этом игольчатые адаптеры обеспечивают одновременный и непосредственный доступ к нескольким тысячам внутрисхемных цепей, в зависимости от ресурсов применяемого тестера ИСТ. Поскольку общей тенденцией современной электроники является применение ИС в корпусах BGA на многослойных ПП, это существенно ограничивает доступ к внутрисхемным цепям по сравнению с тем, как это было для ПП с односторонним монтажом дискретных компонентов и ИС в DIP-корпусах.

Применение технологий JTAG для структурного тестирования, как известно, в значительной степени компенсирует недостаток физического доступа к внутрисхемным цепям, создавая бесконтактную альтернативу тестирования даже тех цепей, которые доступны для иглол ИСТ (рисунок). Такой подход, известный как JTAG на внутрисхемных тестерах ИСТ (JTAG-ИСТ), снижал в последние годы значительную популярность, объединяя преимущества обоих методов. Изначально целью JTAG-ИСТ было ускорение разработок

тест-программ для ИСТ. В начале 1990-х годов, к примеру, разработка ИСТ-теста для микропроцессора Intel 386 могла занимать недели, тогда как ИСТ-тест для JTAG-версии такой ИС можно получить в течение нескольких часов. Такое вторичное применение JTAG-тестов с высоким уровнем покрытия неисправностей существенно удешевляет их разработку для производственных линий и ускоряет выход изделия на рынок. Контрактные производители ПП обычно полагают, что вторичное применение JTAG-тестов для ИСТ экономит в среднем до 25% расходов при внутрисхемном тестировании.

Мало того, предварительный (еще до начала этапа разводки ПП) прогноз тестового покрытия неисправностей монтажа ПП и оптимизация распределения этого покрытия между JTAG- и ИСТ-тестами позволяют минимизировать число площадок доступа для иглол ИСТ, что существенно упрощает разводку ПП и снижает ее стоимость. Цель такого анализа — получение максимально возможного уровня тестового покрытия при

комплексном подходе к тестированию правильности монтажа ПП, включающем как автономное JTAG-тестирование, так и тестирование ИСТ. Пример отчета по предварительному анализу тестопригодности ПП можно найти в [2]. Детальное изучение таких отчетов, вплоть до имен цепей и контактов, позволяет вовремя, во всяком случае задолго до начала разводки ПП, предпринять необходимые меры для увеличения или оптимизации ожидаемого тестового покрытия ПП [3]. Такие отчеты, как правило, содержат подробные рекомендации по оптимальному размещению контактных площадок для тестирования ИСТ в тех цепях, ожидаемый уровень JTAG-тестового покрытия в которых недостаточен или вовсе отсутствует, что существенно упрощает и удешевляет разводку ПП. Уменьшение числа иглол ИСТ, в свою очередь, понижает стоимость ИСТ-адаптера, и без того немалую, и сокращает время его изготовления.

При вторичном применении JTAG-тестов для ИСТ нет необходимости в соблюдении специфических правил тестопригодного проектирования [4], кроме тех, которые так или иначе непременно должны быть выполнены для успешной разработки любого JTAG-теста. Особое внимание должно быть уделено тщательному соблюдению всех требований атрибутов COMPLIANCE_PATTERNS и/или Design_Warning файлов BSDL для ИС JTAG, а также соответствующих указаний, содержащихся в технической документации этих ИС. Предварительно JTAG-тест для тестируемой ПП должен быть разработан и отлажен до его безусловной устойчивости на одной из существующих JTAG-систем. Разводку цепей ТСК тестируемой ПП необходимо выполнять как для чувствительных высокочастотных цепей. Этапы внутрисхемного программирования (ISP) и прожига ИС флэш-памяти и ГС также следует предварительно отладить. Для упрощения управления отдельными этапами тестирования большие и сложные этапы предпочтительно разбить на несколько более простых. Это даст воз-

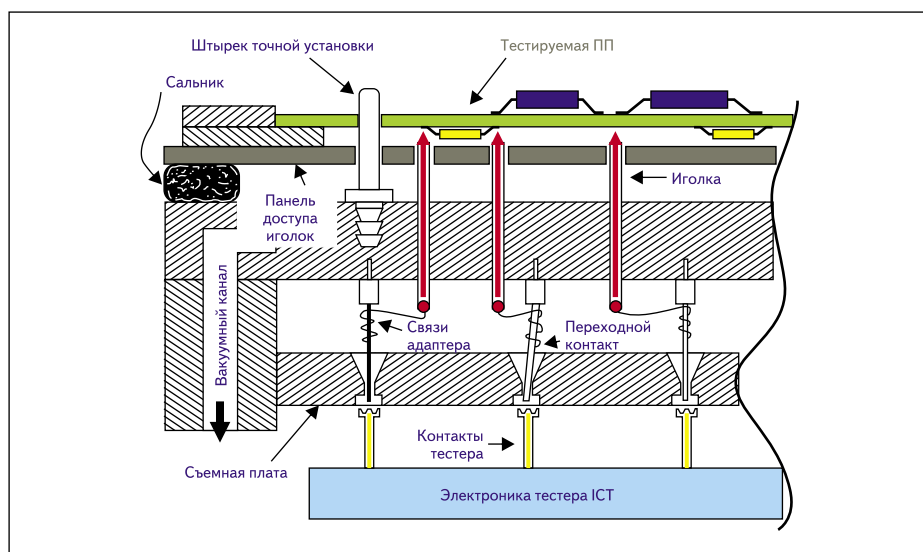


Рисунок. Фрагмент структуры игольчатого адаптера ИСТ

возможность инженеру ICT без труда оптимизировать последовательность этапов тестирования в зависимости от структуры ICT-теста. Например, на производственной линии могут потребоваться лишь некоторые этапы тестирования без применения этапов внутрисхемного программирования или же прожиг ИС флэш-памяти без их предварительного стирания (или без последующей верификации) в целях экономии времени.

Для упрощения ICT-адаптера количество JTAG-цепочек следует минимизировать. С другой стороны, отладка JTAG-теста и поиск неисправностей при его прогоне на тестере ICT существенно упрощаются, если JTAG-цепочки вовсе отсутствуют, то есть тестер ICT имеет непосредственный доступ ко всем контактам контроллера TAP каждой ИС-схемы. Нахождение компромисса между этими двумя противоположными тенденциями требует тщательного взвешивания всех за и против.

Однако следует иметь в виду, что программное обеспечение всех JTAG-систем позволяет выполнять целый ряд отладочных и диагностических процедур, применение которых на тестерах ICT невозможно или экономически нецелесообразно. Простой пример таких процедур — это пошаговый прогон тест-векторов на автономных JTAG-системах, расположенных на производственных линиях наряду с тестерами ICT. Дополнительный аргумент в пользу такого совмещения тестовых платформ — возможность переноса на JTAG-системы этапов прожига ИС флэш-памяти, занимающих много дорогостоящего времени тестеров ICT, а также стоимость автономных JTAG-систем, совсем невысокая по сравнению со стоимостью функциональных тестеров и тестеров ICT.

Необходимость в автоматизации процессов тестирования также является дополнительным доводом в пользу применения JTAG-ICT. Подключение тестируемой ПП к автономной JTAG-системе предполагает выполнение ряда ручных операций с кабелями контроллера JTAG, что может оказаться проблематичным в условиях массового производства или при недостаточной квалификации тест-операторов. Взаимодействие же с тестерами ICT давно и эффективно автоматизируется, такие тестеры являются естественной составной частью полностью автоматизированных линий сборки ПП. Применение JTAG-ICT, таким образом, оправдано для высокопроизводительных линий сборки ПП в тех случаях, когда требуются высокий и заранее обусловленный уровень покрытия неисправностей, автоматизированная диагностика, минимальное вмешательство оператора, автоматизация конвейера и, разумеется, совместимость имеющейся автономной JTAG-системы с имеющимся или доступным тестером ICT.

Несмотря на указанные преимущества JTAG-ICT для тестирования на линиях сбор-

ки ПП, совмещение именно таких двух тестовых методик пригодно не для любых ПП. В условиях мелкосерийного производства совмещение JTAG-систем с недорогими тестерами с «летающими» щупами (Flying probe) для тестирования резисторов и компонентов, не поддерживающих JTAG-стандарт, может оказаться предпочтительным, а для крупносерийного производства недорогих ПП потребительской электроники наилучшим сочетанием с JTAG-системами может оказаться какой-либо простой анализатор производственных дефектов. JTAG-ICT — это наилучшее решение для тестирования на средне- и крупносерийных линиях монтажа сложных и дорогостоящих ПП с большой плотностью размещения компонентов и ИС с высокой степенью интеграции.

Как указано в [1], обеспечение постоянного соответствия контактов тестера ICT иглокам адаптера тестируемой ПП не всегда возможно и не всегда удобно, поскольку количество контактных площадок ICT для сложных ПП с очень большим числом цепей (скажем, с несколькими тысячами цепей) может намного превышать возможности самого тестера. В подобных ситуациях применяются так называемые мультиплексированные тестеры, оборудованные специальными переключательными матрицами, позволяющими адресовать одну и ту же пару «драйвер-сенсор» более чем к одной иглолке. Несмотря на кажущуюся гибкость мультиплексированных тестеров ICT, разработчики программ тестирования для них сталкиваются со многими трудностями, прежде всего при автоматическом сопоставлении узлов тестируемых ПП с определенными иглолками. При выборе тестера ICT необходимо учитывать, что мультиплексированные тестеры заметно дороже немultipлексированных и проектирование иглочатых адаптеров для них сложнее, поскольку следует принимать во внимание, что несколько мультиплексированных иглолок нельзя использовать одновременно. Экономические соображения при таком выборе, как правило, преобладают, и решение зачастую принимается в ущерб потенциальной гибкости использования тестера.

При возможности обеспечения касания иглолками ICT всех узлов тестируемой ПП можно, в принципе, достичь весьма высокого уровня тестового покрытия, близкого к 98%. Существует, однако, множество схемотехнических ограничений и проблем физического доступа [4], которые не позволяют на практике приблизиться к такому впечатляющему уровню. Одним из таких естественных ограничений при аналоговых измерениях являются конденсаторы с невысокими емкостями, сопоставимыми с емкостями измерительной системы. Точность подобных измерений на тестере ICT невелика, если измерения вообще возможны. Аналогичная проблема возникает и при измерении небольших индуктивностей, но в этом случае можно хотя бы

убедиться в правильности их монтажа при проверке наличия проводимости.

В завершение еще раз приведем краткое сопоставление достоинств ICT-тестирования и присущих этому методу ограничений. Первым и безусловным преимуществом ICT-тестирования является то, что его использование позволяет обнаружить множество дефектов монтажа ПП сразу же после выхода платы с производственной линии, причем вначале — даже до первой подачи питания на тестируемую ПП. В некотором смысле ICT — это первая линия обеспечения качества монтажа ПП. Тесты коротких замыканий и обрывов, неверно смонтированных компонентов, неверных номиналов пассивных компонентов, развернутых в обратную сторону диодов, аналоговые тесты и измерения, разнообразие цифровые тесты, внутрисхемное конфигурирование ПЛИС и FPGA, прожиг ЭПЗУ и флэш-памяти, применение JTAG-тестирования — это лишь неполный перечень тестов, выполняемых при тестировании ICT.

Пример типовой структуры тестовой программы ICT приведен в [5]. Уровень тестового покрытия такой программы весьма высок, а ее генерация в значительной степени автоматизирована. Диагностические возможности тестовых программ ICT позволяют быстро и эффективно локализовать неисправности монтажа ПП с точностью до контакта и узла даже при использовании персонала с невысокой квалификацией. Прогон тестовых программ ICT эффективен и недорог, а производительность таких стендов тестирования настолько высока, что они повсеместно используются на линиях крупно- и среднесерийного монтажа ПП.

К несомненным ограничениям применимости тестеров ICT следует отнести значительные начальные инвестиции на приобретение тестера, его установку и поддержку, расходы на разработку и изготовление иглочатых адаптеров, необходимость в квалифицированном анализе уровня тестопригодности схем ПП и оптимизации размещения иглолок ICT, использование квалифицированных тест-программистов для разработки эффективных программ ICT-тестирования. Весьма распространенным, современным и экономически оправданным подходом к сбалансированному решению проблем такого рода являются контрактные отношения с фирмами (Test House), которые специализируются на тестировании ICT и JTAG [5]. ■

Литература

1. www.jtag-test.ru/JTAGUniversity/articles/15-PE_2_2010.php
2. www.jtag-test.ru/Solutions/DFT.php
3. www.jtag-test.ru/JTAGUniversity/columns/Kit_11_2009.php
4. www.jtag-test.ru/JTAGUniversity/articles/16-PE_3_2010.php
5. www.jtag-test.ru/Solutions/ICT.php