

Ами ГОРОДЕЦКИЙ, к. т. н. (JTAG.TEST)
amigo@jtag-test.ru

Материалы международной конференции по тестированию электроники ITC-2009. Часть 3

В этом номере журнала мы завершим (просто нельзя объять почти необъятное...) обсуждение обзора применения технологий JTAG, который провели Филипп Гейгер (Philip Geiger) из Dell и Стив Буткович (Steve Butkovich) из Cisco, начатое в предыдущих номерах журнала.

Большинство респондентов на вопрос об использовании ими технологий JTAG для тестирования фрагментов ПП и отдельных ИС, не снабженных структурами JTAG [ИЭ. 2008. № 7], ответили утвердительно. Распределение применимости JTAG-тестов для таких устройств оказалось следующим:

- А — простая комбинационная логика (74%);
- Б — простая последовательная логика (66%);
- В — резисторы и резисторные сборки (65%);
- Г — тест-кластеры для 3У SRAM и DRAM (80%);
- Д — тестирование ИС флэш-памяти (74%).

Среди прочих не-JTAG компонентов, тестируемых JTAG-методами, были названы светодиоды, компоненты последовательных интерфейсов I²C и SPI, ЦАП и АЦП, а также разнообразные разъемы, то есть, в сущности, практически все действительно возможные компоненты. Показательно при этом распределение ответов на вопрос «Как часто вы

сталкиваетесь с трудностями при тестировании не-JTAG компонентов?», приведенное на рис. 1. Здесь зеленым обозначено отсутствие каких бы то ни было затруднений, желтым — эпизодические затруднения и красным — частые затруднения. Сравнительно широкие желтые зоны, а также часть красных зон связаны, как мне представляется, с недостаточным уровнем тестопригодного проектирования (DFT) схем респондентов [ИЭ. 2008. № 1], но в целом уровень применимости JTAG-тестирования для не-JTAG компонентов выглядит вполне благополучно.

Отдельно рассматривалось распределение ответов касательно тестирования разработчиками и изготовителями ПП JTAG-структур тех покупных компонентов, которые этими структурами оборудованы. Странно, что ответы распределились примерно поровну: 48% ответили, что они тестируют ИС JTAG, а 52% — что нет. Я был бы готов предположить, что группа «нет» будет значительно больше в силу доверия к поставщикам компонентов. Этого не происходит, как мы видим. 93 респондентам, ответившим положительно, был задан дополнительный вопрос

о том, что именно они тестируют, выполняя тестирование ИС JTAG. Итак, они проводят:

- полную верификацию JTAG-структур;
- косвенное тестирование JTAG-структур как составляющую JTAG-тестов ПП;
- синтаксический контроль файлов BSDL;
- тестирование JTAG-структур, которое требуют поставщики компонентов.

Весьма воодушевляющим выглядит распределение ответов на вопрос «Сталкивались ли вы с какими-либо проблемами JTAG-тестирования на производственной линии в начале производства новых ПП?». 44% опрошенных никаких проблем с JTAG-тестированием не обнаружили, еще 40% заявили, что проблемы были минимальными, и лишь 16% респондентов пожаловались на наличие значительных проблем. Уровень удовлетворенности JTAG-тестированием, как мы видим, весьма высок, что связано как с возросшей квалификацией тест-операторов производственных линий, так и с поддержкой, оказываемой им контрактными разработчиками JTAG-тестов. Подробное распределение типов проблем, фигурировавших в ответах респондентов, показано на рис. 2.

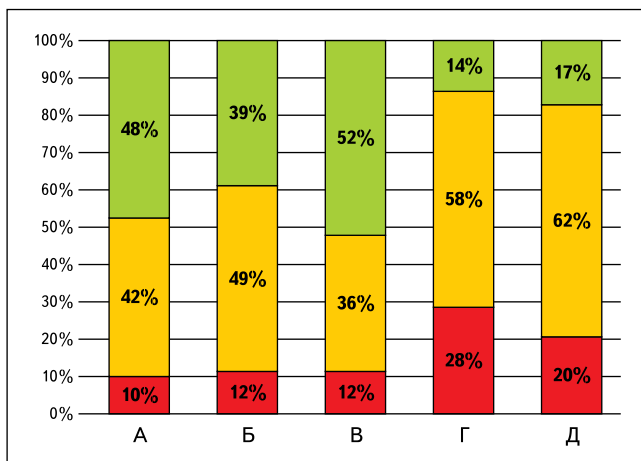


Рис. 1. Распределение ответов на вопрос «Как часто вы сталкиваетесь с трудностями при тестировании не-JTAG компонентов?»

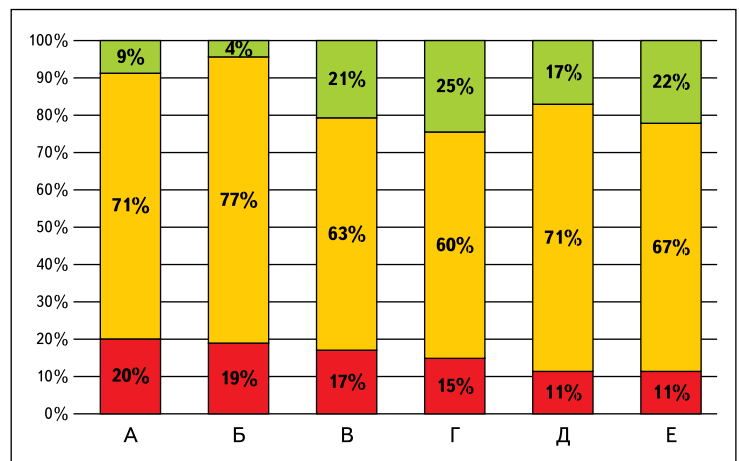


Рис. 2. Распределение ответов на вопрос «Сталкивались ли вы с какими-либо проблемами JTAG-тестирования на производственной линии в начале производства новых ПП?»

Здесь зеленым обозначено отсутствие этой разновидности проблем при JTAG-тестировании, желтым — незначительные трудности и красным — часто возникающие проблемы этой разновидности. Триema основными из названных разновидностей проблем были, как можно видеть, следующие:

- неверные или испорченные файлы BSDL (столбец Б);
- наличие в схеме компонентов без JTAG-поддержки (столбец А);
- низкий уровень тестопригодности схемы и печатной платы (столбец Д).

К прочим трудностям при JTAG-тестировании были отнесены проблемы, связанные с аппаратным и программным обеспечением JTAG-тестера (столбец Е), проблемы, связанные с тестовыми стендами (столбец В), и недокументированные отклонения характеристик применяемых компонентов (столбец Г). Только с двумя из указанных типов проблем зачастую приходится смириться — это А и Г, поскольку при разработке схем ПП и подготовке их к производству и тестированию на эти проблемы влиять трудно или вообще невозможно. Полное исключение или заметное ослабление влияния остальных из указанных проблем вполне возможно, и именно это мы постоянно обсуждаем в нашей рубрике.

Отвечая на вопрос о том, какие факторы препятствуют применению технологий JTAG при тестировании, 78% опрошенных назвали наличие слишком большого количества компонентов без JTAG-поддержки. Ответ выглядит несерьезным, так как мы уже неоднократно рассматривали в нашей колонке (например, в [КиТ. 2009. № 4, 5]) ситуации, когда наличие даже одной ИС JTAG в схеме более чем оправдано для применения JTAG-тестов. На втором месте (49%) оказался ответ о невысоком уровне тестопригодности (DFT) схем, с чем я готов согласиться. Еще 44% респондентов пожаловались на то, что не смогли получить файлы BSDL у поставщиков ИС, что часто является вполне реальной проблемой. И наконец, 12% ответов были связаны с опасениями о нарушении безопасности и возможными утечками секретности при применении технологий JTAG. Нужно признать, что уровень опасений такого рода даже ниже, чем можно было бы ожидать. Одно из связанных с такими опасениями и весьма перспективных направлений в современных разработках электроники называется DFS (Design-for-Security), то есть проектирование с учетом требований безопасности, и одну из будущих колонок я намерен посвятить этой теме ввиду тесной связи этой проблематики с технологиями JTAG.

Вторая группа респондентов, как указывалось в [КиТ. 2010. № 9], включала в себя разработчиков ИС, снабженных или не снабженных структурами JTAG, а также тест-инженеров, применяющих технологии JTAG для тестирования чипов. 100% опрошенных

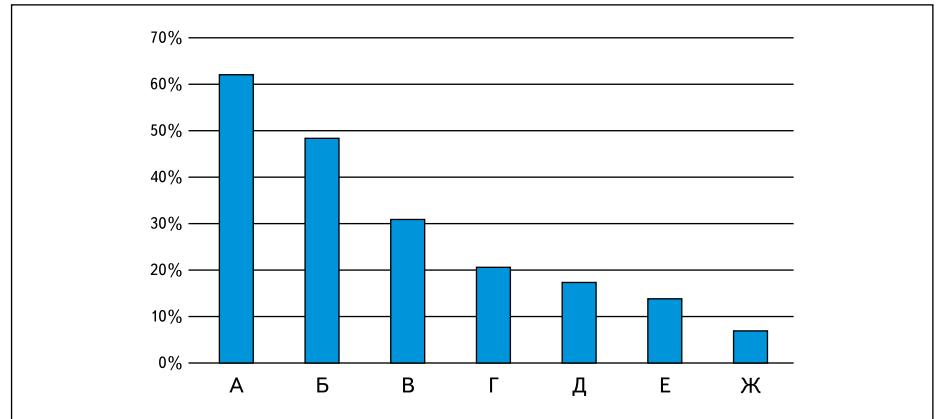


Рис. 3. Распределение областей применения ИС, которые разрабатывают и/или тестируют респонденты второй группы

второй группы ответили, что как задания на разработку чипов, так и намерения самих разработчиков всегда направлены на применение технологий JTAG. Этот результат, вообще говоря, противоречит ощущениям многих респондентов первой группы, что при разработке чипов применимость технологий JTAG является чем-то второстепенным. Тем не менее абсолютно все опрошенные утверждали, что структуры JTAG применяются в разработках при первой же возможности, а половина респондентов указала, что применение технологий JTAG присутствует в их технических заданиях в явном виде.

Только 11% респондентов указали, что соображения экономии места на силиконовой пластине существенны при принятии решения о применимости JTAG-структур. Треть опрошенных (32%) полагают, что применимость технологий JTAG ограничена тем, что бывает невозможно выделить для их интерфейса 4 контакта в корпусе ИС. Интересно, что 24% ответов на вопрос об ограниченной применимости технологий JTAG во второй группе (вдвое больше, чем в первой!) связаны с опасениями о возможных утечках секретности при применении технологий JTAG.

Распределение областей применения ИС, которые разрабатывают и/или тестируют респонденты второй группы, показано на рис. 3. Обозначения столбцов на этом рисунке следующие:

- А — портативная и потребительская электроника;
- Б — телекоммуникации (связь, передача данных, сети);
- В — автомобильная электроника;
- Г — офисное и бизнес-оборудование;
- Д — медицинская электроника;
- Е — разная;
- Ж — военная и аэрокосмическая электроника.

Неудивительно, что микросхемы для портативной и потребительской электроники лидируют среди прочих по количеству. Интересно, однако, что столь заметное количество ИС этого сегмента рынка, весьма чувствительного к цене изделий, снабжаются

структурами JTAG. Такое впечатление, что относительное увеличение стоимости ИС все же приводит, в конечном счете, к ощутимой экономической выгоде в отношении продуктов этого сегмента, и поэтому вполне оправданно.

Ответы на естественный вопрос о том, каким образом респонденты второй группы тестируют JTAG-структуры их микросхем, выглядят ожидаемыми. Все, разумеется, выполняют программное моделирование JTAG-структур и все отдают себе отчет в том, что этого, безусловно, недостаточно, поскольку существует целый ряд проблем, требующих тестирования файлов BSDL на физическом уровне. Такие тесты предназначены для проверки соответствия описаний, содержащихся в файлах BSDL, действительной полупроводниковой структуре JTAG данной микросхемы (например, [1]). Только 41% респондентов сказали, что они занимаются подобным тестированием, и это естественным образом приводит к наличию файлов BSDL, не вполне соответствующих той реальности, которую они призваны однозначно описывать.

Отношение компаний — производителей ИС к конфиденциальности файлов BSDL также неоднозначно. Множество таких компаний свободно выставляют свои файлы BSDL на веб-сайты. К таким компаниям относятся, например, Altera, Xilinx, Intel, National, Freescale, Samsung и множество других [2]. Однако почти пятая часть респондентов (19,2%) указала, что их компании рассматривают файлы BSDL как конфиденциальные документы. Примерами таких компаний являются Broadcom, Marvell, Fulcrum.

Респонденты второй группы подтвердили, что их внимание к применению JTAG-структур в стандарте IEEE 1149.6, предназначенном для поддержки тестирования дифференциальных цепей и известном также как Advanced EXTEST [ПЭ. 2009. № 1. ПЭ. 2010. № 5], в целом несколько меньше, чем их внимание к традиционному цифровому JTAG-стандарту IEEE 1149.1. Меньше половины опрошенных (40,7%) ответили, что вовсе

не планируют применение структур 1149.6, тогда как треть (33,3%) уже сейчас широко применяют такие структуры, а остальные планируют внедрение этого современного JTAG-стандарта в ближайшее время — от полугода до трех лет. Нужно отметить, что наличие часто применяемых последовательных емкостей в дифференциальных цепях представляет собой обрыв для низкочастотных тестовых сигналов цифрового JTAG-тестирования, что

и привело к поиску других решений для тестирования подобных цепей. Этот поиск завершился принятием в 2003 году международного стандарта, официальное название которого “IEEE Standard for Boundary-Scan Testing of Advanced Digital Networks”. Его полный текст можно найти, например, на сайте JTAG-Университета [3]. Готовность более половины респондентов к применению стандарта 1149.6 выглядит весьма обнадеживающе, по-

скольку все системы разработки JTAG-тестов [ПЭ. 2008. № 2, 3] давно поддерживают подобные структуры, а схемотехническая потребность в них весьма высока. ■

Литература

1. www.jtag-test.ru/Solutions/BSDL.php
2. www.jtag-test.ru/Support/BSDL.php
3. www.jtag-test.ru/JTAGUniversity/index.php