



Ами ГОРОДЕЦКИЙ, к. т. н. (JTAG.ТЕСТ)
amigo@jtag-test.ru

Материалы международной конференции по тестированию электроники ИТС-2009. Часть 1

Ежегодные международные конференции по тестированию электроники (International Test Conference, ИТС) — это всегда знаковое событие для тест-инженеров всего мира. За последние годы такие конференции эволюционировали в своего рода регулярные форумы специалистов, бизнесменов тест-индустрии и ведущих профессионалов в тестировании и тестопригодном проектировании, а темы, задаваемые этими форумами, определяют основные направления разработок в тестировании электроники на длительный период времени.

Ввиду важности тем, рассматриваемых на ИТС, для читателей этих страниц эта и несколько следующих колонок будут посвящены краткому обзору некоторых важнейших с моей точки зрения направлений работы недавней, 40-й конференции ИТС-2009, проведенной 3–5 ноября прошлого года в Остине (Техас, США). Мы рассмотрим также доклады наиболее авторитетных специалистов, чтобы дать читателю представление об идеях и проблемах, занимающих сегодня лучшие умы в тестировании электроники.

Среди основных тем на конференции обсуждались новые технологии и стандарты граничного сканирования (JTAG), тестирование трехмерных чипов (3D chips), проблемы соотношения производительности электронных изделий и их качества, а также новые направления и методы в тестопригодном проектировании (DFT). В рамках 18 сессий на конференции были представлены 55 докладов наиболее известных в мире специалистов и проведены 12 семинаров, охватывающих такие разнообразные направления, как тестирование высокоскоростных интерфейсов, методы проектирования с учетом эффективности производства (Design-for-Manufacturing, DFM), диагностика и отладка микросхем на кремниевых пластинах, статистика отказов, тестирование задержек, механизмы проявления дефектов и методы их тестирования для нанотехнологий, тестирование аналоговых, гибридных и высокочастотных схем, экономические аспекты тестирования и тестопригодности.

Одним из наиболее авторитетных генераторов идей в тестировании электроники на протяжении многих лет является Кеннет Паркер (Kenneth Parker, фирма Agilent): он из числа «отцов-основателей» ряда стандартов JTAG и автор массы статей и базисных

книг на эту тему. Доклад Паркера на ИТС-2009 о влиянии, которое окажет широкое применение трехмерных чипов на тестирование ПП, вызвал значительный и ожидаемый интерес на конференции, несмотря на отсутствие в нем на этот раз принципиальных новшеств.

Паркер говорил о том, что изобретение трехмерных чипов было обусловлено целым рядом технологических факторов, прежде всего — значительным возрастанием степени интеграции чипов и плотности их упаковки в корпусах, а также резким ростом скоростей передачи информации посредством таких микросхем. Трехмерные чипы позволяют разместить значительно больше аппаратных средств на единице площади, а также заметно понизить уровни импедансов ввиду уменьшения сопротивлений, емкостей и индуктивностей. Более того, трехмерные структуры позволяют объединить в одном корпусе несколько кремниевых пластин, или подложек различных уровней, выполненных по различным, подчас совершенно несовместимым между собой технологиям. Самая нижняя из них (подложка 1-го уровня — рис. 1), кроме определенных функциональных возможностей, обеспечивает также сопряжение с контактами микросхемы в корпусе BGA.

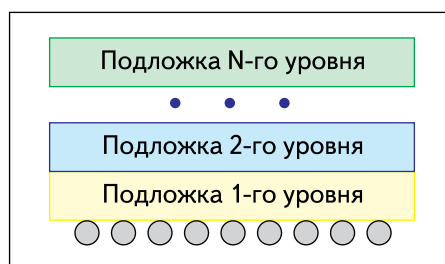


Рис. 1. Трехмерная структура, объединяющая в одном корпусе несколько подложек

Подложка каждого из уровней представляет собой, как правило, функционально заверченный узел, входы/выходы которого в общем случае даже несовместимы с узлами, размещенными на подложках других уровней. Совместимые связи между подложками различных уровней обеспечиваются посредством микроскопических переходных отверстий. Тестирование подобных структур при их производстве и монтаже на поверхность печатных плат представляет собой непростую задачу. Не следует ожидать, что при помощи таких популярных и широко распространенных средств тестирования, как автоматические оптические тестеры (АОИ) или рентгеновские тестеры (АХИ), можно будет получить желаемое тестовое покрытие при монтаже трехмерных чипов. Оптические тестеры бесполезны для обнаружения неисправностей монтажа корпусов BGA, и их преимущества ограничиваются проверкой правильности ориентации микросхемы при ее монтаже, а также считыванием надписей и маркировок на корпусе, видимых тестеру. Тоже кое-что, но явно недостаточно для исчерпывающего тестирования. О качестве пайки контактов корпуса BGA можно, как известно, судить по результатам рентгеновского теста, однако при значительном росте числа подложек разрешающая способность такого, весьма недешевого, теста может оказаться обескураживающей.

Представляется бесспорным, что наиболее приемлемыми технологиями для тестирования качества монтажа трехмерных чипов на поверхности ПП являются внутрисхемное тестирование (ИСТ) [ПЭ. 2010. № 2, 3] и любые системы JTAG-тестирования [ПЭ. 2008. № 2, 3]. При этом несомненно широкая применимость как традиционных цифровых JTAG-структур, поддерживающих стандарт IEEE 1149.1 [ПЭ. 2007. № 5], так и его расширения IEEE 1149.6

[ПЭ. 2009. № 1], использование аналоговых измерений в рамках JTAG-стандарта IEEE 1149.4 [ПЭ. 2008. № 4], а также новейших JTAG-стандартов IEEE 1149.7 и IEEE P1149.8.1 [КиТ. 2010. № 4, 6]. Но что означает наличие нескольких JTAG-цепочек внутри трехмерного чипа, каждая из которых подключена к тем или иным контактам ввода/вывода микросхемы, но связи между которыми фрагментарны или вовсе отсутствуют? Такая структура становится похожей на подключение к печатной плате одной или нескольких вторичных плат с иерархическим доступом к каждой из них и тестом связей между ними через их соединительные разъемы.

К задачам разработчика трехмерного чипа добавляется, таким образом, обеспечение совместимости каждой из подложек с требованиями того или иного JTAG-стандарта и обязанность разработки и тестирования отдельного BSDL-файла для каждой из подложек. Без соблюдения этих минимальных требований тестопригодность трехмерных микросхем окажется недостижимой, но при их наличии может быть вполне достаточной. Ничего нового в таком подходе, вообще говоря, нет. Несколько лет назад на повестке дня стояло обеспечение тестопригодности многочиповых модулей (МСМ), содержащих «этажерки» из планарных структур, каждая из которых содержала несколько отдельных микросхем. Такие модули являлись, в сущности, прототипом трехмерных чипов, но в большинстве случаев ограничивались двумя этажами, нижний из которых представлял собой проводной интерфейс с контактами ввода/вывода и мог содержать также разнообразные аналоговые компоненты. Многие из систем, поддерживающих тестирование модулей МСМ, уже сегодня в принципе пригодны и для тестирования трехмерных чипов.

В одной из промышленных систем ИСТ подход, предназначенный для иерархического тестирования модулей МСМ, сводится к описанию компонентов и списков связей между ними на каждом из уровней такой «этажерки» и последующей компиляции этих параметров в некое «плоское» описание, полностью нивелирующее иерархичность исходной структуры. Паркер полагает, что адекватные описания трехмерных чипов должны быть ориентированы на так называемую «иерархию двухуровневых слоев». При таком подходе нижний уровень слоя будет либо описывать связи с внешними контактами ввода/вывода микросхемы (межсвязи на уровне печатной платы), либо межсвязи на уровне ИС, а верхний уровень будет представлять собой «плоское» описание компонентов подложки, JTAG-подсхем на них и межсвязей на уровне подложки.

На рис. 2 приведен набросок иерархической модели межсвязей трехмерного чипа, предложенной Паркером. Здесь П-1, П-2, ..., П-N — отдельные подложки чипа, причем первые три из них — одноуровне-

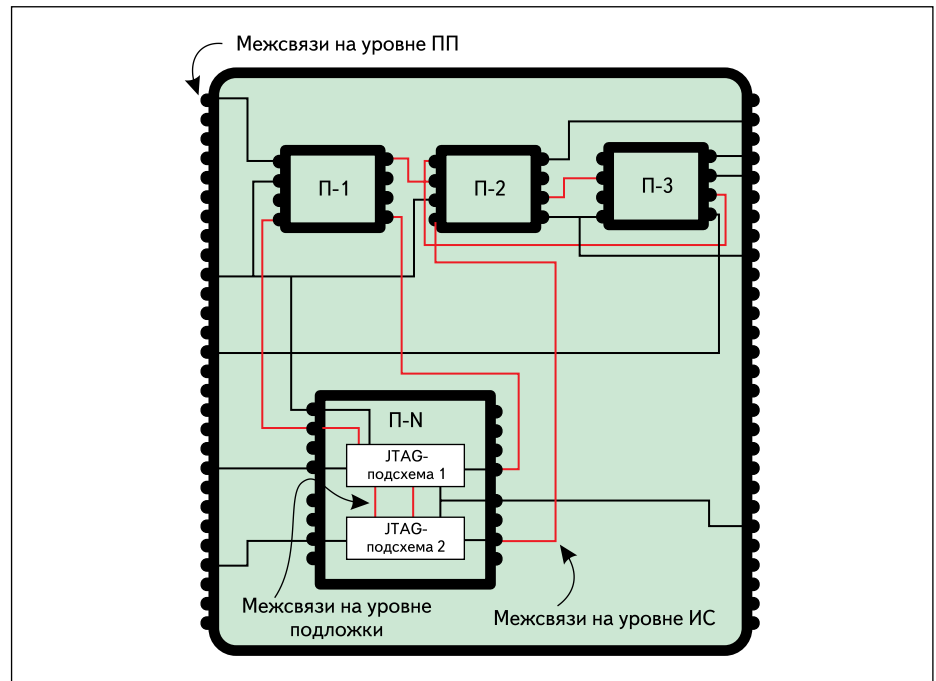


Рис. 2. Иерархическая модель межсвязей трехмерного чипа

вые, а подложка П-N многоуровневая, поскольку содержит несколько JTAG-подсхем, и поэтому представляет собой более высокий слой иерархии. Как видно на рис. 2, межсвязи на уровне ИС, а тем более межсвязи на уровне подложек, обозначенные красными линиями, полностью внутренние относительно ИС и вовсе не обязательно совпадают с межсвязями на уровне ПП.

Вполне очевидно, что полнота тестового покрытия для подобной модели сильно зависит от JTAG-тестопригодности межсвязей на уровне ИС и на уровне подложки, и это должно быть обеспечено в процессе разработки самой микросхемы. Тестопригодность межсвязей на уровне ПП обеспечивается, как обычно, разработчиками схем ПП [ПЭ. 2008. № 1], но они должны иметь адекватные файлы BSDL, при разработке которых также принимались бы во внимание аспекты тестопригодности всех или большей части контактов ввода/вывода микросхемы. Иными словами, максимальное число отдельных подложек должно быть снабжено встроенными JTAG-подсхемами. Контрдоводом при этом может быть следующее возражение: зачем тестировать межсвязи внутри ИС на этапе тестирования ПП? Не является ли такое тестирование избыточным, поскольку эти межсвязи уже были проверены на этапе тестирования ИС? Однозначный ответ на эти вопросы, разумеется, отсутствует, поскольку определяется экономическими аспектами той или иной стратегии тестирования.

Интересы другого авторитетного специалиста в технологиях тестирования — Эрика Яна Мариниссена (Eric Jan Marinissen) из Бельгии — сосредоточены не столько на тестировании смонтированных на ПП

трехмерных чипов, сколько на тестировании самих таких чипов в процессе их производства. Мариниссен также считает, что значительная часть технологий тестирования трехмерных чипов уже существует. Тем не менее он обращает внимание на то, что начало эпохи таких чипов внесет в технологии тестирования целый ряд новых моментов. Один из них заключается в том, что для оптимизации процессов тестирования трехмерных чипов, сочетающих эффективность их сортировки на исправные и неисправные с невысокими затратами, необходимо будет строить тесты, основанные на сравнении тех или иных характеристик с заведомо исправными чипами (ЗИЧ).

Другой важный аспект тестирования трехмерных чипов, подчеркиваемый Мариниссеном, заключается в необходимости разработки новых моделей дефектов для новых, неизвестных ранее, типов неисправностей. В самом деле, для каких типов дефектов следует разрабатывать тесты межсвязей на уровне подложки? А тесты межсвязей на уровне ИС? Что мы будем, к примеру, называть неисправностями переходных отверстий (Through-Silicon Vias, TSV), представляющими собой совершенно новый тип дефектов, которые возникают, скажем, при утоньшении силиконовой пластины? Как такие неисправности будут проявляться и в чем будет заключаться их формальное описание? Будут ли тесты, покрывающие дефекты изготовления TSV, обнаруживать также неисправности в соответствующих цепях, вызванные термическими или термомеханическими напряжениями? Вопросов предостаточно, и это открывает широкое поле деятельности для инженеров и исследователей. ■