

Ами ГОРОДЕЦКИЙ, к. т. н. (JTAG.TEST)
amigo@jtag-test.ru

Новейший стандарт JTAG-тестирования: IEEE P1149.8.1

Недавняя публикация нового JTAG-стандарта IEEE 1149.7 и его формальное принятие международным тестовым сообществом — все это стало очередным этапом в целом ряду разрабатываемых и готовящихся к выходу в свет новых стандартов JTAG-тестирования, таких как IEEE P1581, IEEE P1149.8.1, IEEE P1687. В сущности — это новые технологии тестирования.

Краткий обзор технологии тестирования микросхем памяти (SDRAM), известной под названием SCITТ или как стандарт IEEE P1581, был приведен в нашей колонке в [КиТ. 2010. № 3], а побудительные мотивы разработки нового стандарта IEEE 1149.7 и его основные параметры мы рассмотрели в колонке в [КиТ. 2010. № 4]. Публикация стандарта тестирования «точка-7» обозначила неугасающий интерес к новым и углубленным разработкам методологий тестирования, предназначенных как для все более усложняющихся микросхем, так и для печатных плат после их монтажа, и мы еще неоднократно будем к этому стандарту возвращаться.

В моей первой колонке рубрики «JTAG-тестирование» в [КиТ. 2009. № 2], вышедшей более года назад, на рис. 1 была приведена схема взрывообразного развития технологий JTAG-тестирования. Однако тогда практически ничего не было известно о новейшем стандарте P1149.8.1, разрабатываемом в компаниях Agilent и LogicVision двумя ведущими экспертами мирового уровня в этой области — Кеном Паркером (K. P. Parker) и Стивом Сантером (S. Sunter). Развитие технологий тестирования, между тем, происходит стремительно, так что доклад этих авторов о состоянии разработок нового стандарта тестирования, представлен-

ный в ноябре прошлого года в Остине (Техас, США) на сороковой международной конференции по тестированию электроники (ITC-2009), положил начало широкому обсуждению этой новой и весьма впечатляющей идеи. Ежегодная конференция ITC — это вообще знаковое событие для разработчиков электроники и тест-инженеров во всем мире. Эти конференции эволюционировали за последние годы в своего рода ежегодные собрания специалистов и бизнесменов тест-индустрии и ведущих профессионалов в тестировании и тестопригодном проектировании, а обсуждаемые на них темы уже много лет определяют основные направления разработок в данной области на длительный период времени.

В нынешней колонке мы кратко рассмотрим основные предпосылки нового стандарта JTAG-тестирования, представленного его авторами как IEEE P1149.8.1. Буква P (preliminary) в названии стандарта указывает на то, что речь идет о предварительной версии, а не об официально принятом стандарте, а сам номер 8.1 отражает надежду авторов на то, что предлагаемая методика тестирования получит продолжение в виде серии стандартов — 8.2 и т. д. Полное название нового стандарта довольно длинное: «Стимуляция входных воздействий при помощи граничного сканирования (JTAG)

для обеспечения тестов межэлементных связей между активными и пассивными компонентами». Назначение стандарта заключается в том, чтобы дополнить традиционную и хорошо известную технологию JTAG в стандарте IEEE 1149.1 такими возможностями, которые бы обеспечили тестирование межэлементных связей с компонентами, не имеющими JTAG-поддержки, и прежде всего — с пассивными компонентами и разъемами.

В связи с постоянной тенденцией к сокращению размеров ПП и повышению плотности монтажа компонентов с обеих сторон ПП применение технологии внутрисхемного тестирования, известной как ICT [ПЭ. 2010. № 2, 3], даже в рамках безвекторных методов сталкивается с постоянными трудностями в связи с тривиальной нехваткой места на ПП для размещения контактных площадок. На рис. 1 показана схема концепции безвекторных методов ICT для обнаружения обрывов тестируемых контактов какой угодно ИС, цифровой или аналоговой. Эта методика широко применяется при ICT-тестировании ПП уже не менее 15 лет, так что ее эффективность неоднократно доказана. Тестируемый компонент может быть также пассивным (резистор или резисторная сборка, переключатель, индуктор и т. д.) или, к примеру, представлять собой пустой разъем, важно лишь обеспечить доступ иглол ICT (черные стрелки снизу) к контактам компонента. Заранее известная величина емкости между иглолками тестера ICT, касающимися пары контактов, обозначена как C_{ig}. На эти иглолки подается тестовое воздействие в виде низковольтной синусоиды (например, 400 мВ в полной амплитуде). Размещаемая над тестируемой ИС пластина сенсора воспринимает синусоидальный тестовый сигнал через емкостную связь C_{vt} между каждой из связей чипа с выводом ИС и этой пластиной. Типичное значение емкости C_{vt} в эквивалентной схеме измерения, приведенной на рис. 2, составляет примерно 50–100 фФ, иногда — в пределах 0,5 пФ.

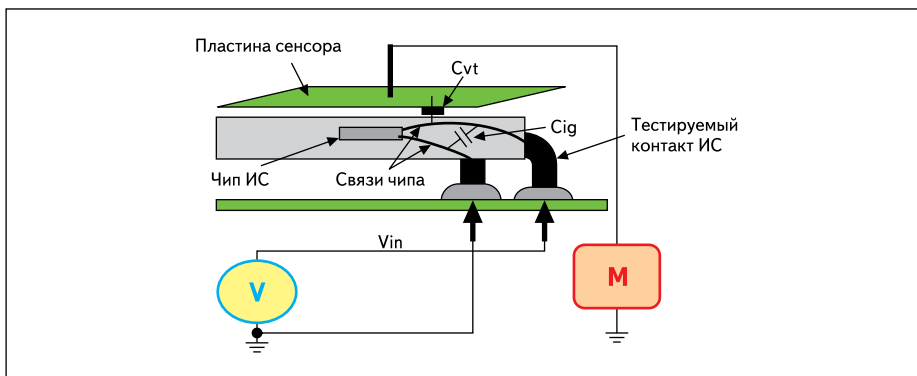


Рис. 1. Схема концепции безвекторных методов ICT для обнаружения обрывов тестируемых контактов ИС

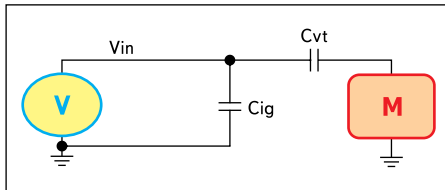


Рис. 2. Эквивалентная схема измерения емкости C_{vt}

Буквой М здесь обозначен усилитель принимаемого тестового сигнала, передающий его в схему тестера, где величина принятого сигнала сравнивается с ожидаемым, заранее известным значением в рамках заданного допуска. Такая схема позволяет обнаружить обрывы контактов ИС как результат ошибок монтажа без необходимости в генерации специальных тест-векторов и, разумеется, без активизации функционального ядра ИС. Действительно, при наличии обрыва или «холодной пайки» в точке соединения вывода компонента с ПП измеренное значение емкости окажется существенно меньше ожидаемого для случая исправной пайки.

Важной особенностью этого метода тестирования является отсутствие необходимости включения питания тестируемой ПП, что очень существенно на ранних этапах тестирования качества монтажа ПП, когда отсутствие опасных коротких замыканий еще не проверено. Устойчивость измерений достигается при этом защитным подключением остальных, не тестируемых в данный момент контактов тестируемого компонента к «земле». Это было бы невозможно, конечно, если бы тестируемая ПП была при этом включена, и также предполагает наличие физического доступа иголок тестера ИСТ ко всем этим контактам.

Легко заметить, что если доступ иголок ИСТ к контактам тестируемого компонента по любой причине ограничен или вовсе отсутствует, то безвекторные методы ИСТ так же бесполезны, как и их векторные варианты. Поиски путей преодоления этих трудностей и привели, в сущности, к предложению использовать каналы JTAG как альтернативу иголкам ИСТ для подачи тестовых воздействий в виде низковольтных синусоид. Понятно, что стимуляция контактов тестируемых компонентов со стороны выходных контактов ИС JTAG при выполнении, к примеру, команды EXTEST [ПЭ. 2007. № 6] могла бы обеспечить требуемые входные тестовые воздействия при безвекторном тестировании, которое при таком подходе совершенно перестает быть связанным с ИСТ. Идея нового стандарта JTAG-тестирования как раз и заключается в определении необходимых схемных дополнений в традиционные JTAG-структуры ИС, а также в формулировании новых принципов тестопригодного проектирования схем ПП для реализации указанного подхода.

При тестировании обрывов и коротких замыканий по результатам монтажа ПП широко применяются технологии JTAG, опреде-

ляемые стандартами IEEE 1149.1 [ПЭ. 2007. № 5] и 1149.6 [ПЭ. 2009. № 1], и уровень покрытия таких дефектов для ИС, поддерживающих указанные стандарты, весьма высок. Тестирование подобных дефектов монтажа в цепях, соединенных с ИС, не поддерживающих стандарты JTAG или содержащих разнообразные пассивные компоненты, выполняется в виде так называемых кластеров [ПЭ. 2008. № 7]. Уровень покрытия дефектов монтажа кластерными тестами ниже, а само тестирование зачастую требует от тест-инженера немалой изобретательности и далеко не всегда возможно. При тестировании разъемов, в частности, используются специальные тестовые модули (www.jtag-test.ru/SoftAndHard/SODIMM.php).

Первой очевидной проблемой применения JTAG-технологий «точка-1» и «точка-6» для выполнения описанных выше емкостных измерений стало то, что далеко не все JTAG-контакты являются выходными, то есть обеспечивающими тестовые воздействия и защитные подключения к «земле» при безвекторном тестировании. Вторая проблема — частота тестовых воздействий зависит как от допустимой частоты ТСК цепочки JTAG, так и от длины регистра граничного сканирования РС [ПЭ. 2007. № 6] управляющей ИС JTAG, являющейся делителем частоты сканирования ТСК. Кроме того, для обнаружения коротких замыканий на тестируемых контактах JTAG-управляемые стимуляторы теста должны быть JTAG-входами/выходами, с возможностью самосчитывания подаваемых тестовых воздействий, что характерно далеко не для всяких JTAG-контактов. И, наконец, дифференциальные JTAG-выходы генерируют комплементарные (противофазные) сигналы, применимость которых для измерений при помощи емкостных сенсоров сомнительна.

Таким образом, основная задача группы по разработке нового JTAG-стандарта IEEE P1149.8.1, работа над которым еще весьма далека от завершения, заключается в решении следующих проблем:

- Введение дополнительной комбинационной логики в каждую из стандартных ГС-ячеек [ПЭ. 2007. № 7] для управляемого де-

ления частоты ТСК цепочки JTAG на любое целое число, независимо от длины РС.

- Чисто входные JTAG-ячейки должны быть заменены на двунаправленные с возможностью генерации периодического прямоугольного (или почти прямоугольного) тестового сигнала на выходе.
- Выходные JTAG-ячейки должны работать и в непериодическом режиме, а порог логических уровней должен быть смещаемым, для того чтобы иметь возможность обнаружения коротких замыканий между выходными JTAG-контактами, стимулирующими тестовые воздействия.
- Дифференциальные JTAG-выходы должны генерировать периодические прямоугольные, но не комплементарные тестовые сигналы, и это следует реализовать без значительных изменений в многочисленных имеющихся высокоскоростных дифференциальных драйверах.

Обеспечение возможности генерации периодических тестовых сигналов выходными и двунаправленными JTAG-ячейками представляет собой непростую задачу, если не идти по пути удвоения количества JTAG-ячеек, как это было сделано при разработке JTAG-стандарта «точка-6» [ПЭ. 2009. № 1], и не увеличивать безгранично количество сигналов, управляющих JTAG-ячейками. Тем не менее, введение нескольких дополнительных сигналов управления все же потребуются. Среди них:

- одноразрядный сигнал из РС, вводящий выходные JTAG-ячейки в периодический режим;
- сигнал, определяющий логический уровень каждого выходного контакта, находящегося в непериодическом режиме;
- глобальный сигнал-флажок, указывающий на активизацию периодического режима;
- синхросигнал, определяющий частоту периодического режима, наподобие сигнала AC Test в стандарте «точка-6».

Очевидно также, что должна быть определена некая новая команда (или несколько) для активизации описанных действий, а также внесены дополнения в язык описания JTAG-структур (файл BSDL) для поддержки новой методики тестирования. ■