

Виктор БЕЛОУС  
Сергей ДРОЗД  
Андрей ЛИСТОПАДОВ  
office@bms.by

## Схемотехнические методы повышения помехоустойчивости цифровых КМОП-микросхем

### Введение

Помехоустойчивость цифровых КМОП БИС является одной из основных характеристик, определяющих надежность работы любой проектируемой системы. Для современных быстродействующих цифровых БИС решение проблемы усложняется в связи с тем, что время переключения базовых элементов, определяющее быстродействие БИС в целом, становится соизмеримым с временем распространения сигналов во внутренних и внешних линиях связи систем. Импульс такой помехи в линии может быть воспринят БИС как истинный сигнал, вследствие чего работоспособность системы может быть нарушена. Некоторые аспекты проблемы помехозащищенности рассмотрены в [1–3], однако в них не отражены, например, вопросы генерации внутренних помех, генерируемых помех в цепях БИС и схемотехнические приемы и методы повышения их помехозащищенности.

Здесь следует различать два класса задач:

- повышение помехоустойчивости входных каскадов, выходных каскадов и цепей питания цифровых БИС к воздействию внешних помех;
- повышение помехоустойчивости входных и выходных элементов, внутренних логических элементов (ЛЭ) и их цепей питания к воздействию внутренних помех;
- подавление способности генерации внутренних помех базовыми и согласующими элементами БИС.

Важность обеспечения помехозащищенности цифровых БИС от внутренних помех

связана с невысоким логическим перепадом напряжения в цепях ЛЭ и способностью быстродействующих ЛЭ, входных и выходных каскадов к генерации высокоуровневых помех на паразитных емкостях и индуктивностях компонентов БИС. Особенно сильно эффекты генерации помех проявляются в быстродействующих выходных каскадах, управляющих большими емкостными нагрузками и коммутирующих большие выходные токи.

Известны следующие основные типы внутренних помех [4]:

- генерируемые в сигнальных шинах из-за их перекрестного паразитного взаимодействия;
- генерируемые в сигнальных шинах в силу эффектов, связанных с рассогласованием выходов элементов с нагрузкой, наличием  $L$ - и  $C$ -компонентов в нагрузке;
- генерируемые в сигнальных шинах из-за известного эффекта «соствязания» сигналов.

Перечисленные типы помех имеют различные физические механизмы генерации и по-разному воздействуют на БИС, однако их существование в цепях БИС может оказывать влияние на устойчивость функционирования и характеристики БИС.

### Помехоустойчивость цифровых БИС к воздействию внешних помех

Под помехоустойчивостью входного каскада обычно понимают его способность сохранять свое установившееся статическое состояние при воздействии помехи. Статический

запас помехоустойчивости характеризуется параметрами:

$$\Delta U_T^+ = U_{TL} - U_{IL},$$

$$\Delta U_T^- = U_{IH} - U_{TH}.$$

Данные параметры представлены на рис. 1а, где приведена передаточная характеристика входного инвертирующего каскада (кривая 1), управляемая устройством с передаточной характеристикой аналогичного типа (кривая 2). Значение пороговых напряжений высокого и низкого уровней  $U_{TH}$ ,  $U_{TL}$  определяются на передаточной характеристике в точках  $A$ ,  $B$ , в которых  $dU_0/dU_I = -1$ . Значения входных напряжений высокого и низкого уровней  $U_{IH}$ ,  $U_{IL}$  соответствуют точкам  $C$  и  $D$ , в которых  $U_{IH} = U_{OH}$ , а  $U_{IL} = U_{OL}$  управляющего устройства.

Однако наличие статического запаса помехоустойчивости входного каскада является необходимым, но недостаточным условием для обеспечения помехозащищенности БИС, поскольку здесь важна длительность импульса помехи. При этом в зависимости от длительности импульса помехи и величины собственной задержки переключения входного каскада возможны случаи, когда входной каскад не изменит своего состояния даже при превышении сигналом помех статического запаса помехоустойчивости. Поэтому входные каскады цифровых БИС обычно характеризуются импульсной помехоустойчивостью, которую определяют допустимой длительностью импульса помехи  $t_p$ , амплитуда которой равна логическому перепаду напряжений на входе  $\Delta U_T = U_{IH} - U_{TL}$ .

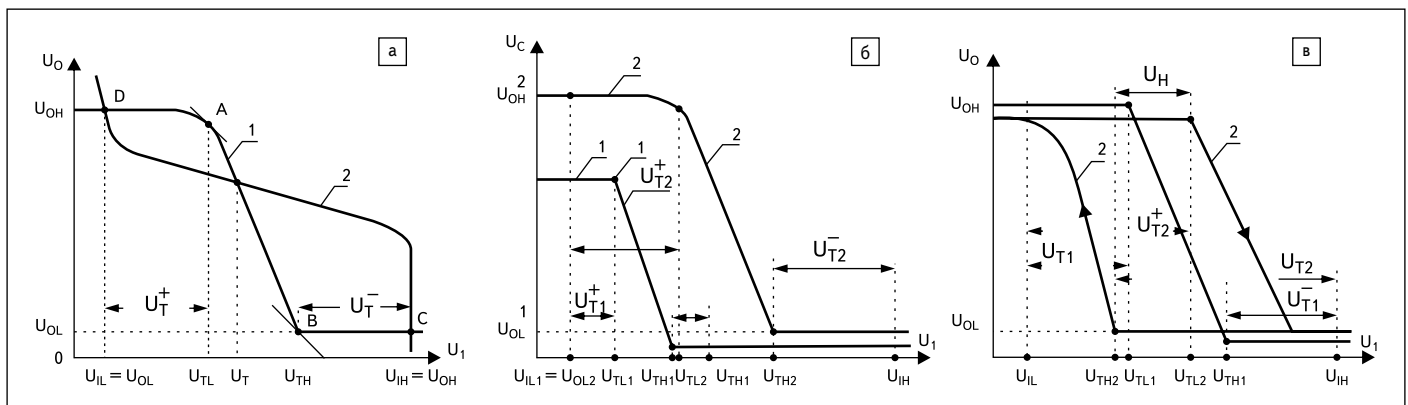


Рис. 1. Передаточная характеристика входного каскада цифровой БИС: а) инвертирующая; б) с повышенным порогом переключения; в) гистерезисного типа

Влияние внешних помех на входы цифровых БИС заключается в их воздействии на входы БИС, приводящих к изменению их логического состояния. При этом на выходе входного каскада будет сформирован ложный «короткий» сигнал, который, распространяясь по цепям цифровых БИС, будет изменять состояния функциональных блоков цифровых БИС, включая элементы памяти, и формировать на выходах цифровых БИС ложные сигналы, что эквивалентно «сбою» (отказу) функционирования БИС.

Известны общие методы борьбы с внешними помехами на входах цифровых БИС [4]. Повышение помехозащищенности цифровых БИС по входам достигают как за счет повышения статической, так и динамической помехоустойчивости входных каскадов. Среди методов повышения статической помехоустойчивости входных каскадов можно выделить следующие:

- Увеличение значений входных пороговых напряжений переключения  $U_{TH}$ ,  $U_{TL}$  и логического перепада входных напряжений  $\Delta U_T = U_{0H} - U_{0L}$  (рис. 16, кривая 2). Недостатком этого метода является необходимость увеличения напряжения питания  $U_{cc}$  и ухудшение быстродействия входного каскада.
- Формирование во входном каскаде передаточной характеристики, симметричной по отношению к логическому перепаду входных напряжений  $\Delta U_T$ .
- Использование во входном каскаде внутренних обратных связей для формирования передаточной характеристики гистерезисного типа с шириной петли  $\Delta U_H$  (кривая 2 на рис. 1в).

Среди методов повышения динамической помехоустойчивости можно выделить следующие:

- ограничение минимального времени задержки переключения и длительностей фронтов входного каскада, позволяющее «ухудшить» чувствительность входного каскада к длительности динамических помех;
- использование специальных встроенных схем ограничения динамических помех (емкостных цепочек и др.);
- использование в БИС парафазных входных каскадов для двухпроводных линий связи, принимающих одновременно прямой и инверсный входные сигналы и не чувствительных к динамической помехе, возникающей в этом случае одновременно на прямом и инверсном входах.

### Устойчивость цепей питания цифровых БИС к воздействию внешних помех

Помимо входов цифровых БИС, внешние помехи могут появляться и в цепях питания БИС и влиять на их функционирование. Устойчивость цепей питания цифровых БИС к воздействию внешних помех можно харак-

теризовать допустимым отклонением напряжения питания цифровых БИС от номинального  $\pm \Delta U_{cc}$  при котором устойчивость функционирования, динамические и электрические параметры цифровых БИС не изменяются. Специального параметра, характеризующего устойчивость цифровых БИС к воздействию динамических помех по цепям питания, в литературе не встречается, поскольку динамическая помехоустойчивость к воздействию этого типа помех в значительной степени определяется как функциональным составом БИС, так и условиями ее подключения (источником питания, нагрузкой и т. д.).

Влияние внешних помех на цепи питания цифровых БИС заключается в их воздействии на цепи питания внутренних элементов и изменении логических уровней на выходах логических элементов БИС. При воздействии на комбинационные цепи это изменение напряжения питания, не снижающее уровни напряжения на выходах ниже пороговых, будет в основном изменять скорость прохождения сигналов по логическим цепям, не изменяя их достоверности. При дальнейшем снижении уровня логических напряжений на выходе элементов ниже пороговых значений возможно изменение логического состояния элементов памяти, ложная синхронизация элементов памяти и потеря достоверности прохождения информации по цепям БИС.

Основными методами защиты от внешних помех в цепях питания цифровых БИС являются специальные методы проектирования межсоединений цепей питания БИС в устройстве, оптимальный выбор мощности и выходного сопротивления источников питания БИС, а также электрическая развязка цепей питания друг от друга. Еще одна группа методов предполагает использование специальных схем ограничения или сглаживания помех (емкостных цепочек и др.), которые могут быть как внешними для БИС, так и встраиваться в БИС.

Влияние внешних помех на выходные каскады заключается в основном в их переходе в состояние, близкое к перегрузке, которое может привести к отказу. Влияние помех этого типа на функционирование цифровых БИС слабо, если с выхода отсутствуют связи с внутренними компонентами БИС.

### Анализ устойчивости цифровых БИС к воздействию внутренних помех

*Помехи, генерируемые в шинах питания цифровых БИС, — основной тип внутренних помех*

Механизм генерации помех в шинах питания поясняется на примере КМОП БИС, упрощенная схема которой приведена на рис. 2а [4]. Здесь  $U_{cc}$  и  $0V$  — обозначения выводов питания и общей шины БИС, к которым подключается внешний источник питания;  $U'_{cc}$  и  $0V'$  — внутренние шины пи-

тания и общая шина БИС;  $L_S$ ,  $R_S$  — эквивалентные паразитные индуктивность и сопротивление внутренней шины питания (включая индуктивность и сопротивления вывода);  $L_G$ ,  $R_G$  — паразитные индуктивность и сопротивление общей шины (включая индуктивность и сопротивление вывода). Внешняя емкость нагрузки  $C_L$  подключена между выходным выводом  $U_0$  и выводом  $0V$ .

Допустим, понижающий выходной транзистор  $VT21$  выходного элемента согласования  $DO1$  находился в закрытом состоянии, а повышающий  $VT11$  — в открытом. Тогда емкость нагрузки  $C_L$  заряжена до высокого уровня напряжения  $U_{0H}$ . При отпирании понижающего транзистора  $VT21$  емкость  $C_L$  разряжается (рис. 2б), и через открытый транзистор  $VT21$  протекает изменяющийся во времени ток:

$$i_{0L} = C_L dU_0^{HL}/dt.$$

Этот ток на паразитных сопротивлениях  $R_G$  и индуктивности  $L_G$  общей шины  $0V$  создает падение напряжения:

$$\Delta U_G = L_G di_{0L}/dt + i_{0L} R_G.$$

Это напряжение воздействует в момент переключения на внутреннюю общую шину  $0V'$  и изменяет ее потенциал относительно потенциала внешнего вывода  $0V$ , как показано на рис. 2б.

При включении повышающего выходного транзистора  $VT11$  и выключении понижающего транзистора  $VT21$  емкость нагрузки  $C_L$  заряжается током стока  $p$ -МОП транзистора  $VT11$ :

$$i_{0H} = C_L dU_0^{LH}/dt.$$

Этот ток, протекая по паразитным индуктивности  $L_S$  и сопротивлению  $R_S$  шины питания  $U_{cc}$  создает на них падение напряжения:

$$\Delta U_S = L_S di_{0H}/dt + i_{0H} R_S.$$

Напряжение  $\Delta U_S$  воздействует в момент переключения на внутреннюю шину питания  $U'_{cc}$  и изменяет ее потенциал относительно потенциала внешнего вывода  $U_{cc}$  (рис. 2б).

Например, при емкости нагрузки  $C_L = 50$  пФ и перепаде выходного напряжения  $L_0 = 5$  В в течение  $2$  нс величина тока перезаряда равна:  $50 \times 5 / 2 = 125$  мА.

Допуская, что индуктивность шины (питания или общей шины) составляет  $L_{GS} = 10$  нГн, а сопротивление  $R_{GS} = 2$  Ом, значение «всплеска» напряжения  $\Delta U_{GS}$  составит  $0,875$  В.

При одновременном переключении нескольких выходных каскадов, что практически всегда имеет место, значение напряжения помех  $\Delta U_S$ ,  $\Delta U_G$  увеличивается пропорционально числу переключающихся в одно состояние каскадов.

Следует отметить, что в действительности же значение напряжения помехи  $\Delta U_S$ ,  $\Delta U_G$

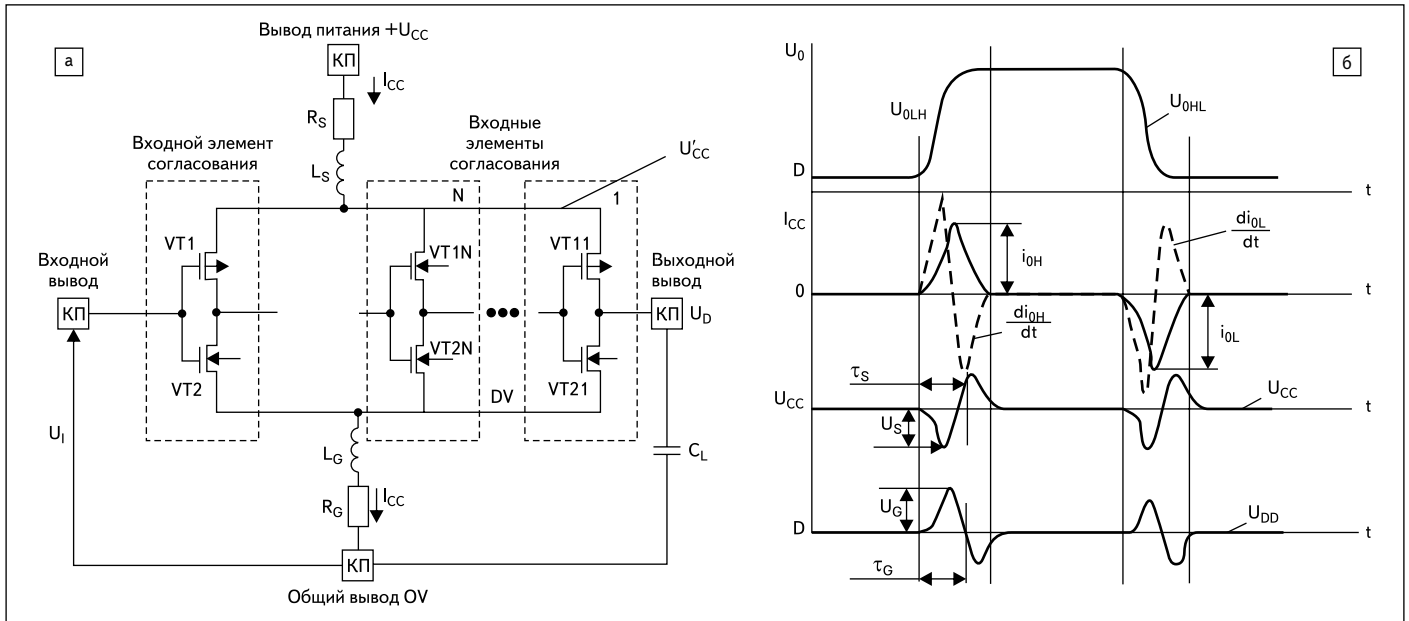


Рис. 2. а) Схема цифровой БИС, поясняющая механизм генерации помех в цепях питания КМОП БИС; б) временные диаграммы сигналов

может быть и выше, чем показано. Это связано с наличием в выходных элементах согласования «сквозных» токов потребления, возникающих при переключении в состоянии, когда оба МОП-транзистора VT11 и VT21 находятся в открытом состоянии. Эти токи, суммируясь с токами перезаряда емкости нагрузки  $i_{0H}$ ,  $i_{0L}$ , значительно увеличивают значения токов, протекающих через паразитные индуктивности  $L_G$ ,  $L_S$  и сопротивления  $R_G$ ,  $R_S$ , и еще больше увеличивают напряжения помех  $\Delta U_G$  и  $\Delta U_S$ .

**Оценочный расчет численных значений напряжения внутренних помех**

Для оценочного расчета значений напряжений помех  $\Delta U_S$ ,  $\Delta U_G$  используем эквивалентные схемы разряда (заряда) емкости нагрузки на основе МОП-транзисторов, приведенные на рис. 3, в которых влияние «сквозных» токов потребления не учитывается.

Допустим, при разряде эквивалентной емкости нагрузки напряжение на затворе транзистора VT2 (рис. 3а) изменяется в течение времени таким образом, что ток разряда  $I_{0L}$  предварительно заряженной до напряжения  $U_{0H}$  нагрузки имеет линейный характер

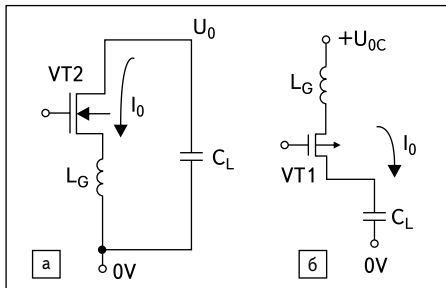


Рис. 3. Эквивалентные схемы: а) разряда емкости нагрузки на основе МОП-транзистора; б) заряда

(рис. 4а), тогда величина напряжения помехи  $\Delta U_G$  имеет постоянное значение. Заряд, накопленный емкостью нагрузки  $C_L$ , определяется выражением:

$$Q = C_L U_0,$$

где  $U_0 = U_{0H} - U_{0L}$  — логический перепад напряжений на выходе.

Этот заряд может быть разряжен в течение времени  $\tau_r$  выходным током  $I_{0L} = 2Q/\tau_r = 2C_L U_0/\tau_r$  [5].

Тогда с учетом линейной зависимости тока разряда  $i_{0L}$  напряжение помехи в общей шине будет иметь вид:

$$\Delta U_0 = L_0 di_{0L}/dt = L_G 2I_{0L} \tau_r = \Delta L_G C_L U_0/\tau_r^2.$$

С учетом того, что одновременно могут переключаться в одно состояние  $N$  выходных каскадов, получим:

$$\Delta U_G = 4N \Delta L_G C_L U_0/\tau_r^2.$$

При изменении напряжения на затворе транзистора VT1 (рис. 3б) в течение времени  $\tau_f$  таким образом, что ток заряда  $i_{0H}$  емкости нагрузки  $C_L$  имеет линейный характер, напряжение помехи  $\Delta U_S$  в шине питания также будет иметь постоянное значение.

Аналогично, при заряде емкости нагрузки величина накапливаемого в емкости  $C_L$  при напряжении  $U_0$  заряда определяется простой формулой —  $Q = C_L U_0$ . Этот заряд может быть сформирован в течение времени  $\tau_f$  выходным током  $I_{0H} = 2Q/\tau_f = 2C_L U_0/\tau_f$ . Тогда с учетом линейной зависимости тока заряда  $i_{0H}$  напряжение помехи в шине питания можно определить из выражения:

$$\Delta U_S = L_S di_{0H}/dt = L_S 2I_{0H}/\tau_f = 4L_S C_L U_0/\tau_f^2.$$

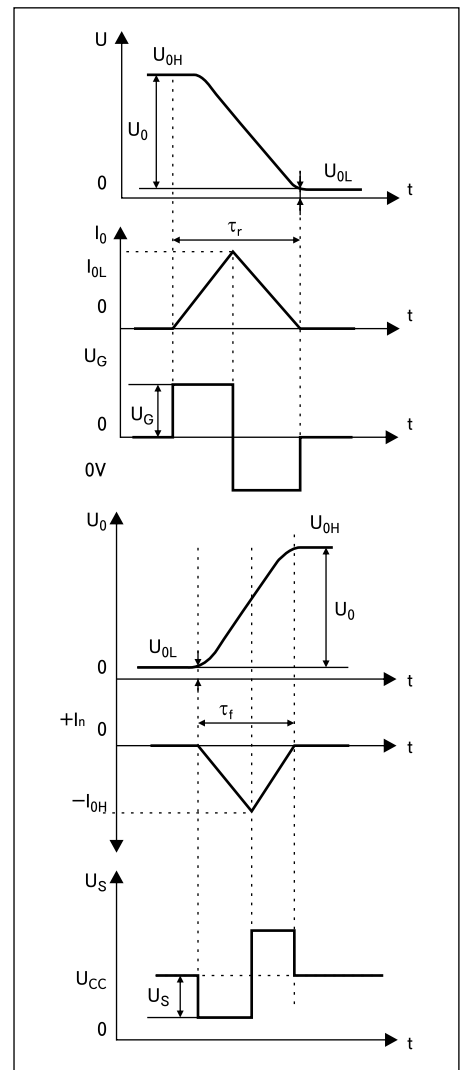


Рис. 4. Временные диаграммы сигналов для определения уровня помех в общей шине 0V в шине питания  $U_{CC}$

А с учетом того, что одновременно могут переключаться в одно состояние  $N$  выходных элементов согласования, получаем:

$$\Delta U_S = 4N\Delta L_S C_L U_0 / \tau_r^2.$$

Как следует из полученных выражений, наиболее существенное влияние на величину напряжения помех в шине питания и общей шине оказывают длительности заряда (разряда) емкости  $\tau_r$ ,  $\tau_p$ , то есть длительности фронтов выходного сигнала.

Особый интерес представляет исследование механизма влияния помех, возникающих в шинах питания, на состояние входных и выходных каскадов БИС, непосредственно связанных с выводами корпуса БИС или микросборки.

### Влияние помех в шинах питания на входы БИС

Рассмотрим влияние помех в шинах питания на входы БИС на примере КМОП БИС. Эквивалентная схема входного каскада приведена на рис. 2а. Входное напряжение  $U_p$ , подаваемое на входы БИС, обычно относят к общему внешнему выводу. При этом входной элемент согласования обычно характеризуется входными пороговыми напряжениями высокого  $U_{TH}$  и низкого  $U_{TL}$  уровней, при которых БИС сохраняет свое состояние. Разность между входными напряжениями и входными пороговыми напряжениями характеризует запас помехоустойчивости  $\Delta U_T^+$  входного элемента согласования низкого  $\Delta U_T^+ = U_{TL} - U_{0L}$  и высокого  $\Delta U_T^- = U_{0H} - U_{TH}$  уровней.

Появление помехи  $\Delta U_G$  в общей шине приводит к кратковременному увеличению потенциала внутренней общей шины  $0V$  БИС и вследствие этого — к изменению величин пороговых напряжений и запаса помехозащищенности [4]:

$$\begin{aligned} \Delta U_T^+ &= U_{TL} + \Delta U_G - U_{IL} = \Delta U_{T0} + \Delta U_G \\ \Delta U_T^- &= U_{IH} - U_{TH} - \Delta U_G = \Delta U_{T0} - \Delta U_G \end{aligned}$$

Как следует из приведенных выражений, помеха в общей шине  $U_G$  ухудшает помехозащищенность при высоком уровне сигнала на входе  $U_{IH}$ . При напряжении помехи в общей шине  $U_G > U_{IH} - U_{TH}$  и ее длительности  $T_G$  сравнимой с задержкой переключения входного элемента согласования, возможно ложное срабатывание входного каскада и БИС в целом.

Появление помехи  $U_S$  в шине питания приводит к снижению потенциала внутренней шины питания  $U'_c$  БИС и вследствие этого — к изменению пороговых напряжений:

$$\begin{aligned} \Delta U &= U_{TL} - U_S \\ \Delta U_{TH} &= U_{TL} - U_S \end{aligned}$$

Изменение запаса помехоустойчивости выглядит следующим образом [4]:

$$\begin{aligned} \Delta U_T^+ &= U_{TL} - \Delta U_S - U_{IL} = \Delta U_{T0} - \Delta U_S \\ \Delta U_T^- &= U_{IH} - \Delta U_S - U_{TH} = \Delta U_{T0} - \Delta U_S \end{aligned}$$

Из вышеприведенных выражений следует, что помеха в шине питания  $U_S$  ухудшает помехозащищенность БИС при низком уровне сигнала на входе  $U_{IL}$ .

При напряжении помехи в шине питания  $U_S > U_{TL} - U_{IL}$  и ее длительности  $\tau_s$ , сравнимой с задержкой переключения входного каскада, также возможно его ложное срабатывание и сбой функционирования БИС.

### Влияние помех в шинах питания на выходы БИС

Влияние помех, генерируемых в шинах питания, на выходы БИС заключается в кратковременном изменении значений выходных напряжений низкого  $U_{0L}$  и высокого  $U_{0H}$  уровней.

Эти изменения напряжения, воздействуя на входы нагрузочных (управляемых) БИС (при определенной длительности и амплитуде помех), могут вызвать их ложное срабатывание. Кроме того, эти помехи, воздействуя на внутренние компоненты выходного элемента согласования, могут приводить к отпиранию внутренних изолирующих переходов, взаимодействию компонентов друг с другом, их катастрофическим отказам («зашелкивание» и др.). Другой механизм воздействия на выходы БИС связан с понижением значения напряжения питания на внутренних шинах БИС  $U'_{cc}$ ,  $0V$  (при отрицательной помехе  $\Delta U_S$ , положительной помехе  $\Delta U_G$ ) и снижением вследствие этого нагрузочной способности выходного элемента согласования, то есть выходных токов низкого  $I_{0L}$  и высокого  $I_{0H}$  уровней. Снижение выходных токов, в свою очередь, приводит к увеличению длительностей заряда (разряда) емкости нагрузки и затягиванию фронтов выходных сигналов в момент появления помех.

Как видим, существует многообразие различных ситуаций, и все они не лучшим образом влияют на эксплуатационную надежность современных микросхем, используемых в качестве элементной базы различных электронных блоков и систем.

### Рекомендуемые схемотехнические методы борьбы с помехами в шинах питания БИС

Для снижения влияния помех в шинах питания на работоспособность цифровых БИС рекомендуется принимать соответствующие меры, в частности [4]:

- «Разделение» шин питания входных и выходных элементов согласования, внутренних функциональных блоков БИС и подключение их к отдельным электрически изолированным выводам (рис. 5). Такая схема построения цепей питания БИС не позволяет устранить генерацию помех в шинах питания элементов согласования при их переключении, однако уменьшает их величину за счет снижения значения паразитной индуктивности шин питания и устраняет их влияние на входы и внутренние функциональные блоки БИС.
- Использование встроенной в блок управления выходного элемента согласования специальной схемы управления скоростью нарастания выходного напряжения. Такая схема позволяет эффективно управлять отношением  $di_v/dt$  выходного элемента и уменьшать помехи в шинах питания БИС.
- Использование встроенной в блок управления выходного элемента согласования схемы задержки включения (выключения) выходных формирователей. Поскольку в выходном элементе при переключении существует состояние, когда оба выходных транзистора  $VT11$ ,  $VT21$  формирователей открыты (рис. 2а), в этом состоянии в цепи питания протекает большой сквозной ток потребления, генерирующий помехи. С целью снижения уровня помех при переключении из низкого состояния в высокое схема задержки задерживает включение повышающего транзистора  $VT11$  до тех пор, пока понижающий  $VT21$  не перейдет в закрытое состояние. При переключении из высокого уровня в состояние низкого уровня эта схема задерживает включение понижающего транзистора  $VT21$  до тех пор, пока повышающий транзистор  $VT11$  не перейдет в закрытое состояние. Тем самым обеспечивается уменьшение сквозных токов потребления.

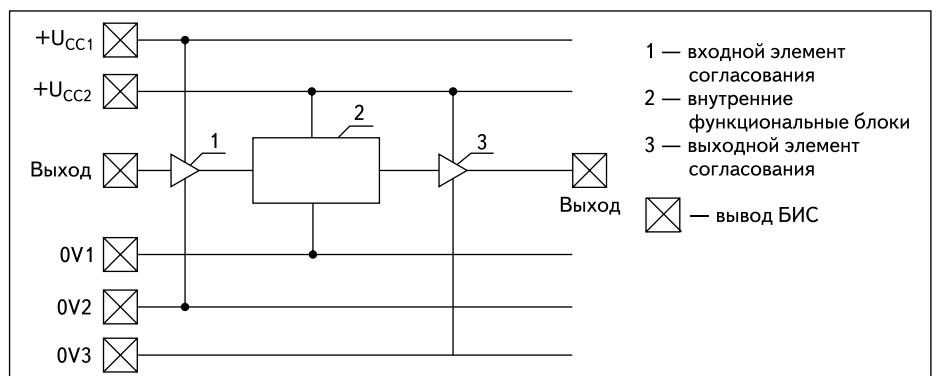


Рис. 5. Схема организации цепей питания цифровых БИС с пониженным уровнем помех

Некоторые технические решения перечисленных схем для конкретных схемотехнических базисов приводятся в [4].

### Помехи, генерируемые в сигнальных шинах из-за перекрестного взаимодействия

Перекрестные помехи обусловлены воздействием друг на друга соседних сигнальных линий, расположенных на кристалле в непосредственной близости друг от друга, при наличии емкостной связи между выходами двух выходных элементов согласования.

Известны два основных типа перекрестных помех [1]: емкостные и индуктивные, причем емкостные помехи существенны при больших перепадах выходного напряжения и больших емкостях. Индуктивные помехи характерны для больших перепадов выходного тока в сигнальных линиях с большими индуктивностями и малыми емкостями. Например, для микроконтроллеров из-за сравнительно невысоких значений коммутируемых токов характерными являются емкостные помехи в сигнальных линиях. Механизм их возникновения поясняется схемой, приведенной на рис. 6а, в которой  $D1$ ,  $D2$  — выходные элементы согласования БИС;  $C_X$  — емкость связи двух системных линий. При отрицательном перепаде напряжения в одной активной линии, например, в  $B2$ , в другой,  $B1$ , находящейся в пассивном состоянии низкого уровня, генерируется отрицательная помеха  $-\Delta U_G$ . При положительном перепаде напряжения в линии  $B1$  в другой,  $B2$ , находящейся в пассивном состоянии низкого уровня, генерируется положительная помеха  $+\Delta U_G$ .

Расчет параметров перекрестных помех может быть проведен по методике, описанной в [4]. Амплитуда напряжения помехи определяется из выражения:

$$\Delta U_G = \frac{\tau A}{\tau_{fr}} \left[ 1 - \exp \left( -\frac{\tau_{fr}}{\tau} \right) \right],$$

где  $A = C_X \Delta U / C$  — некоторая постоянная величина;  $C_X$  — емкость связи;  $C = C_X + C_0 + C_L$ ;  $\Delta U$  — разность перепада напряжений между шинами;  $C_0$  — выходная емкость элемента согласования;  $C_L$  — емкость нагрузки;  $\tau = C_X [R_0 R_L / (R_0 + R_L)]$ ;  $R_0$  — выходное сопротивление элемента согласования;  $R_L$  — сопротивление нагрузки.

Длительность помехи можно определить из выражения [1]:

$$\ln t_G = \tau_{fr} + \tau \ln \frac{A / \tau_{fr} - U_{OL}}{U_{OL}} \left[ 1 - \exp \left( -\frac{\tau_{fr}}{\tau} \right) \right].$$

Влияние перекрестных помех заключается в прямом изменении уровней выходных сигналов БИС, которые воздействуют на входы нагрузочных БИС и при определенной ам-

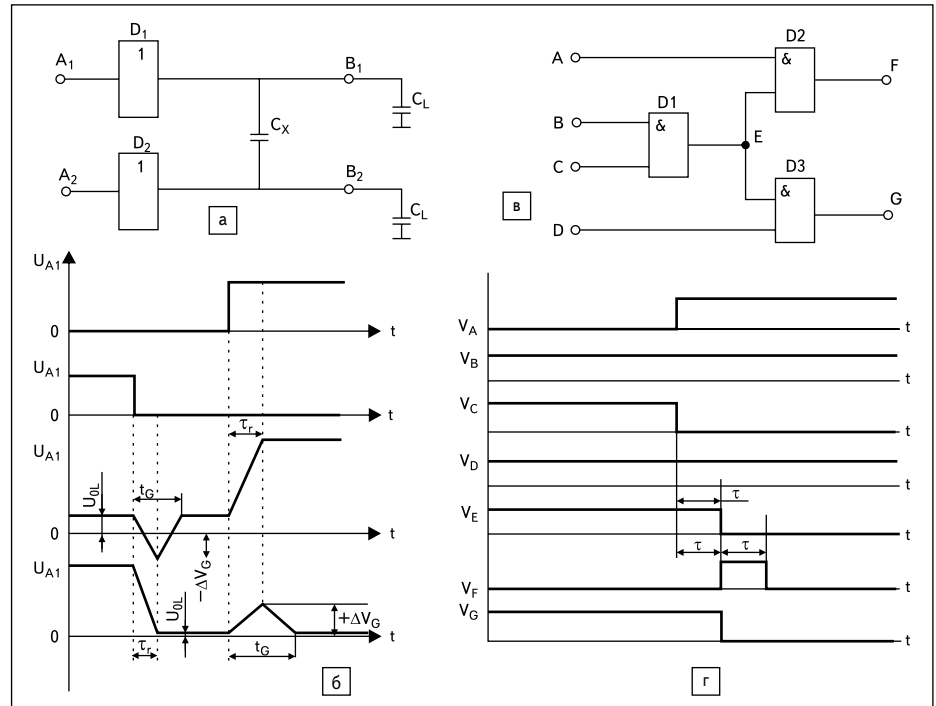


Рис. 6. Схемы, поясняющие механизм генерации помех «перекрестного» типа (а), вызванных «состязаниями» сигналов (в) и временные диаграммы сигналов (б и г)

плитуде и длительности способны вызывать их ложное срабатывание. Кроме того, эти помехи, в первую очередь отрицательные, воздействуя на компоненты выходного элемента согласования, могут привести к отпираанию изолирующих переходов компонентов и катастрофическим отказам БИС.

Основным методом снижения уровня перекрестных помех является уменьшение паразитных перекрестных емкостных и индуктивных связей в аппаратуре, в которой используются цифровые БИС. Однако с целью повышения надежности цифровых БИС в выходные элементы согласования можно вводить специальные схемы ограничения помех, уменьшающие помехи на выходах до уровней, не влияющих на изоляцию компонентов БИС.

Еще один тип помех генерируется в сигнальных шинах в случае рассогласования линий связи — выхода БИС с нагрузкой. Помехи данного типа в сигнальных шинах связаны с наличием в нагрузке  $L$ - и  $C$ -компонентов, вызывающих наличие многократных «отражений» между выходом и нагрузкой, ухудшающих форму выходного сигнала. Генерация помех данного типа практически полностью определяется условиями применения, поэтому механизм их формирования и расчет параметров помех здесь не рассматриваются.

Влияние помех рассогласования на входы и выходы БИС аналогично воздействию перекрестных помех. Методы борьбы с помехами рассогласования объединяют методы конструирования межсоединений, монтажа и компоновки цифровых БИС в аппаратуре,

обеспечивающие малые отражения сигналов от несогласованных нагрузок и неоднородностей, малое затухание сигналов в линиях. В основе этих методов конструирования межсоединений и монтажа лежит рациональная разводка печатных плат с учетом помехоустойчивости применяемых ИМС. Другая группа методов связана с введением в выходные каскады специальных схем, отслеживающих выходной сигнал при переключении, сравнивающих его с эталонными и автоматически изменяющих коэффициент усиления выходного каскада при наличии разности. Тем самым обеспечивается условие динамического согласования выхода с нагрузкой.

Третья группа методов связана с введением на выходах БИС встроенных схем ограничения помех до уровней, не влияющих на надежность работы цифровых БИС и их нагрузочных схем.

### Помехи в сигнальных шинах, вызванные «состязаниями» сигналов

Рассмотрим механизм генерации этих помех. В реальных БИС время задержки распространения сигналов логических элементов имеет конечное значение, зависящее от конкретных условий применения (емкости и индуктивности нагрузки, напряжения питания). При этом значения времени задержек переключения носят статистический характер и могут изменяться для разных БИС. Конечные значения времени задержек переключения и их технологический разброс приводят к ситуации, когда сигналы по различ-

ным цепям могут распространяться с разной скоростью и вызывать «состязания» сигналов, приводящие к помехам в сигнальных шинах. Механизм генерации указанного типа помех в цифровых БИС поясняется на рис. бв, г, где приведены фрагмент функциональной схемы цифровых БИС в произвольной логике и временные диаграммы работы. Допустим, входы [A, B, C, D] находились в исходном состоянии [0111]. При изменении исходного состояния входов на [A, B, C, D] = [0111] в соответствии с функциональной схемой состояние выходов [F, G] должно изменяться с [01] на [00]. Однако, поскольку логические элементы имеют конечное значение, прямое изменение сигнала на входе A вызовет переход выхода элемента в состояние высокого уровня [1] с задержкой  $1\tau$ .

Изменение сигнала на входе C приведет к появлению задержанного на  $1\tau$  сигнала на втором входе логического элемента D2 и обратному переключению его выхода F в состояние низкого уровня [0] через время  $2\tau$ . То есть из-за различного времени прохождения сигналов по цепям (вход A — выход F и вход C — выход F) и конечного времени задержки логических элементов на вы-

ходе F вместо сохранения сигнала низкого уровня будет сформирован короткий (с длительностью  $\approx 1\tau$ ) сигнал низкого уровня или «выброс» (glitch). Этот сигнал, распространяясь по цепям, может приводить к появлению ложных сигналов на выходах цифровых БИС и потере информации в элементах памяти (при появлении таких помех в цепи синхронизации). Образование сигналов помех и их длительность зависят от длины логических цепей и значений задержки. Помехи этого типа могут возникать также при воздействии других факторов, например, внешних электромагнитных воздействий или ионизирующей радиации, и могут быть как положительными — формирование сигнала высокого уровня на фоне сигнала низкого уровня [0], так и отрицательными — сигнал низкого уровня на фоне сигнала высокого уровня [1].

### Заключение

Рассмотрены основные механизмы генерации внутренних помех в цифровых КМОП БИС, даны рекомендации по повышению помехоустойчивости БИС к воздействию внутренних и внешних помех. Отдельно

рассмотрены пути повышения устойчивости цепей питания цифровых КМОП БИС к воздействию внешних помех, приведены типовые схемотехнические методы борьбы с помехами в шинах питания, рассмотрены механизмы возникновения емкостных и индуктивных перекрестных помех.

Представленные материалы могут быть полезны разработчикам высоконадежных электронных устройств различного назначения. ■

### Литература

1. Наумов Ю. Е., Аваев Н. А., Бедревский М. А. Помехоустойчивость устройств на интегральных логических схемах. М.: Советское радио, 1975.
2. Угрюмов Е. П. Цифровая схемотехника. СПб.: БВХ-Петербург, 2002.
3. Уейкерли Дж. Проектирование цифровых устройств. М.: Постмаркет, 2002.
4. Емельянов В. А. Быстродействующие цифровые КМОП БИС. Минск: Полиграф, 1998.
5. Brander O. Electrostatic discharge and CMOS logic. EOS // ECD Symposium Proceeding, RAC. September 1979.