

Платформы FPGA Virtex-6 СХТ и Virtex-6 НХТ фирмы Xilinx

Илья ТАРАСОВ,
к. т. н.
tile@kc.ru

FPGA семейств Virtex-6 фирмы Xilinx выполнены на базе третьего поколения архитектуры ASMBL (Advanced Silicon Modular Blocks). Эта технология основана на организации FPGA в виде колонок и позволяет быстро выпускать подсемейства (в терминологии Xilinx — платформы) FPGA с различным соотношением основных программируемых ресурсов, комбинируя нужное количество заранее подготовленных колонок. В статье рассматриваются новые платформы: Virtex-6 СХТ, предназначенная для построения недорогих цифровых систем с использованием всех функциональных возможностей семейства Virtex-6, и Virtex-6 НХТ. Их основное отличие — аппаратные ядра высокоскоростных приемопередатчиков GTN с поддержкой скоростей передачи более 10 Гбит/с. Также в статье анализируется анонс Xilinx по выпуску 28-нм FPGA следующего поколения, который запланирован на IV квартал 2010 года.

Введение

Освоение 40-нм технологического процесса представляет собой сложную задачу для производителей электронных компонентов, поэтому в последнее время на рынке FPGA можно было наблюдать некоторую растянутость во времени при анонсировании семейств ПЛИС, выпускаемых по этим нормам. В то же время для ПЛИС Virtex фирмы Xilinx, начиная с Virtex-4, проблемы достижения требуемых технологических показателей несколько сглажены использованием архитектуры ASMBL. Аббревиатура расшифровывается как Advanced Silicon Modular Blocks («улучшенные кремниевые модульные блоки») и обозначает архитектуру FPGA, при которой кристалл организовывается в виде колонок, каждая из которых представляет собой отдельный тип ресурсов: программируемые ячейки, блоки ввода/вывода, блочную память, блоки DSP, приемопередатчики и т. д. Это позволяет конструкторам достаточно оперативно «собирать» новые ПЛИС с требуемым соотношением логических ресурсов, а при необходимости и добавлять новые колонки, формируя таким образом новое подсемейство, которое для ПЛИС Virtex в терминологии Xilinx называется платформой (platform). Семейство Virtex-6 состоит из нескольких платформ — в первом анонсе упоминались платформы LXT (Logic) и SXT (Signal processing), что обозначает, соответственно, ПЛИС, ориентированные на проекты с большим количеством программируемой логики, и ПЛИС, ориентированные на интенсивную цифровую обработку сигналов.

Если обратиться к предыдущему семейству, Virtex-5, то там можно увидеть следующие платформы:

- LX — «логическая» платформа.
- LXT — «логическая» платформа с добавлением высокоскоростных последовательных приемопередатчиков (Multi-Gigabit Transceivers, MGT), их присутствие показано символом T в обозначении платформы и распространено на все последующие платформы в данном списке.
- SXT — ПЛИС с ориентацией на цифровую обработку сигналов и увеличенным вследствие этого числом блоков XtremeDSP (аппаратное умножение с накоплением).
- FXT — ПЛИС с аппаратными ядрами PowerPC440.
- ТХТ — ПЛИС с увеличенным числом скоростных приемопередатчиков, предназначенная для построения телекоммуникационных устройств с суммарной пропускной способностью более 100 Гбит/с.

Интенсивное развитие телекоммуникационных систем и систем, использующих высокоскоростные последовательные интерфейсы, обусловило тот факт, что в семействе Virtex-5 только платформа LX не имеет аппаратных блоков MGT. Для всех остальных применений такие блоки при их относительно небольшом удельном весе (а соответственно, и небольшой добавляемой стоимости) обеспечивают существенное расширение функциональных возможностей, тем более что реализация таких интерфейсов на внешних компонентах сопряжена с целым рядом конструкторских проблем.

С переходом к Virtex-6 оказалось, что блоки MGT отсутствуют в единственном кристалле — LX760, который является на данный момент абсолютным лидером всего семейства по объему логических ячеек. Очевидна его ориентация на прототипирование цифровых систем, в том числе ASIC и ASSP, для чего аппаратные блоки MGT не имеют такой острой актуальности: ПЛИС выступает в данном случае просто испытательным стендом. Однако все остальные FPGA Virtex-6 имеют в своем составе MGT, так что платформа LX представлена единственным вариантом LX760, а остальные кристаллы обозначаются как LXT. Вообще, оценку актуальности скоростных последовательных приемопередатчиков со стороны фирмы Xilinx нетрудно оценить хотя бы по их наличию в семействе Spartan-6, которое традиционно является дешевым вариантом FPGA. Таким образом, можно констатировать, что аппаратные ядра высокоскоростных последовательных приемопередатчиков прочно заняли место среди ресурсов FPGA.

Для этого типа ресурсов важнейшим показателем является максимальная пропускная способность, увеличение которой представляет собой сложную технологическую задачу. Важность именно технологических аспектов отмечается потому, что основные проблемы лежат не в сфере получения единственного работающего экземпляра приемопередатчика, а в получении приемлемого процента брака при серийном производстве. Поэтому слишком ранние анонсы тех или иных устройств, которые прин-

ципиально способны поддерживать те или иные протоколы обмена, означают, скорее всего, наличие только единичных инженерных образцов, но не обязательно возможность заказа серии ПЛИС. В настоящее время планкой, которую преодолевает микроэлектронная индустрия, является массовое распространение 10-Гбит интерфейсов. Такие скорости обмена были недоступны для предыдущих поколений ПЛИС Xilinx, и даже в ранее анонсированных платформах Virtex-6 максимальная скорость была установлена на уровне 6,75 Гбит/с. Однако сейчас наконец-то объявлено о начале выпуска FPGA Virtex-6 платформы HXT, которые имеют на кристалле приемопередатчики с максимальной скоростью 11,2 Гбит/с.

Вместе с платформой HXT объявлено также о начале выпуска ПЛИС платформы СХТ, которые занимают противоположную часть спектра high-end FPGA. Эти микросхемы полностью соответствуют младшим ПЛИС платформы LXT, однако имеют пониженные рабочие частоты для основных программируемых элементов и приемопередатчики класса GTX с пропускной способностью 3,75 Гбит/с. Вместе с этим цена на ПЛИС этой платформы пропорционально снижена.

Характеристики ПЛИС платформы Virtex-6 СХТ

Платформа СХТ предназначена для замены относительно дорогих FPGA платформ LXT в тех случаях, когда высокая производительность оказывается избыточной.

Характеристики ПЛИС Virtex-6 СХТ приведены в таблице 1.

По данным табл. 1 платформа СХТ отличается от LXT количеством приемопередатчиков — 16 вместо 20 в старших моделях. Блоки EMAC имеются только в одном экземпляре (в LXT их 4). На момент подготовки статьи отсутствовали корпуса FFG1759, FFG1760, а также класс быстродействия –3.

К основным отличиям ПЛИС платформы СХТ можно отнести пониженную приблизительно на 20% производительность матрицы логических ячеек, а также существенное снижение рабочих частот для аппаратных блоков (табл. 2).

Анализ данных из таблицы 1 показывает, что платформа СХТ представляет собой вариант платформы LXT с менее скоростными компонентами. Производительность матрицы логических ячеек можно условно оценить по параметру CLB flip-flop toggle frequency, который приводится в документации в качестве справочной информации (эта частота не является системной тактовой и не означает, что такого показателя можно достигнуть для реального проекта). Прочие параметры КЛБ, которых приводится более 30, или совпадают, или чуть хуже аналогичных показателей для LXT [2, 3]. В целом, логические ячейки ПЛИС платформы СХТ соответствуют наилучшему классу быстродействия ПЛИС LXT.

Чуть иначе обстоит ситуация с аппаратными блоками. Например, максимальная частота работы блочной памяти ниже на 25% (сравнивая устройства с одинаковым клас-

сом быстродействия), производительность блока XtremeDSP для класса быстродействия –1 ниже на 38%. Максимальная скорость передачи для последовательных приемопередатчиков меньше почти в 2 раза.

Анализируя характеристики представленной платформы, на фоне явного снижения производительности таких ПЛИС можно заметить, что новая платформа способствует обеспечению наиболее полного охвата сфер применения таких мощных устройств, как FPGA серии Virtex. Вместо ожидаемого от этой серии достижения пиковых показателей во всех возможных сферах Xilinx предоставляет вариант микросхем со сниженной производительностью, которые имеют и соответствующую цену. Можно представить ситуацию, когда прототип устройства, выполненный на дорогом кристалле Virtex-6 LXT, достигает требуемых параметров с явным запасом, и даже класс быстродействия –1 представляется для решаемой задачи чрезмерным. В этом случае удобно воспользоваться ощутимо более дешевым вариантом СХТ, который вдобавок и перекрывает именно младшую часть линейки LXT.

Характеристики ПЛИС платформы Virtex-6 HXT

Платформа Virtex-6 HXT имеет принципиальное отличие от остальных платформ Virtex-6 в том, что ее последовательные приемопередатчики могут работать на скоростях до 11,2 Гбит/с. Таким образом, с помощью именно этой платформы можно преодолеть принципиальный порог в 10 Гбит/с, который достаточно важен для современной микроэлектроники. Состав платформы и технические характеристики микросхем приведены в таблице 3.

ПЛИС платформы HXT содержат по 24 приемопередатчика GTX, начиная со второго по объему устройства HXT255. Остальные приемопередатчики (24 или 48 штук на кристалл) представляют собой модули GTX, скорость передачи которых ограничена величиной 6,5 Гбит/с.

Такое количество приемопередатчиков, которые обеспечивают суммарную пропускную способность более 200 Гбит/с только для модулей GTX, дают основания для поиска соответствующих сфер применения подобных устройств. Можно обратить внимание на то, что приемопередатчики с пониженной скоростью присутствуют в ПЛИС HXT в удвоенном количестве, что позволяет, например, разрабатывать устройства для взаимного преобразования пакетов между сетями 10 Гбит/с и сетями с более низкой скоростью. В качестве примера можно привести устройство обработки пакетов в проводных коммуникациях формата 8×10GE/2×40GE (рис. 1). Это устройство содержит ПЛИС Virtex-6 HX380T, который преобразует 8 входящих каналов со скоростью 10 Гбит/с в 16 каналов со ско-

Таблица 1. Характеристики ПЛИС Virtex-6 платформы СХТ

Кристалл (XC6V...)	СХ75Т	СХ130Т	СХ195Т	СХ240Т	
Секции (4 6-LUT + 8 FF)	11 640	20 000	31 200	37 680	
Логические ячейки	74 496	128 000	199 680	241 152	
Триггеры	93 120	160 000	249 600	301 440	
Распределенная память (max), кбит	1045	1740	3040	3650	
Блоки памяти BRAM (по 36 кбит)	156	264	344	416	
Общая емкость BRAM, кбит	56 16	9504	12 384	14 976	
Блоки синхронизации (MMCM)	6	10	10	12	
Контакты (max)	360	600	600	720	
Дифференциальные пары (max)	180	300	300	360	
DSP48E1	288	480	640	768	
PCI Express блок	1	2	2	2	
10/100/1000 Ethernet MAC	1	1	1	1	
Трансивер GTX с пониженным потреблением	12	16	16	16	
Коммерческий диапазон (С)	-1, -2	-1, -2	-1, -2	-1, -2	
Индустриальный диапазон (I)	-1, -2	-1, -2	-1, -2	-1, -2	
Конфигурационная память, Мбит	25,0	41,7	58,7	70,4	
Корпус	Размер/шаг				
FF(G)484	23×23/1,0 мм	240/8	240/8	—	—
FF(G)784	29×29/1,0 мм	360/12	400/12	400/12	400/12
FF(G)1156	35×35/1,0 мм	—	600/16	600/16	600/16

Таблица 2. Сравнительные характеристики производительности блочных ресурсов платформ LXT и СХТ

Платформа	LXT			СХТ	
	-1	-2	-3	-1	-2
Класс быстродействия (speed grade)					
Частота переключения триггера КЛБ (toggle frequency), МГц	1098	1086,4	1412	1098	1098
Блочная память: максимальная частота работы, МГц	450	540	600	350	400
Блоки цифровой обработки сигналов DSP48E1: максимальная частота работы, МГц	450	540	600	275	350
Трансивер GTX: максимальная скорость передачи, Гбит/с	5,0	6,5	6,5	3,125	3,75

Таблица 3. Характеристики FPGA платформы Virtex-6 HXT

Кристалл (XC6V...)	HX250T	HX255T	HX380T	HX565T	
Секции (4 6-LUT + 8 FF)	39 360	39 600	59 760	88 560	
Логические ячейки	251 904	253 440	382 464	566 784	
Триггеры	314 880	316 800	478 080	708 480	
Распределенная память (max, кбит)	3040	3050	4570	6360	
Блоки памяти BRAM (по 36 кбит)	504	516	768	912	
Общая емкость BRAM (кбит)	18 144	18 567	27 648	32 832	
Блоки синхронизации (MMCM)	12	12	18	18	
Контакты (max)	320	480	720	720	
Дифференциальные пары (max)	160	240	360	360	
DSP48E1	576	576	864	864	
PCI Express блок	4	2	4	4	
10/100/1000 Ethernet MAC	4	2	4	4	
Трансивер GTX с пониженным потреблением	48	24	48	48	
Трансивер GTX с повышенной скоростью передачи	—	24	24	24	
Коммерческий диапазон (C)	-1, -2, -3	-1, -2, -3	-1, -2, -3	-1, -2	
Индустриальный диапазон (I)	-1, -2	-1, -2	-1, -2	-1	
Конфигурационная память, Мбит	76,2	76,2	114,2	153,2	
Корпус	Размер/шаг	Число выводов/GTX/GTH			
FF1154	35×35/1,0 мм	320/48/0	—	320/48/0	—
FF1155	35×35/1,0 мм	—	440/24/12	440/24/12	—
FF1923	45×45/1,0 мм	—	480/24/24	720/40/24	720/40/24
FF1924	45×45/1,0 мм	—	—	640/48/24	640/48/24

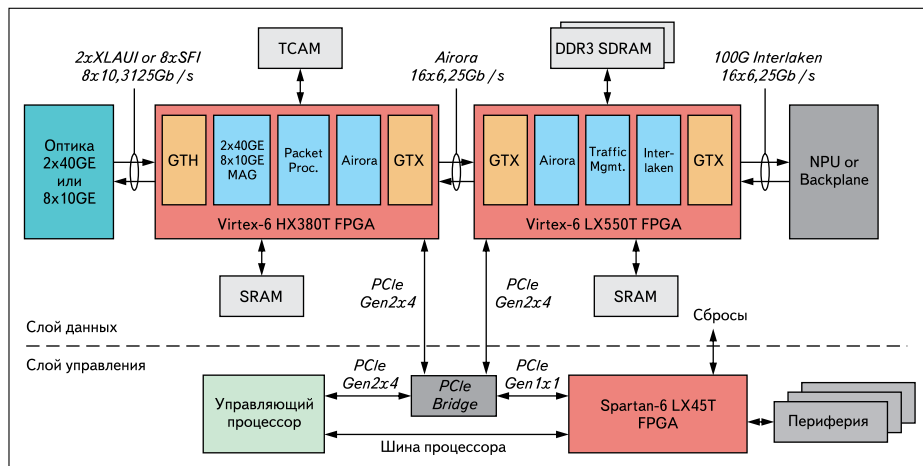


Рис. 1. Пример устройства обработки пакетов, использующего различные виды FPGA

ростью 6,25 Гбит/с. Эти потоки данных передаются в ПЛИС Virtex-6 LX550T с помощью относительно простого протокола Airora, хорошо подходящего для передачи пакетов данных между микросхемами на одной печатной плате. Более емкая ПЛИС LX550T и осуществляет управление пакетами, имея для этого большой объем ресурсов. На том же рисунке можно видеть и вспомогательную ПЛИС Spartan-6 LX45T, выполняющую функции управления и связи процессора с периферийными устройствами. Таким образом, Xilinx демонстрирует пример объединения нескольких ПЛИС различного типа, в котором каждая из микросхем выполняет специфичную задачу с учетом соотношения аппаратных ресурсов.

Скоростные последовательные приемопередатчики GTX

Последовательные высокоскоростные интерфейсы получают все большее распространение в процессе развития цифровой электроники. Их привлекательность состоит

в том, что, по сравнению с параллельными интерфейсами, при их использовании не требуется обеспечивать синхронность передачи отдельных разрядов, а следовательно, скорость передачи последовательного потока можно сделать существенно выше, чем для

параллельно передаваемых данных в тех же условиях. Кроме того, гораздо меньшее количество линий, требуемых для передачи последовательного потока данных, снижает перекрестные помехи, потребляемую мощность, а также сложность разработки печатной платы. Среди широко известных последовательных интерфейсов можно назвать USB, Ethernet, состоявшие переходы Parallel ATA → Serial ATA для дисковых накопителей и PCI → PCI Express для системных шин. В каждом случае, с точки зрения потребителя, имело место повышение пропускной способности при уменьшении габаритов системы.

Существующие интерфейсы последовательной высокоскоростной связи обладают различными показателями производительности и дальности передачи. Примеры интерфейсов, реализуемых на базе приемопередатчиков FPGA Xilinx, схематично представлены на рис. 2. На нем можно видеть, что различные варианты последовательных приемопередатчиков применяются как для межчипового или межплатного обмена, так и для сетей различного масштаба.

Рассмотрим основные характеристики приемопередатчиков GTX. Как уже было отмечено, эти модули предназначены для работы со скоростями 10 Гбит/с, а конкретнее, они поддерживают два диапазона скоростей передачи:

- 2,488–2,795 Гбит/с;
- 9,953–11,18 Гбит/с.

Модули GTX объединены в четверки (quads), при этом на каждую четверку модулей имеется один PLL. Отдельные линии каждой четверки могут работать с разными скоростями, которые, тем не менее, должны относиться друг к другу как целое число (то есть для модуля устанавливается либо полная скорость, либо скорость, деленная на 4).

В соответствии с общепринятой моделью OSI (Open System Interconnection) выделяют следующие «нижние» уровни системы связи:

- PMD (Physical Medium Dependent) — физический уровень, реализуемый, например, в виде медного кабеля или оптоволокна;

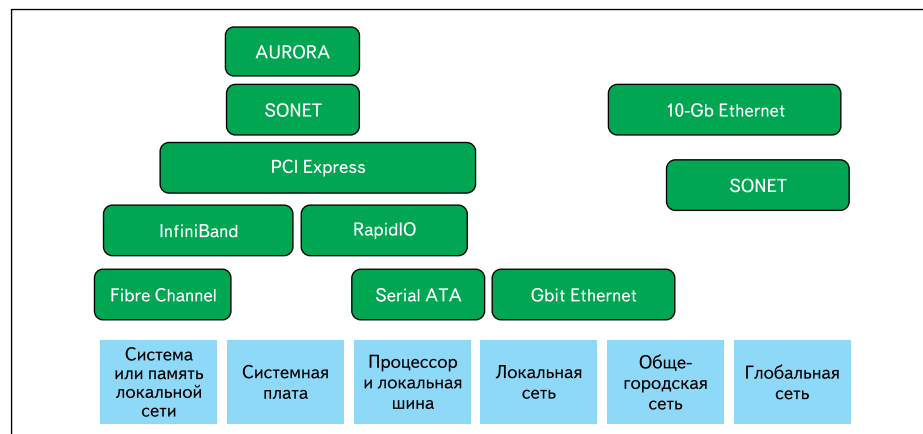


Рис. 2. Области применения высокоскоростных последовательных интерфейсов, создаваемых на основе приемопередатчиков в FPGA Xilinx

- PMA (Physical Medium Attachment) — уровень подключения к физическому носителю (например, блок SERDES);
- PCS (Physical Coding Sublayer) — уровень кодирования (например, выполняет кодирование 8 В/10 В).

Для приемопередатчиков MGT уровни PMA и PCS реализуются аппаратно, как показано на рис. 3 и 4 для передатчика и приемника соответственно. Таким образом, требуется выполнить подключение к внешнему носителю данных, а также обеспечить прием и передачу со стороны матрицы ячеек ПЛИС (FPGA fabric).

Настройка модулей GTN выполняется с помощью инструмента Core Generator, входящего в состав САПР ISE. Так как приемопередатчики представляют собой функционально законченные аппаратные блоки, их настройки относительно компактны, что показано на рис. 5, где приведены обе страницы диалоговых панелей настройки.

Следующее поколение FPGA

22 февраля компания Xilinx разместила на официальном сайте предварительный анонс нового поколения FPGA, которое будет выпущено с использованием технологического процесса с нормами 28 нм. В качестве производителей выбраны TSMC и Samsung, что продолжает стратегию Xilinx по сотрудничеству с более чем одним производителем микросхем с целью снижения рисков и поиска лучших технологических решений.

С уменьшением норм технологического процесса возрастает удельный вес статического потребления мощности. Это связано с увеличением токов утечки из-за уменьше-

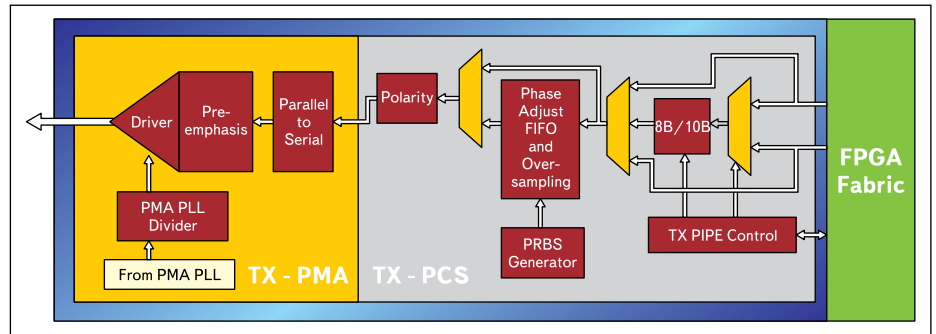


Рис. 3. Передатчик модуля GTN

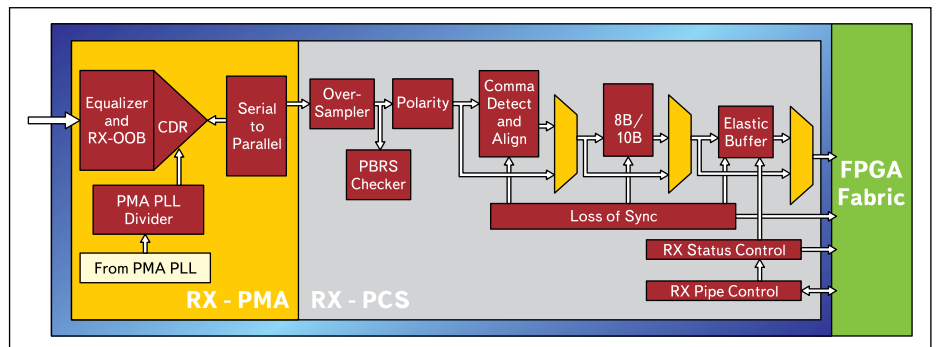


Рис. 4. Приемник модуля GTN

ния толщины диэлектриков. Поэтому для нового поколения FPGA Xilinx выбрала вариант 28-нм процесса с пониженным потреблением мощности. Общее снижение мощности по сравнению с предыдущим поколением FPGA предполагается на уровне 50%.

По поводу архитектуры устройств нового поколения в пресс-релизе упоминается об «унифицированной архитектуре ASMBL».

Процесс унификации, а точнее, сближения архитектур программируемых ресурсов серий Virtex и Spartan проявился в текущем, шестом поколении этих микросхем. Одинаковые логические ячейки с 6-входными генераторами, блоки цифровой обработки с аппаратно реализованными аккумуляторами, скоростные приемопередатчики в платформе Spartan-6 LXT дают реальные возможно-

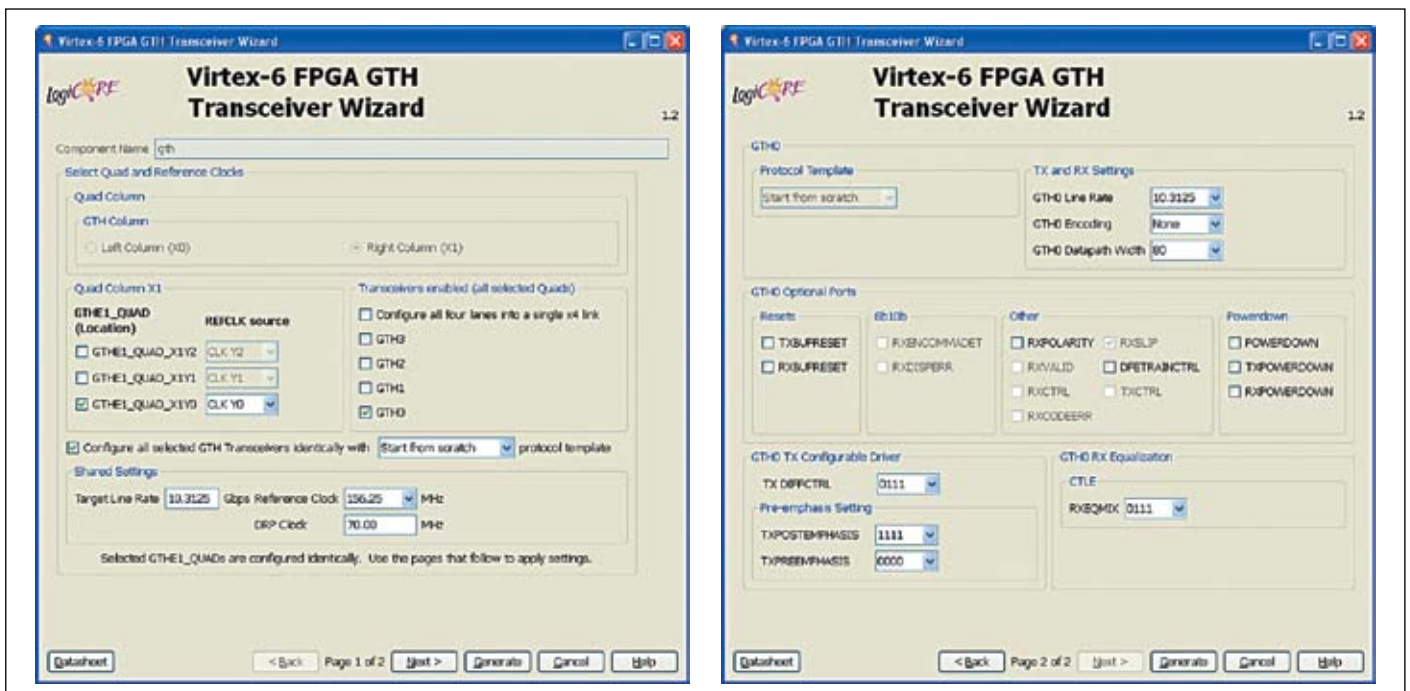


Рис. 5. Внешний вид диалоговых окон «мастера» настройки параметров приемопередатчика GTN

сти по разработке проектов, переносимых между высокопроизводительным семейством Virtex-6 и дешевым Spartan-6. Для разработчиков это означает возможность проводить прототипирование на мощной платформе Virtex-6, обладающей избыточным объемом ресурсов, что не создает дополнительных проблем с трассировкой и размещением проекта. При этом возможный переход на Spartan-6 оказывается достаточно простым, поскольку возможности программируемых ресурсов этого семейства весьма близки к Virtex-6. Исходя из информации, приведенной в пресс-релизе, в следующем поколении FPGA это направление будет продолжено и развито.

Также подтверждается информация о сотрудничестве с ARM по размещению в следующем поколении FPGA аппаратного ядра процессора ARM.

Наконец, повышение логических объемов FPGA и появление среди аппаратных ядер нового поколения скоростных последовательных приемопередатчиков позволит довести общую пропускную способность одной микросхемы до 1 Тбит/с. Причем ожидается удвоение максимального объема FPGA по сравнению с предыдущим поколением этих микросхем.

Выпуск образцов FPGA нового поколения запланирован на IV квартал 2010 года.

Предварительные сведения и поддержка в САПР ISE ожидаются в июне этого года.

Заключение

Необходимо отметить, что построение систем передачи данных со скоростями 10 Гбит/с представляет собой непростую техническую задачу, в которой настройка приемопередатчика, входящего в состав ПЛИС, является штатной операцией, которая выполняется в соответствии с документацией производителя. Гораздо более сложной задачей считается разработка печатной платы, способной обеспечить передачу данных на такой частоте, для чего требуется САПР для разработки печатных плат с соответствующими возможностями и дорогостоящее контрольно-измерительное оборудование. Тем не менее аппаратная реализация модуля приемопередатчика освобождает разработчика от необходимости отдельно заниматься этим вопросом.

Предложение разработчикам платформы СХТ — это еще один пример дифференциации высокопроизводительных FPGA, что позволяет подобрать микросхему с требуемыми характеристиками и сочетанием аппаратных ресурсов для каждой области применения. Можно также упомянуть, что для наиболее эффективной работы с такой дорогостоящей

элементной базой и при наличии уже достаточно большого количества платформ Xilinx настоятельно рекомендует разработчикам начинать консультации с инженерными центрами по техническим вопросам на возможной более ранней стадии проекта. Для России таким инженерным центром в настоящее время является ЗАО «КТЦ «Инлайн Групп» (www.plis.ru), для которого дистрибуция продукции Xilinx совмещена с проведением официальных технических консультаций и учебных курсов по вопросам использования ПЛИС и программного обеспечения. Сотрудничество с инженерным центром на этапе проработки проекта является для Xilinx основанием корректировки ценовой политики в отношении заказчика ПЛИС, что повышает вероятность разработки конкурентоспособного устройства благодаря согласованию основных технических решений с авторизованным инженерным центром производителя. ■

Литература

1. Virtex-6 Family Overview. ds150.pdf.
2. Virtex-6 FPGA Data Sheet: DC and Switching Characteristics. ds152.pdf.
3. Virtex-6 CXT Family Data Sheet. ds153.pdf.
4. Virtex-6 FPGA GTN Transceivers. User Guide. ug371.pdf.