

Полный радиочастотный синтезатор с дробным коэффициентом деления ADF4350

Юрий НИКИТИН, к. т. н.
syntez@loniir.ru
Сергей ДМИТРИЕВ
sergey@eltech.spb.ru

Этот материал продолжает серию статей о синтезаторах частот производства компании Analog Devices Inc., которые являются базовыми элементами любых систем радиосвязи, навигации, локации, кабельного и спутникового телевидения.

В настоящее время в распоряжении разработчиков есть две большие группы синтезаторов частот: с фазовой автоподстройкой (ФАП) и прямого цифрового синтеза (ПЦС). Каждая группа имеет свои достоинства и недостатки, но для синтеза

сетки частот в диапазоне до нескольких ГГц пока подходят только синтезаторы с петлей ФАП. Одним из существенных ограничений для их применения в аппаратуре связи был минимальный шаг сетки частот, который не мог быть меньше частоты сравнения в фазовом детекторе.

В последнее время это ограничение частично снято, благодаря появлению синтезаторов ФАП с дробным переменным коэффициентом деления (ADF4153). Но они, к сожалению, выпускаются без встроенного генератора, управляемого напряжением (ГУН), что увеличивает габариты схемы, делает схему более чувствительной к помехам и требует дополнительных элементов обвеса.

Чтобы окончательно снять указанное ограничение, компания Analog Devices Inc. (ADI) выпустила микросхему одиночного, полностью интегрального цифрового синтезатора частоты с дробным (fractional-N) коэффициентом деления. Синтезатор изготавливается по современной BiCMOS-технологии и может работать в интервале питающих напряжений 3,0–3,6 В в промышленном диапазоне рабочих температур (–40...+85 °С).

Для загрузки данных в 32-разрядный буферный регистр используется стандартный трех-

проводный интерфейс SPI. Данные DATA загружаются СЗР вперед, с тремя МЗР в качестве контрольных битов. Высокий уровень сигнала CE (выбор кристалла) выводит микросхему из спящего режима и позволяет начать запись данных. Высокий уровень сигнала LE (разрешение записи) загружает данные, хранящиеся в регистре сдвига, в один из регистров-защелок (R0–R5), который выбирается с помощью разрядов управления (контрольных битов C1, C2 и C3). На рис. 1 приведены примеры соединения информационно-управляющих входов синтезатора ADF4350 с контроллерами ADUC и цифровыми сигнальными процессорами фирмы ADI.

Временные соотношения в циклах записи управляющих слов в синтезатор ADF4350 показаны на рис. 2.

Микросхема ADF4350 позволяет создать полный интегральный синтезатор частоты. Его функциональная схема приведена на рис. 3. В состав микросхемы входит генератор, управляемый напряжением (ГУН), который выполнен на кристалле цифрового синтезатора в едином технологическом цикле. Дополненная внешним петлевым фильтром микросхема образует законченную систему синтезатора ФАП. Отметим, что встроенный ГУН можно перестраивать в октавном диапазоне частот от 2200 до 4400 МГц.

Выходное синтезированное колебание можно, по желанию пользователя, пропускать на выход микросхемы, либо напрямую, либо через цепочку делителей частоты на $K = 2, 4, 8$ или 16. Такое построение выходного тракта расширяет диапазон синтезируемых частот «вниз» до 137,5 МГц. Установку значения K производят записью 3-разрядного кода в ячейки DB22–DB20 регистра-защелки R2.

В тракте опорного (reference) сигнала синтезатора ADF4350 максимально допустимая входная частота может достигать значения 105 МГц, а наибольшая частота работы частотно-фазового детектора (ЧФД) — 32 МГц.

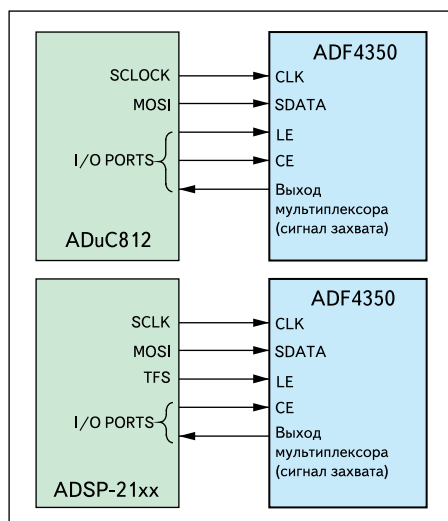


Рис. 1. Варианты соединения синтезатора ADF4350 с контроллерами ADI

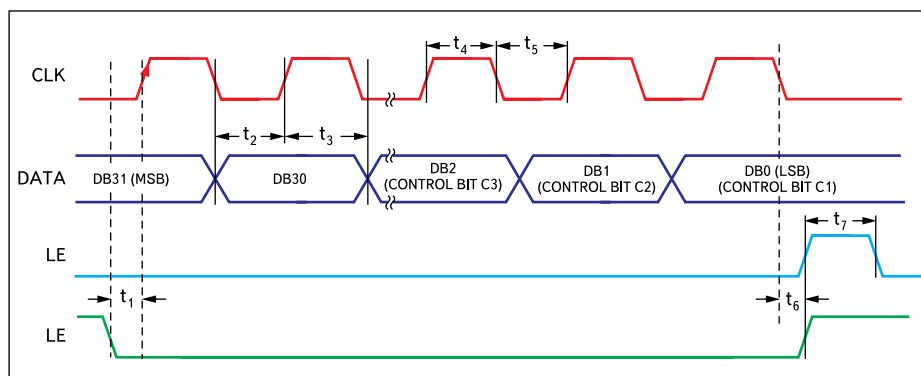


Рис. 2. Типовые временные соотношения при записи управляющего слова в синтезатор частоты ADF4350

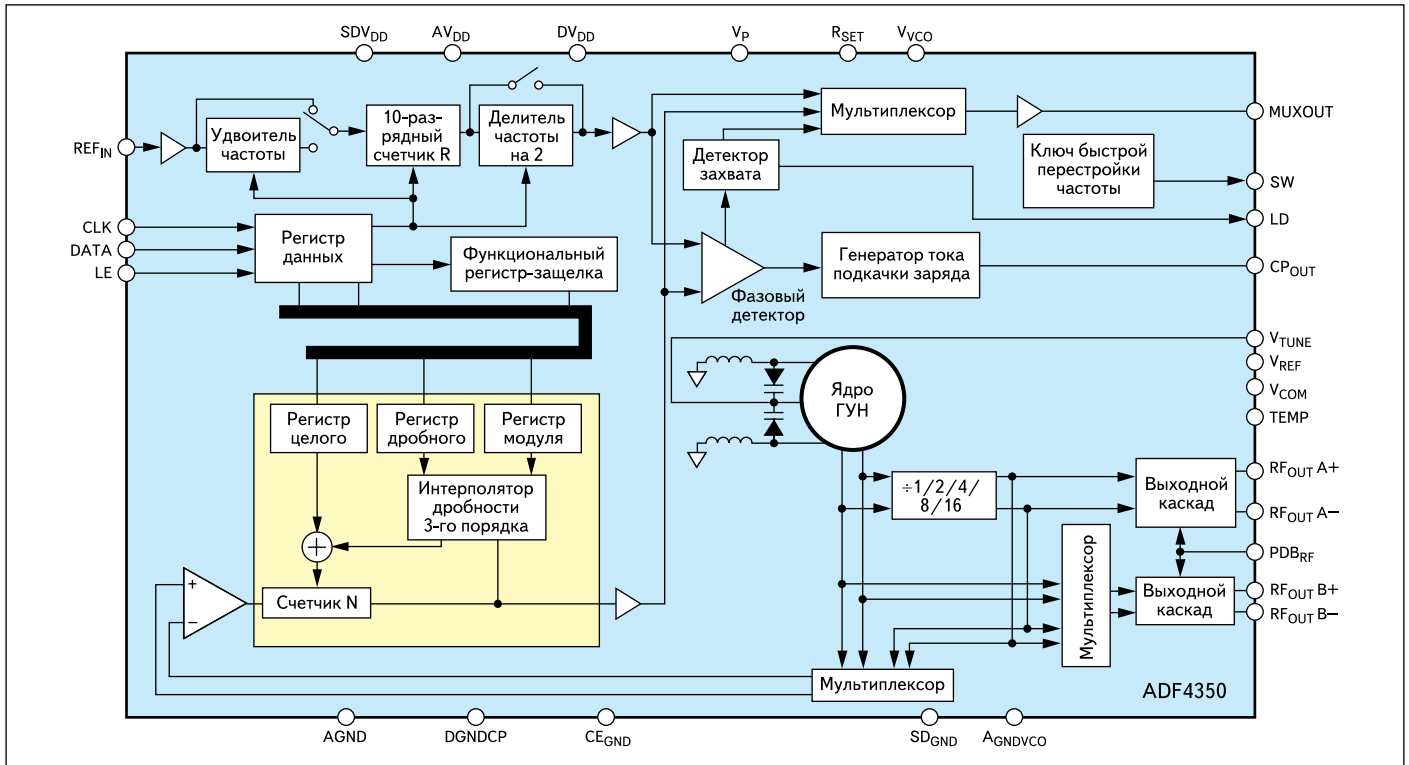


Рис. 3. Функциональная схема полного интегрального синтезатора частоты ADF4350 с дробным коэффициентом деления

Цифровой кластер синтезатора ADF4350

Цифровой кластер синтезатора ADF4350 состоит из делителя с фиксированным (но изменяемым!) коэффициентом деления (ДФКД, или reference frequency divider), делителя с переменным коэффициентом деления (ДПКД, или integer-N divider), узла формирования дробности (fractional interpolator) третьего порядка и цепочки коммутируемых выходных делителей.

Совместное использование ДПКД и накапливающего сумматора (НС) позволяет строить делитель с дробно-переменным коэффициентом деления — ДДПКД. В отечественной литературе НС еще называют накопительным сумматором или цифровым ин-

тегратором. Интерполятор в ДДПКД может иметь разный порядок, встречаются порядки от первого до четвертого. В рассматриваемой микросхеме применен интерполятор третьего порядка. Он представляет собой три последовательно соединенных НС.

Радиочастотный ДПКД построен по классической схеме с прескалером (предделителем) на 4/5 или 8/9. В результате совместной работы ДПКД и интерполятора в микросхеме синтезатора появляется возможность дробного изменения коэффициента деления ДПКД (ДДПКД), причем модуль, или основание дробности, (MOD) может принимать значения от 2 до 4095. Запись 12-разрядного управляющего слова производят в ячейки DB14–DB3 регистра-защелки R1. Значения дробности (FRAC) можно устанавливать в интервале зна-

чений от 0 до (MOD – 1) и записывать в ячейки DB14–DB3 регистра-защелки R0.

Минимальный коэффициент деления $R_{min} = 1$ может быть изменен пользователем с шагом 1 до $R_{max} = 1023$. Установку значения R производят записью 10-битного кода в ячейки DB23–DB13 регистра-защелки R2.

Значение рабочей частоты ЧФД (частоты сравнения в кольце ИФАП) можно рассчитать по формуле:

$$f_{\text{ЧФД}} = f_{\text{ОГ}} \cdot ((1+D)/(R(1+T))),$$

где $f_{\text{ЧФД}}$ — частота сравнения в кольце ИФАП; $f_{\text{ОГ}}$ — частота опорного генератора; $D = 0$ или 1, при $D = 1$ происходит удвоение частоты сравнения; $T = 0$ или 1, при $T = 1$ происходит деление на два частоты сравнения.

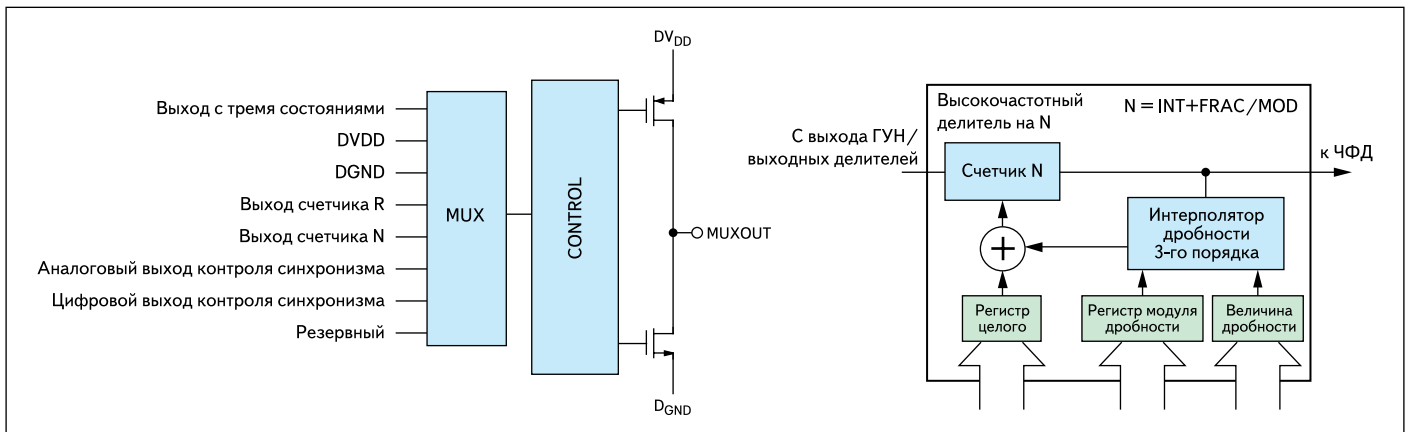


Рис. 4. Составляющие цифрового кластера: мультиплексор (слева) и ДДПКД (справа)

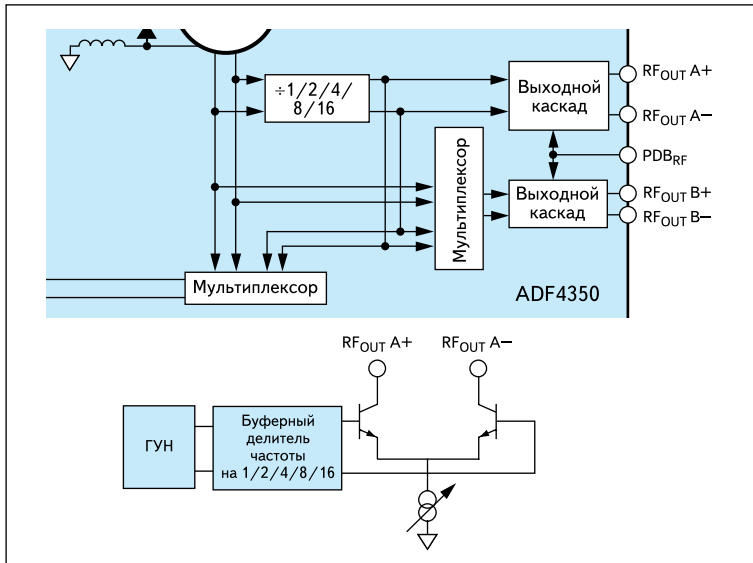


Рис. 5. Составляющие цифрового кластера: коммутируемые выходные ВЧ-мультиплексоры, выходные ВЧ-каскады

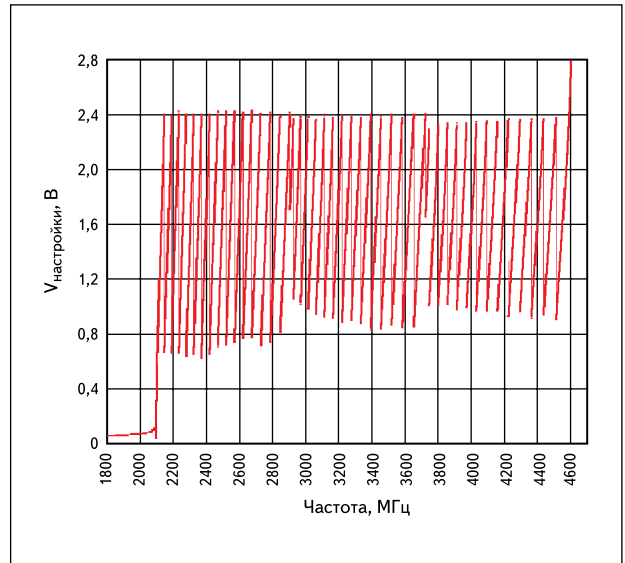


Рис. 6. Зависимость выходной частоты микросхемы синтезатора ADF4350 от величины управляющего напряжения на выходе ЧФД

Коэффициент деления ДПКД (в терминах ADI — INT) может быть изменен пользователем с шагом 1 от $INT = 23$ до 65 535 при использовании предделителя 4/5 или $INT = 75$ до 65 535 при использовании предделителя 8/9. Установку значения INT производят записью 16-разрядного кода в ячейки DB30–DB15 регистра-защелки R0.

К цифровому кластеру синтезатора можно также отнести мультиплексор (рис. 4). На выход чипа через мультиплексор, по желанию пользователя, можно подать один из восьми внутренних сигналов микросхемы с помощью записи 3-разрядного управляющего слова в ячейки DB28–DB26 регистра-защелки R2.

Несколько слов о существенной части цифрового кластера синтезатора ADF4350, его выходных делителях (на 1, 2, 4, 8 или 16) и их коммутации. В случае внешнего (относительно петли) подключения выходных делителей частоты K в ячейку DB23 регистра-защелки R4 следует записывать единицу. При таком управлении выход встроенного ГУН непосредственно соединен с входом ДПКД. В противном случае, при записи нуля, выход встроенного ГУН через выходные радиочастотные мультиплексоры (рис. 5) будет подключен

к ДПКД через выходной делитель на K , коэффициент деления INT изменится в K раз, и это будет необходимо учесть при расчете петли.

Аналоговый кластер синтезатора ADF4350

Аналоговый (цифро-аналоговый) кластер синтезатора ADF4350 содержит ЧФД с прецизионным программируемым источником тока и широкополосный встроенный ГУН.

Пользователь может устанавливать выходной ток фазового детектора

- Во-первых, неоперативно, с помощью внешнего резистора в соответствии с формулой:

$$I_{CP}^{MAX} = 25,5/R_{SET}$$

где $I_{CP}^{MAX} \leq 5$ мА, $2,7$ кОм $\leq R_{SET} \leq 10$ кОм.

- Во-вторых, программно, внутри выбранного интервала — до 16 значений. Выбор требуемого тока производят записью 4-разрядного управляющего слова в ячейки DB12–DB9 регистра-защелки R2.

При рекомендуемом значении резистора $R_{SET} = 5,1$ кОм минимальное значение вы-

ходного тока ЧФД может быть уменьшено программно до 312 мкА.

Главной особенностью микросхемы является набор из трех коммутируемых ГУН, причем выходной диапазон каждого из них разбит на 16 поддиапазонов. Такое решение позволяет с необходимым запасом перекрыть октавный диапазон частот от 2,2 до 4,4 ГГц при изменении управляющего напряжения в разрешенном интервале значений всего от 0,5 до 2,5 В (рис. 6).

Вариации частоты свободного (вне петли ФАП) ГУН при номинальной частоте и нагрузке 50 Ом — frequency pushing — не превышают 1 МГц/В, а изменение выходной частоты свободного ГУН — frequency pulling — не превышает 90 кГц при увеличении коэффициента отражения (коэффициента стоячей волны) до значения KCB = 2.

Варианты подключения внешней нагрузки к СВЧ выходам микросхемы ADF4350 приведены на рис. 7. В случае сверхширокополосного синтеза предпочтительным будет вариант с активной нагрузкой 50 Ом, либо со значительной индуктивной нагрузкой, зашунтированной резистором соответствующего номинала.

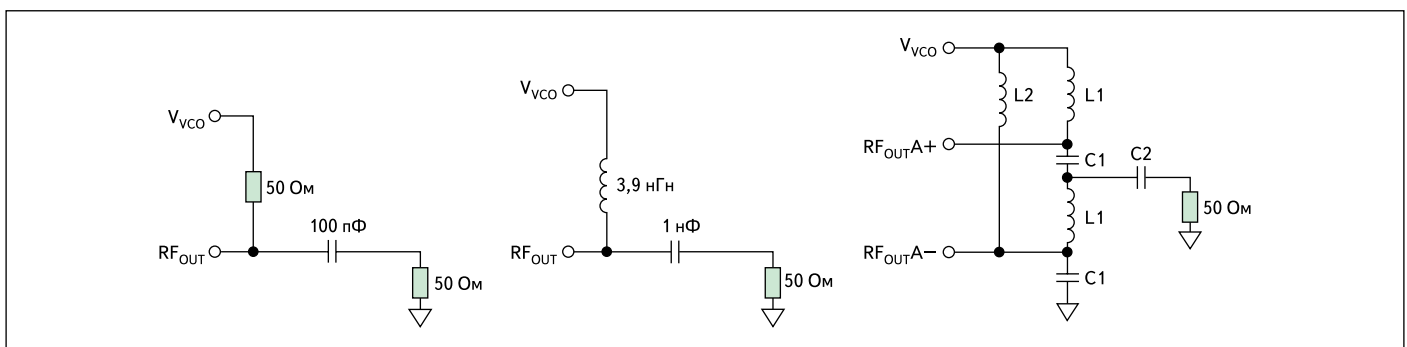


Рис. 7. Варианты подключения внешней нагрузки к синтезатору ADF4350

Уровень второй гармоники на выходе ГУН не превышает -19 дБн, а уровень третьей гармоники меньше -13 дБн. На выходе СВЧ-делителей значения примерно такие же: вторая гармоника не более -20 дБн, а третья — не более -10 дБн.

Уровень радиочастотного сигнала на основном и вспомогательном выходах микросхемы можно программно изменять с шагом 3 дБ от -4 до +5 дБм. Управление уровнем производят раздельно: с помощью кода в ячейках DB4–DB3 регистра-защелки R4 — для основного (fundamental) выхода и с помощью кода в ячейках DB7–DB6 того же регистра R4 — для вспомогательного (auxiliary) выхода.

У «низкочастотного» ГУНа среднее значение крутизны управляющей характеристики (рис. 8) равно примерно 33 МГц/В, у «среднечастотного» ГУНа — примерно 40 МГц/В, а у «высокочастотного» ГУНа — около 51 МГц/В. Относительно низкие значения крутизны управляющей характеристики уменьшают влияние внешних помех и благотворно сказываются на спектральных характеристиках выходного колебания.

Выбор требуемого ГУНа и необходимо-го поддиапазона происходит автоматически за время не более $10 \times t_{CPABH} \times BAND_SELECT_CLK_DIV_VALUE$, причем СВЧ-выходы микросхемы в момент настройки отключаются от внешней нагрузки. Значение **BAND_SELECT_CLK_DIV_VALUE** выбирается пользователем записью 8-разрядного управляющего слова в ячейки DB19–DB12 регистра-защелки R3.

Активизация этого режима происходит при записи логической единицы в ячейку DB16 и нуля в ячейку DB15 регистра-защелки R3. Значение **BAND_SELECT_CLK_DIV_VALUE** следует выбирать таким образом, чтобы частота тактовых импульсов логической схемы выбора требуемого диапазона не превышала 125 кГц. Точность автоматического выбора выходного поддиапазона — не хуже 9 МГц. Отметим, что вход управления ГУН в этом интервале времени отключается от выхода ЧФД (петлевого фильтра) и подключается к внутреннему источнику опорного напряжения — с помощью служебных ключей микросхемы, то есть кольцо ФАП размыкается. Выход ДФКД при настройке используется для тактирования логической схемы выбора требуемого диапазона.

Фазу СВЧ сигнала микросхемы можно изменять в интервале значений от 0° до 360° с разрешением 360°/MOD. Значение 0° подразумевает синфазность с опорным колебанием. Рекомендуемое производителем значение — $P = 1$. Установку значения PHASE производят записью 12-разрядного кода в ячейки DB26–DB15 регистра-защелки R1.

Режим ресинхронизации при смене частоты выбирают, записывая логическую единицу в ячейку DB16 и ноль в ячейку DB15 регистра-защелки R3 — как и при автоматическом выборе диапазона ГУН.

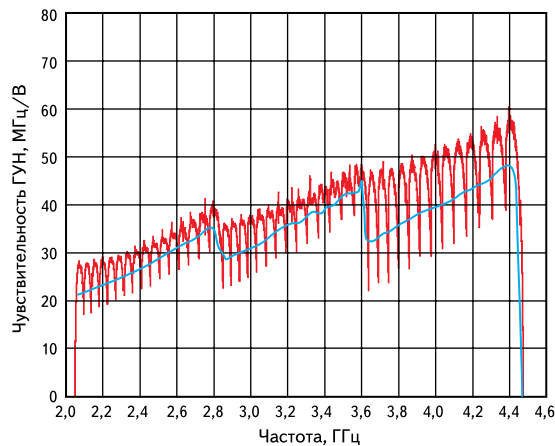


Рис. 8. Зависимость крутизны управляющего напряжения встроенного ГУН от выходной частоты синтезатора ADF4350

Время ресинхронизации будут определять частота сравнения в ЧФД и число тактов ресинхронизации **CLK_DIV_VALUE**, причем запись производят в ячейки DB14–DB3 регистра-защелки R3. Время, затраченное (однократно при смене выходной частоты) на ресинхронизацию фазы сигнала синтезатора, можно определить по формуле:

Таблица. Описание функций и обозначение выводов синтезатора ADF4350

Обозначение	Выполняемая функция
CLK	Вход тактовой частоты. Тактовая частота используется для тактирования последовательного ввода данных в регистры. Данные запоминаются в 32-разрядном регистре сдвига по фронту тактового импульса. Это высокоомный КМОП-вход
DATA	Последовательный вход данных. Данные загружаются СЗР вперед, с тремя МЗР в качестве контрольных. Это высокоомный КМОП-вход
LE	КМОП вход разрешения загрузки. Высокий уровень загружает данные, хранящиеся в регистрах сдвига, в один из регистров-защелок, который выбирается с помощью разрядов управления (контрольных битов) C1, C2, C3
CE	Выбор кристалла. При логическом нуле на этом выводе микросхема переводится в спящий режим, а выход ЧФД — в третье состояние. Подана логической единицы на этот вывод активизирует работу микросхемы
SW	Ключ быстрой перестройки (частоты). Петлевой фильтр должен быть подключен к этому выводу соответствующим образом
V _P	Питание схемы поддержания заряда ЧФД. Должно быть равно AV _{DD} . Развязывающие конденсаторы к шине аналоговой «земли» необходимо размещать как можно ближе к этому выводу
CP _{OUT}	Выход схемы поддержания заряда ЧФД. При включении обеспечивает выходной ток ±I _{CP} для внешнего петлевого фильтра, который управляет встроенным ГУН
CP _{GND}	Аналоговая «земля» ЧФД
AGND	Аналоговая «земля»
AV _{DD}	Питание аналоговых цепей. Можно подавать от 3 до 3,6 В. Развязывающие конденсаторы к шине аналоговой «земли» необходимо размещать как можно ближе к этому выводу
A _{GNDVCO}	Аналоговая «земля» ГУН
RF _{OUTA+}	Основной выход ГУН. Выходной уровень сигнала программируется. Подключен либо основной выход ГУНа, либо выходы радиочастотных понижающих делителей
RF _{OUTA-}	Дополняющий выход ГУН. Выходной уровень сигнала программируется. Подключен либо дополняющий выход ГУНа, либо выходы радиочастотных понижающих делителей
RF _{OUTB+}	Дополняющий вспомогательный выход ГУН. Выходной уровень сигнала программируется. Подключен либо дополняющий вспомогательный выход ГУНа, либо выходы радиочастотных понижающих делителей
RF _{OUTB-}	Дополняющий вспомогательный выход ГУН. Выходной уровень сигнала программируется. Подключен либо дополняющий вспомогательный выход ГУНа, либо выходы радиочастотных понижающих делителей
V _{VCO}	Источник питания ГУН. Его диапазон от 3 до 3,6 В. Развязывающие конденсаторы к шине аналоговой «земли» необходимо размещать как можно ближе к этому выводу
TEMP	Выход схемы температурной компенсации ГУН. Развязывающие конденсаторы к шине аналоговой «земли» необходимо размещать как можно ближе к этому выводу
V _{TUNE}	Управляющий вход ГУН. Напряжение регулирует выходную частоту и поступает через петлевой фильтр с выхода ЧФД
R _{SET}	Подключение резистора между этим выводом и A _{GND} устанавливает максимальный выходной ток схемы поддержания заряда ЧФД. Номинальное значение падения напряжения на выводе R _{SET} равно 0,55 В. Взаимосвязь между I _{CP} и R _{SET} : I _{CP,max} = 25,5/R _{SET} . Например, при R _{SET} = 5,1 кОм, I _{CP} = 5 мА. Установка тока ЧФД производится битами DB10–DB7 в контрольном регистре (control register)
V _{COM}	Внутренняя точка компенсационного смещения для выставления частоты ГУН в середину диапазона настройки. Развязывающие конденсаторы к шине аналоговой «земли» необходимо размещать как можно ближе к этому выводу
V _{REF}	Опорное напряжение. Развязывающие конденсаторы к шине аналоговой «земли» необходимо размещать как можно ближе к этому выводу
LD	Выход контроля синхронизма. При синхронизме ФАП на выводе присутствует логическая единица. Логический ноль свидетельствует об отсутствии синхронизма в кольце
PDB _{RF}	Спящий режим радиочастотных выходов. Логический ноль на этом выводе отключает радиочастотные выходы микросхемы. Эта функция также управляется программно
DGND	«Земля» цифровых цепей синтезатора
DV _{DD}	Питание цифровых цепей. Можно подавать +3,0 В ±10%. Развязывающие конденсаторы к шине аналоговой «земли» необходимо размещать как можно ближе к этому выводу. Потенциалы должны быть одинаковыми
REF _{IN}	Вход опорной частоты. Это КМОП-вход с порогом VD _{DD} /2 и эквивалентным сопротивлением 100 кОм. Входной сигнал может быть ТТЛ/КМОП уровня или синусоидальным, подаваемым через разделительный конденсатор
MUXOUT	Выход мультиплексора позволяет вывести наружу любой из сигналов — контроля синхронизма, либо приведенную частоту опорного колебания, либо приведенную частоту ГУН
SD _{GND}	Цифровая «земля» сигма-дельта модулятора (дробного интерполлятора)
SDV _{DD}	Питание цепей дробного интерполлятора в ДДПКД. Должно быть равным напряжению питания аналоговых цепей. Развязывающие конденсаторы к шине аналоговой «земли» необходимо размещать как можно ближе к этому выводу
EP	Свободный вывод

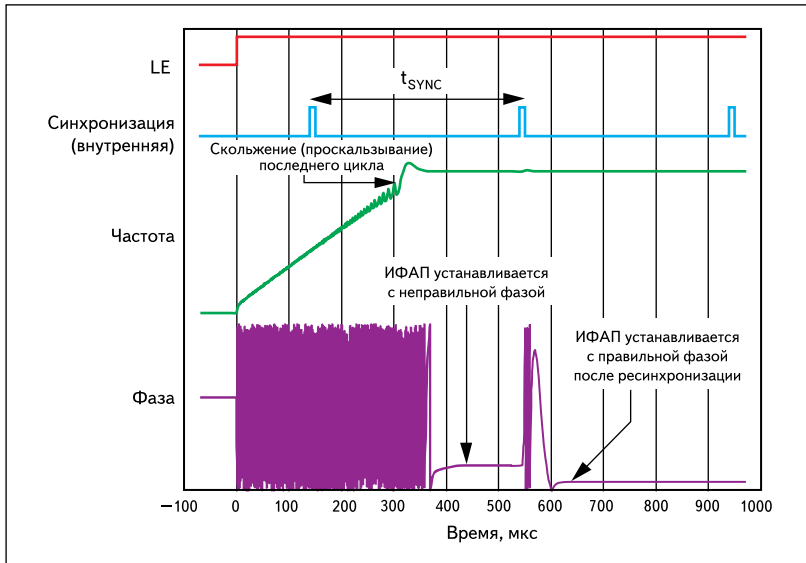


Рис. 9. Временная диаграмма фазовой ресинхронизации выходного сигнала микросхемы ADF4350

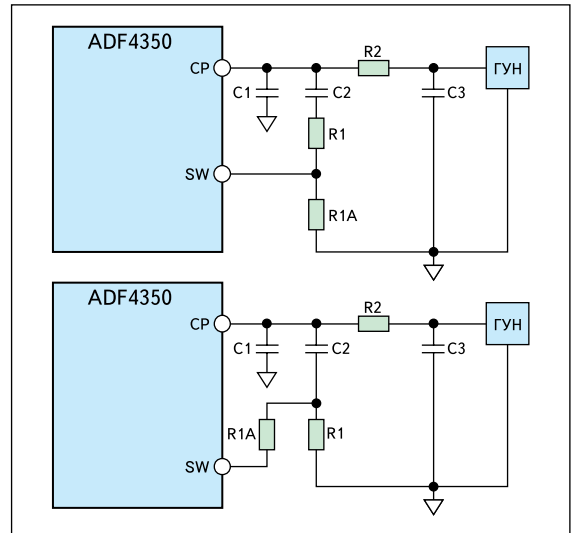


Рис. 10. Конфигурация петлевого ФНЧ для режима быстрого входа в синхронизм

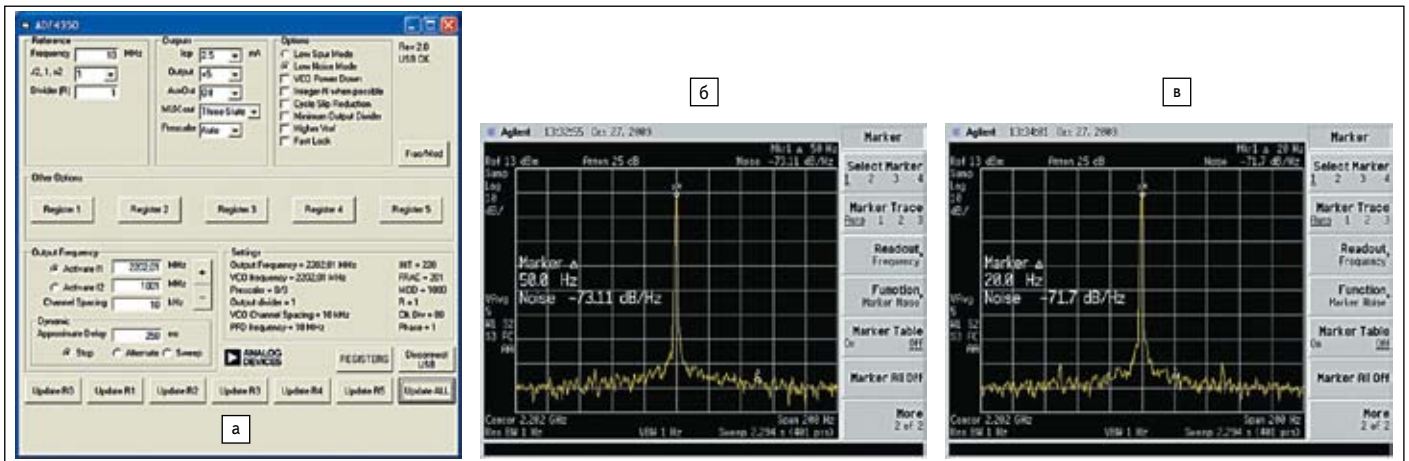


Рис. 11. Фазовые шумы синтезатора частоты ADF4350 в режиме минимизации:
 а) виртуальная панель управления демонстрационной платой синтезатора ADF4350, режим минимизации фазовых шумов;
 б) фазовые шумы синтезатора ADF4350 при отстройке 50 Гц от несущей на выходной частоте 2202,01 МГц в режиме минимизации фазовых шумов;
 в) фазовые шумы синтезатора ADF4350 при отстройке 20 Гц от несущей на выходной частоте 2202,01 МГц в режиме минимизации фазовых шумов

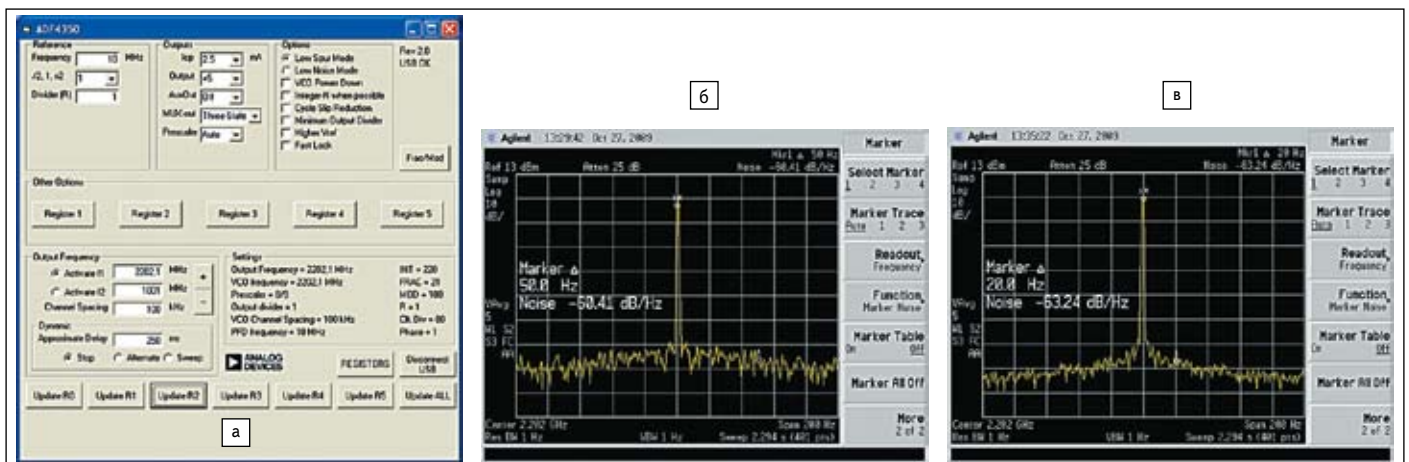


Рис. 12. Фазовые шумы синтезатора частоты ADF4350 в режиме минимизации уровня ДПСС:
 а) виртуальная панель управления демонстрационной платой синтезатора ADF4350, режим минимизации уровня дискретных побочных спектральных составляющих (ДПСС);
 б) фазовые шумы синтезатора ADF4350 при отстройке 50 Гц от несущей на выходной частоте 2202,01 МГц в режиме минимизации ДПСС;
 в) фазовые шумы синтезатора ADF4350 при отстройке 20 Гц от несущей на выходной частоте 2202,01 МГц в режиме минимизации ДПСС

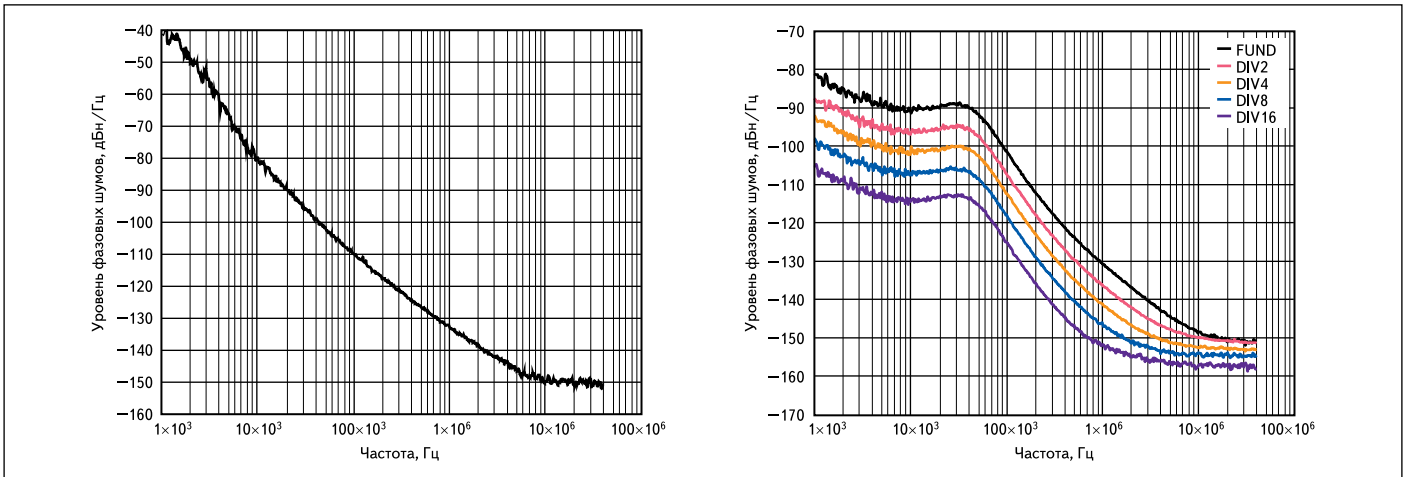


Рис. 13. Фазовые шумы «свободного» встроенного ГУН синтезатора частоты ADF4350 (слева) и фазовые шумы выходного сигнала ГУН в замкнутой петле ФАП (справа)

$$t_{SYNC} = CLK_DIV_VALUE \times MOD \times t_{PFD}$$

где t_{PFD} — время сравнения в ЧФД, величина, обратная частоте сравнения;

$$CLK_DIV_VALUE = 1-4095.$$

Управление фазой выходного синтезируемого сигнала позволяет не только формиро-

вать низкоскоростные ЧМ- и ФМ-сигналы, но и эффективно взаимодействовать в ансамбле сигналов, например при управлении фазированной антенной решеткой.

На рис. 9 приведены временные диаграммы установки нового значения фазы выходного сигнала синтезатора ADF4350. В этом примере $t_{SYNC} = 400$ мкс для случая частоты сравнения в ЧФД 25 МГц ($t_{PFD} = 40$ нс), шага

сетки 200 кГц, выходной частоты 3125 МГц ($MOD = 125$) и $CLK_DIV_VALUE = 80$.

На рис. 10 приведены возможные варианты конфигурации петлевого фильтра для уменьшения времени входа в синхронизм (времени переключения).

Описание функционального назначения и наименование выводов синтезатора ADF4350 приведены в таблице.

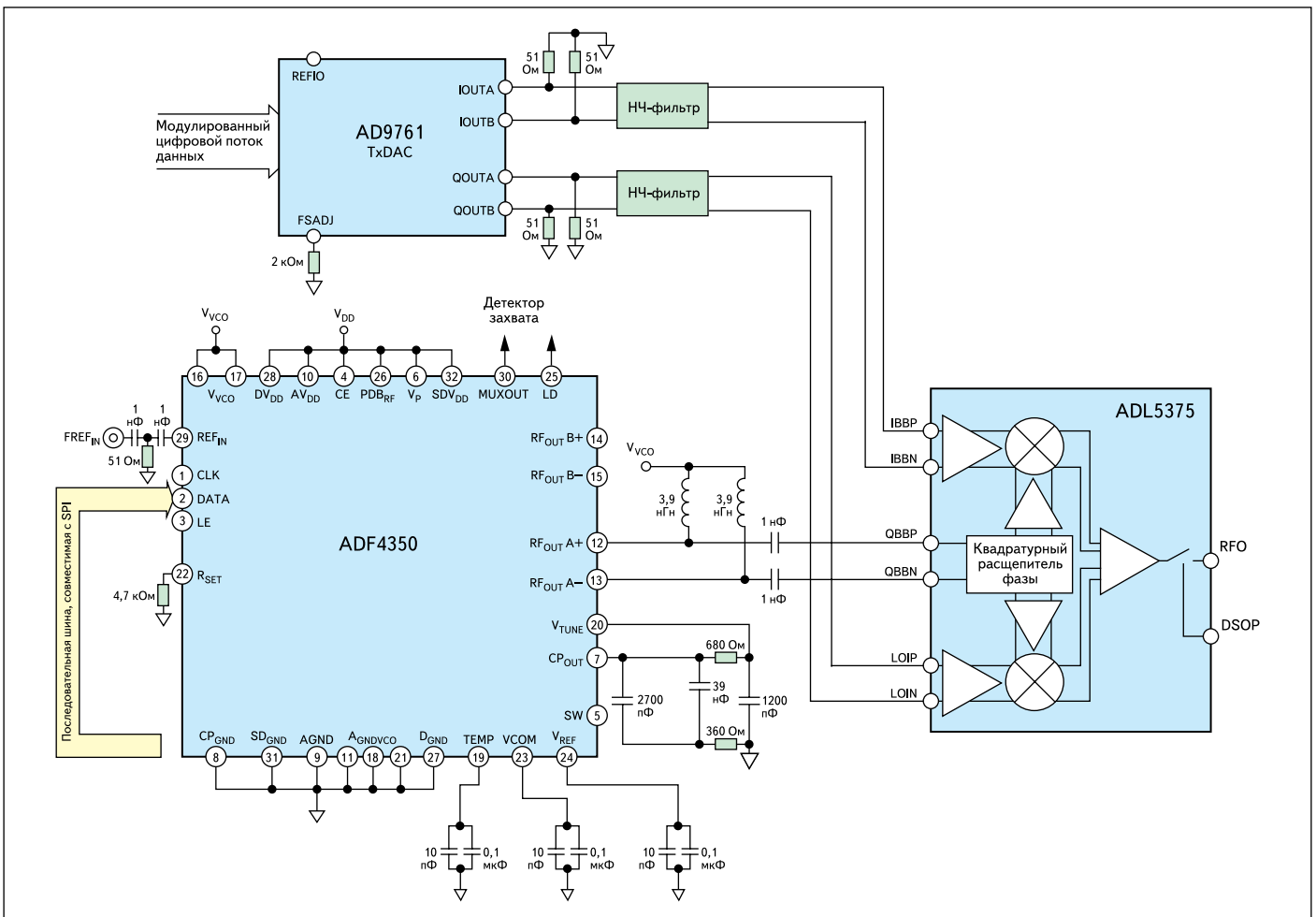


Рис. 14. Построение широкополосного квадратурного модулятора с помощью синтезатора ADF4350

Фазовые шумы синтезатора частоты ADF4350

Следует сказать несколько слов о компенсации помех дробности. В синтезаторе ADF4350 частота помех дробности в два, три или шесть раз ниже частоты шага сетки, как и в аналогичных синтезаторах ADI с дробным коэффициентом деления.

Наилучшие результаты по уровню фазовых шумов, до 10 дБ по сравнению с режимом low spur mode, дает режим low noise mode, который активизируют, записывая логические нули в ячейки DB30, DB29 регистра-защелки R2.

Уровень фазовых шумов на выходе микросхемы можно рассчитать по формуле:

$$L_{SSB} \text{ или Noise Floor [дБ]} = -213 + 10 \lg(F_{PFD}/1 \text{ Гц}) + 20 \lg(N).$$

Например, на частоте сравнения (работы фазового детектора) $F_{PFD} = 200$ кГц, шаге сетки $F_S = 200$ кГц и выходной частоте синтезатора 2500 МГц ($N = 12500$, дробность в кольце отсутствует) шумовой предел микросхемы $L_{SSB} = -213 + 53 + 82 = -78$ дБн/Гц. При частоте сравнения $F_{PFD} = 30$ МГц и выходной частоте 2500 МГц ($N = 83$, $MOD = 150$) получим $L_{SSB} = -213 + 75 + 38 = -100$ дБн/Гц, при том же шаге сетки частот. Вот почему всегда нужно стремиться работать на максимально возможной частоте сравнения фазового де-

тектора, то есть при минимально возможном коэффициенте деления в петле.

В качестве примера приведем измерения уровня фазового шума в ближней зоне на выходе демонстрационной платы (Evolution Boards), Eval-ADF4350EB1. На плате установлен петлевой фильтр, который обеспечивает полосу прозрачности кольца 20 кГц на выходной частоте 1 ГГц (частота ГУН — 4 ГГц и делитель $K = 4$ вне петли). Используя ПО ADI (ADIsimPLL_Ver3_10_03), удобно изменять параметры кольца и отслеживать изменения выходного спектра. На рис. 11 показаны спектрограммы в режиме минимизации фазового шума (low noise mode), а на рис. 12 — в режиме минимизации уровня ДПСС, дискретных побочных спектральных составляющих (low spurious mode). Режимы работы синтезатора приведены в первой строке виртуальной панели на рис. 11 и 12.

На рис. 13 показаны фазовые шумы встроенного ГУН вне петли ФАП (слева), а также шумы ГУН в петле ФАП и с подключенными вне петли встроенными делителями частоты (справа).

Видно, что применение встроенных делителей частоты (2/4/8/16) на выходе петли ФАП позволяет дополнительно снизить уровень фазовых шумов выходного сигнала на 6–24 дБ. Вместе с фильтрующими свойствами самой петли ФАП это позволяет получить стабильный и спектрально чистый выходной сигнал для применения, например,

в аналоговых радиочастотных модуляторах в диапазоне частот до 4 ГГц.

Компания ADI выпускает не только широкую номенклатуру радиочастотных PLL- и DDS-синтезаторов, но и микросхемы, позволяющие строить разнообразные высокотехнологичные радиотехнические устройства и системы в диапазоне частот до 6 ГГц. На рис. 14 приведен пример построения высокоскоростного радиочастотного модулятора на диапазон выходных частот 400–4400 МГц на основе взаимно сопряженных по входам и выходам микросхем ADI.

Таким образом, изучение теории цифрового синтеза частот [2, 3], а также посещение сайта Analog Devices Inc. [1] позволяет строить высококачественные цифровые синтезаторы и устройства на их основе на современной элементной базе. ■

Литература

1. www.analog.com/pll
2. Шапиро Д. Н., Паин А. А. Основы теории синтеза частот. М.: Радио и связь, 1981.
3. Рыжков А. В., Попов В. Н. Синтезаторы частот в технике радиосвязи. М.: Радио и связь, 1991.
4. Никитин Ю. Частотный метод анализа синтезаторной системы импульсно-фазовой автоподстройки частоты. Часть 3 // Компоненты и технологии. 2007. № 9.
5. Никитин Ю. Элементная база фазовой автоподстройки: системный подход // Современная Электроника. 2008. № 1.