

Ами ГОРОДЕЦКИЙ, к. т. н. (StarTest)
amigo@Start-Test.com

Тестирование и тестопригодное проектирование

Новая колонка, которая впервые появляется в этом номере журнала, будет публиковаться ежемесячно, представляя собой краткие обзоры отдельных аспектов структурного тестирования и тестопригодного проектирования электронных схем и узлов.

Содержание колонки не будет определяться каким-либо заранее намеченным планом, в ней будут отслеживаться новости в таких областях структурного тестирования электроники, как технология граничного сканирования (ГС), внутрисхемное тестирование (ICT) и тестопригодное проектирование. Тематика материалов будет, разумеется, зависеть и от интересов читателей, активности их обратной связи с редакцией журнала КиТ и автором колонки, на которую я от всей души надеюсь и заранее выражаю свою признательность. После выхода в свет журнала КиТ колонка появится и на веб-сайте журнала www.kit-e.ru.

В этой колонке я буду выражать свое мнение (а также мнение моих коллег из компании StarTest) по обсуждаемым вопросам. Только этим (а отнюдь не нескромностью) будет обусловлено более или менее частое употребление мною местоимения первого лица единственного числа.

Коротко о себе. Я имею более чем 30-летний опыт (в Украине и Израиле) разработок в области стратегий тестирования электронных схем. Область моих научных интересов, преподавательской и инженерной деятельности охватывает методологии тестопригодного проектирования (DFT) и технологии граничного сканирования JTAG (IEEE 1149.1, 1149.4, 1149.6, 1532, 1500, P1581 и т. д.). В течение многих лет я работаю в промышленности высоких технологий Израиля как схемный аналитик и разработчик программ тестирования разнообразных электронных узлов и систем и накопил значительный опыт практической работы со всеми известными системами генерации тестов ГС. Моя академическая деятельность связана с преподаванием курсов основ тестопригодного проектирования и технологий граничного сканирования на факультете компьютерных наук Еврейского университета в Иерусалиме и в колледже высоких технологий в Герцлии. Я автор многочисленных статей в области структурного тестирования в электронике, изданных в Израиле, России и Украине,

а также ряда заявок на патенты США в этой области.

В общении с читателями моей колонки я буду исходить из предположения, что они, как минимум, знакомы с предметом на уровне, уже изложенном в опубликованных статьях цикла «Основы технологии граничного сканирования и тестопригодного проектирования» в московском журнале «Производство электроники» (ПЭ) издательского дома «Электроника». Это, в частности, подразумевает использование понятий и терминов, введенных и объясненных в указанном цикле, а также многочисленных аббревиатур без каких-либо дополнительных объяснений ввиду ограниченной печатной площади колонки в журнале.

Цикл статей в ПЭ, публикация которого продолжается, задуман как введение в направление современного структурного тестирования и тестопригодного проектирования печатных плат и электронных модулей, которое получило чрезвычайно широкое распространение в мире электроники за последние без малого два десятка лет. К началу 2009 года уже опубликованы девять статей этого цикла из 20 — общего запланированного их числа. Все эти статьи по мере выхода свободно доступны также на сайте www.Start-Test.com в разделе StarTest in Russia. В моей колонке я буду ссылаться на них в формате [ПЭ. Год. №].

Цифровая технология ГС (или Boundary-Scan), определяемая стандартом IEEE 1149.1, уже много лет используется как незаменимый инструмент при тестировании устройств с ограниченным доступом к выводам интегральных микросхем (ИС). Повсеместное применение многослойных печатных плат (ПП) с ИС в корпусах, изготовленных по технологиям BGA, COB и QFP, дало новый мощный толчок развитию и применениям этой технологии. Граничное сканирование используется также как средство доступа к разнообразным внутренним регистрам ИС для наблюдения за их состоянием в процессе отладки ПП. Исключительно широко технология ГС применяется также для внутрисхемного про-

граммирования ИС (In-System Programming, ISP) и внутрисхемного конфигурирования (In-System Configuration, ISC) установленных на ПП интегральных микросхем ПЛИС, FPGA и других, а также «прожиг» смонтированных на ПП ИС ЭСППЗУ и флэш-памяти.

Технологии ГС представляют собой совокупность правил проектирования ИС, результат применения которых позволяет при помощи специальных программ генерации тестов существенно упростить проверку правильности монтажа (а иногда и функционирование) сложных цифровых, аналоговых и гибридных ПП, узлов и систем. Основное преимущество следования стандартам этих технологий (а их в настоящее время существует несколько) заключается именно в том, что эти стандарты позволяют преобразовать сложные (порой — очень сложные) задачи тестирования современных ПП и модулей в методически структурированные задачи, легко решаемые при помощи доступного аппаратного и программного обеспечения.

Широкое применение технологий ГС побудило новый и значительный интерес к методикам тестопригодного проектирования (Design-for-Testability, DFT), несколько угасший за годы победного шествия методов внутрисхемного тестирования (In-Circuit Test, ICT) в электронике в 80–90-е годы прошлого века. Этот интерес обусловлен многократно доказанной невозможностью эффективной реализации технологий ГС без предварительных усилий и затрат в рамках методов тестопригодного проектирования (ТПП). Следует отметить, что без учета и реального воплощения в схемотехнике методов и правил ТПП, многие из которых являются эмпирическими по сути, не только невозможно построить работающий тест ГС с заметным (или заранее обусловленным) уровнем покрытия дефектов, но и обеспечить эффективный (в приемлемых временных рамках и с приемлемым уровнем затрат) процесс внутрисхемного программирования (конфигурирования) и/или «прожига» программируемых компонентов. Излишне также гово-

речь о том, что нетестопригодные ПП вынуждают нести значительные (а зачастую просто неприемлемые) экономические потери при их производстве, отладке, обслуживании в функциональном режиме или «горячем резерве».

Спектр тем, которые будут охвачены в моей ежемесячной колонке, в основном совпадет с набором тем упомянутого цикла статей в ПЭ:

1. Цифровой стандарт ГС IEEE 1149.1.
2. Язык описания структур ГС (BSDL) и последовательный векторный формат SVF.
3. Принципы цифровой технологии ГС, алгоритмы и тесты.
4. Тестопригодное проектирование в технологиях ГС для ПП, модулей и систем.
5. Аналоговый стандарт ГС IEEE 1149.4 и усовершенствованный стандарт ГС IEEE 1149.6 для дифференциальных LVDS-цепей.
6. Внутрисхемное конфигурирование (ISC) в стандарте IEEE 1532.
7. Контактные методы и средства структурного тестирования (ICT, Flying probe).
8. Системы разработки тест-программ и поддержки ГС ведущих мировых фирм.
9. Тенденции развития технологий ГС и новые стандарты.

На рисунке 1а схематично показано взрывообразное развитие технологий ГС за последние без малого 20 лет. Элементы этих схем и станут предметом рассмотрения в новой колонке.

Успешно продолжающаяся разработка все новых и новых стандартов ГС вызвана постоянно усложняющимися проблемами тестирования многослойных ПП с ограниченным доступом, необходимостью обеспечения протокола внутрисхемного программирования ПЛИС и FPGA, совместимого с протоколом тестирования, а также многочисленными проблемами тестирования СБИС типа «система-на-кристалле» (СнК) и связи этих проблем с тестированием ПП. (Эти причины указаны на рис. 1б в голубых рамках.)

Первая из них, наиболее фундаментальная, породила цифровой стандарт ГС 1149.1, прошедший уже три модификации (в 1990, 1993 и 2001 годах), он применяется в тестировании электроники во всем мире, а также весьма популярное его расширение на дифференциальные LVDS-цепи — 1149.6. Аналоговое расширение стандарта ГС (1149.4) пока не снискало особой популярности в силу ряда обстоятельств, однако я убежден, что его частичные урезанные версии очень скоро успешно войдут в арсенал схемотехников и тест-инженеров. Проблемы тестирования ЗУ в технологии ГС инициировали разработку нового стандарта IEEE P1581, утверждение которого ожидается в 2009 году.

Упомянутые четыре стандарта, а также стандарт IEEE 1532, обуславливающий внутрисхемное конфигурирование (программирование и перепрограммирование) ИС, обслуживают генеральное направление применения технологий ГС, связанное с отладкой прото-

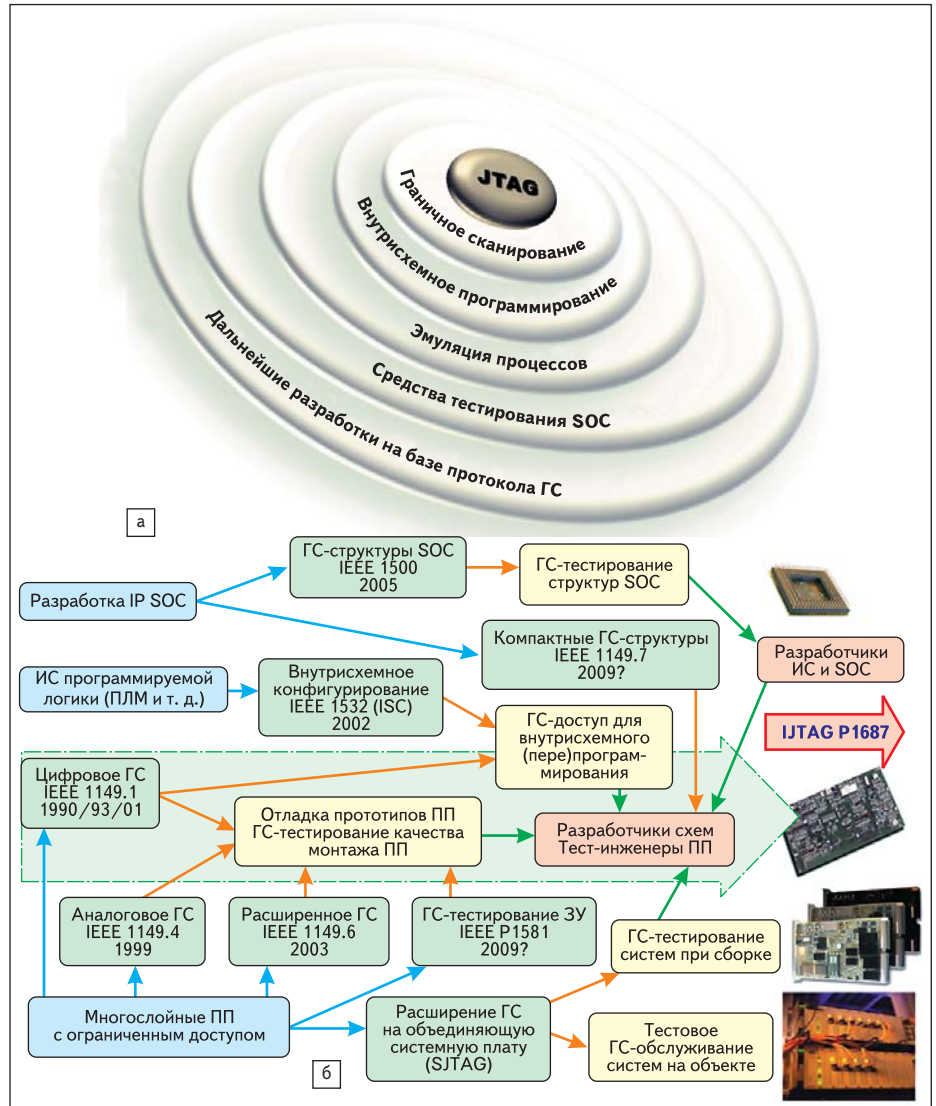


Рисунок. Развитие технологии ГС

типов ПП и ГС-тестированием качества монтажа ПП и сборки узлов и систем. Это направление показано на схеме (рис. 1б) центральной стрелой, его целевое сообщество — разработчики схем и тест-инженеры ПП. Усложнение узлов и систем и необходимость тестового ГС-обслуживания систем на объекте вызвало разработку системного расширения технологии ГС для тестирования совокупностей ПП, объединяемых системной платой. Эта инициатива, называемая SJTAG, пока еще не оформилась в законченный стандарт, но активно разрабатывается многими компаниями.

Другим целевым сообществом, на которое направлены технологии ГС, являются разработчики сложных СБИС и СнК, широко применяющие модульное проектирование ИС с использованием заимствованных узлов и IP и желающие сэкономить на разработках тестов для СБИС в целом за счет использования частных тестов заимствуемых узлов и IP. Затраты на разработку таких тестов для ИС столь велики, что их вторичное применение для тестирования правильности монтажа

СБИС на ПП представляло бы существенный прорыв в повышении эффективности разработки тестов для сложных ПП. Это, в сущности, и явилось причиной разработки стандарта IEEE 1500, распространившего ГС-идеологию на внутреннюю структуру СБИС. Еще один новый ГС-стандарт IEEE 1149.7, определяющий так называемые компактные ГС-структуры, интерфейс которых содержит только два контакта, будет также утвержден, по-видимому, в 2009 году.

В интересах обоих упомянутых сообществ тест-инженеров многие крупные компании (Agilent, Cisco, LogicVision, Qualcomm и др.) активно разрабатывают еще один новый ГС-стандарт — IEEE P1687, обещающий стать первым, в сущности, стандартом ТПП (DFT). Идея стандарта заключается во встраивании в разрабатываемые СБИС и СнК специальных инструментов, взаимодействие которых и с которыми в той или иной модификации протокола ГС обеспечит как тестопригодность СБИС самих по себе, так и тестирование правильности их монтажа на поверхности ПП. ■