

Проектирование КМОП ИС с защитой от ЭСР в САПР Tanner Pro

Андрей СТРОГОНОВ,
д. т. н.
andreis@hotmail.ru
Николай КОЗЬЯКОВ

Повышение быстродействия, снижение потребляемой мощности, уменьшение геометрических размеров элементов ИС делают ее еще более чувствительной к воздействию электрических полей, и в особенности ЭСР.

Базовый принцип защиты ИС от воздействия ЭСР показан на рис. 1. При ЭСР срабатывает двуполярный ключ SA1, и ток разряда отводится на шину питания или «земли». Кроме того, часть заряда рассеивается на резисторе R. Идеальная защита достигается, если сопротивление ключа во включенном состоянии и время его включения равны нулю. В ИС в качестве таких шунтов применяются различные элементы: диоды, транзисторы или более сложные схемы.

Важное требование к защитным структурам — не ухудшать параметры защищаемой ИС. Кроме того, они должны иметь небольшую площадь; эффективно ограничивать напряжение разряда, подаваемого на схему; шунтировать напряжение и токи перегрузки, возникающие при ЭСР; иметь максимально быстрое время срабатывания и вносить минимальное время задержки в нормальную работу ИС.

Для ИС по *n*-МОП-технологии разрушающий потенциал лежит в диапазоне от 10 до 100 В, для ТТЛ ИС это значение составля-

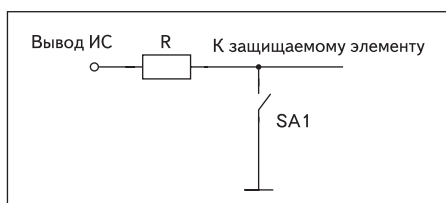


Рис. 1. Базовый принцип защиты ИС от воздействия ЭСР

Электростатические разряды (ЭСР) — одна из основных причин отказов ИС. Заряды возникают в результате явлений, приводящих к появлению разностей электрических потенциалов между отдельными элементами оборудования, которые соприкасаются с ИС, между человеком и изделием или между человеком и оборудованием и т. п. Внезапные разряды приводят к протеканию импульсов токов, как правило, очень коротких, но имеющих большую амплитуду и способных полностью или частично повредить ИС или аппаратуру на них [1].

ет от 300 до 7000 В, и для ИС по КМОП технологии — от 150 до 3000 В.

В ИС с МОП-транзисторами (МОПТ) для защиты от пробоя подзатворного диэлектрика входных транзисторов в простейшем случае используют защитные диоды (рис. 2). Для улучшения защитного действия таких схем применяют дополнительные МОПТ, резисторы и диоды.

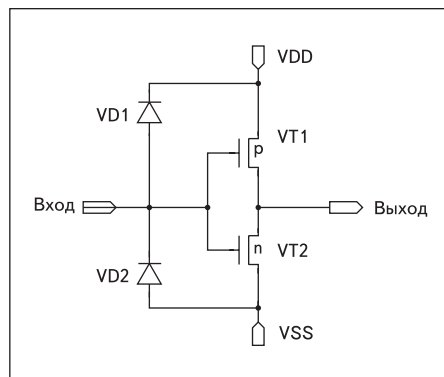


Рис. 2. Защитные диоды входных буферов на КМОП-транзисторах

Буферные ячейки КМОП БИС предназначены для организации электрического и временного взаимодействия ядра БИС с внешней средой. При соблюдении соответствующих правил соединения внутренних и буферных ячеек обеспечивают соответствующие уровни выходных логических сигналов, нагрузочные способности, времена задержек выходных сигналов и длительности их фронтов и т. д. Часто буферные элементы организуются как двунаправленные с целью формирования двунаправленных входов/выходов БИС. Схемотехника типичного двунаправленного буферного элемента представлена на рис. 3. За счет специальных средств управления входами N и P схемы есть возможность независимо от ядра логической схемы устанавливать на внешних выводах произвольные логические состояния — 0, 1 и H [2].

Для буферных элементов площадь *p*-МОПТ VT2 больше площади *n*-МОПТ VT1, так как $W_p \approx 3W_n$ при $L_n \approx L_p$. Стоки транзисторов через элементы D1 и D2 соединены с контактной площадкой.

На практике входные и выходные периферийные ячейки объединяют в магистральную

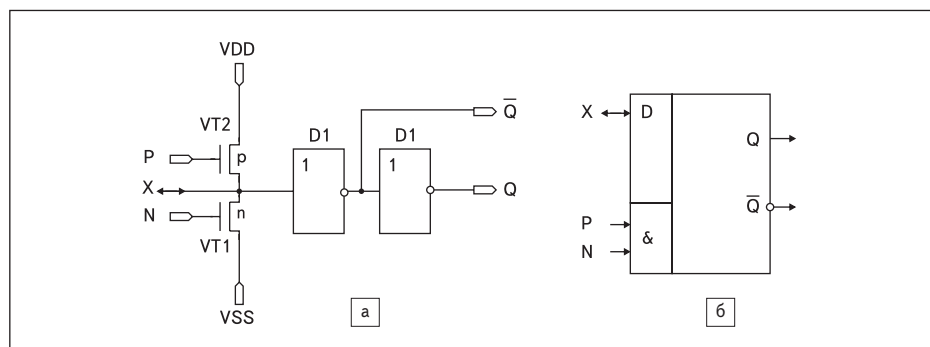


Рис. 3. а) Построение двунаправленной периферийной ячейки; б) обозначение на логическом уровне

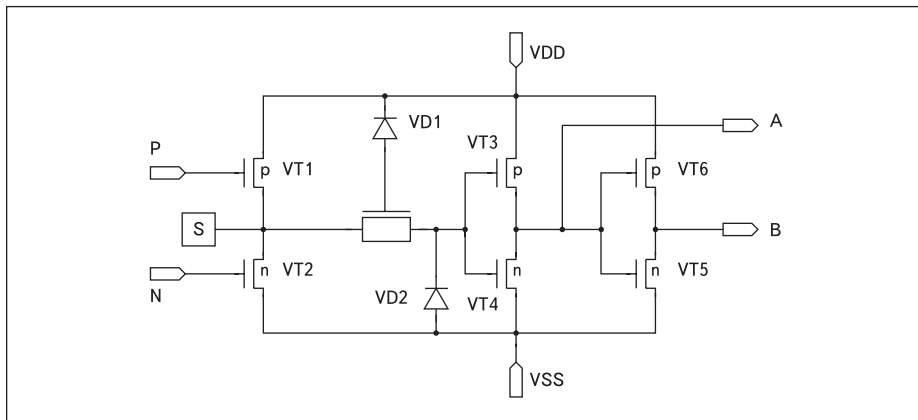


Рис. 4. Электрическая схема магистральной ячейки

ячейку [2]. Электрическая схема магистральной ячейки показана на рис. 4. В ячейке есть мощные транзисторы VT1 и VT2 для поддержки функции «выход», а также диодно-резисторная сборка (VD1, VD2, R), обеспечивающая электростатическую защиту при работе с магистралью (функция «вход»). Таким образом, магистральная ячейка выполняет функцию «вход/выход». S — контактная площадка.

В диодно-резисторной сборке (VD1, VD2, R) диод VD2 является самостоятельным элементом конструкции, а диод VD1 составляет единое целое с резистором R. Мощные транзисторы VT1 и VT2, реализующие функцию «выход» при работе на магистраль, формируются путем параллельного включения *p*-МОПТ (VT1) и *n*-МОПТ (VT2), что обеспечивает набор эффективной ширины каналов. Четыре параллельно включенные *p*-МОПТ дают ширину около 400 мкм, в то время как

типичная ширина канала ядра ячейки может составлять величину 7 мкм.

На рис. 5 показан эскиз топологии контактной площадки (Pads) с защитными диодами. На рис. 5а показано, как осуществляется защита затвора МОПТ от ЭСР. Диод D1 проектируется в топологических слоях *p*-подложка/*n*⁺-слой, а диод D2 — в слоях *n*-карман/*p*⁺-слой. Под воздействием отрицательного высокого напряжения диод D1 включается в прямом направлении, а при положительном высоком напряжении диод D2 включается в прямом направлении.

Данная схема обладает невысокими защитными свойствами (не более 3 кВ) и неравномерностью протекания тока в рабочем режиме, что существенно снижает ее защитные свойства [1]. Достоинство — малая площадь, занимаемая защитными диодами.

Для повышения стойкости ИС к ЭСР защитные диоды могут быть разделены. Рис. 5в

демонстрирует использование двух защитных диодов D1 и двух D2.

Рассмотрим пример проектирования топологии кристалла ИС с защитой от ЭСР с использованием САПР Tanner PRO [3–5]. В состав САПР Tanner PRO входят взаимодействующие между собой модули: SEdit (схемотехнический редактор), T-Spice (текстовый редактор программного кода, плюс счетное ядро программы Spice), Wedit (векторный редактор), Ledit (топологический редактор, он предназначен для синтеза топологии в ручном и автоматическом режимах). В качестве ядра ИС используем два инвертора по масштабируемой КМОП-технологии. Примем следующие условия: информационный вход Data и выход Q1 защищены от воздействия ЭСР, а информационный вход Data1 и выход Q не защищены от ЭСР.

Для построения электрической схемы кристалла ИС воспользуемся схемотехнической библиотекой стандартных ячеек SCMOS, которую можно найти в папке library/scmos.sdb. Библиотека содержит 40 символов (символ раскрывается как подсхема на транзисторном уровне) логических элементов, таких как 2И-НЕ (NAND2), 2ИЛИ-НЕ (NOR2), D-триггеры, тактируемые уровнем синхросигнала (Latch), фронтом синхросигнала (DFF) и др., в том числе символы контактных площадок PadVdd («питание»), PadGnd («земля»), PadIOsmallESD (контактная площадка «вход/выход» с защитой от ЭСР), без защиты от ЭСР (PadIOnoESD). На каждый символ библиотеки SCMOS разработана топологическая ячейка, которую можно увидеть при помощи топологического редактора L-Edit. На рис. 6 показаны послойно топологические слои ячейки PadIOsmallESD в редакторе Ledit.

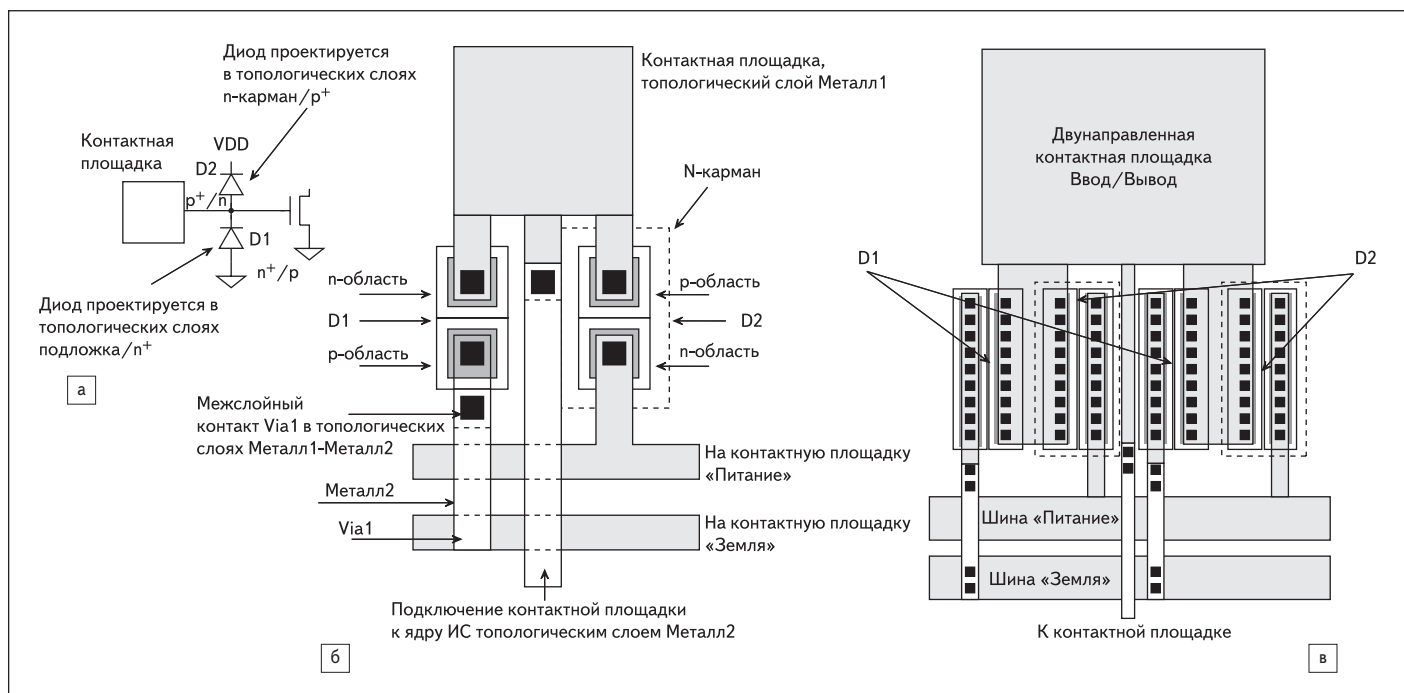


Рис. 5. Эскиз топологии контактной площадки с защитными диодами: а) защитные диоды; б) неформальный эскиз топологии; в) пример топологии

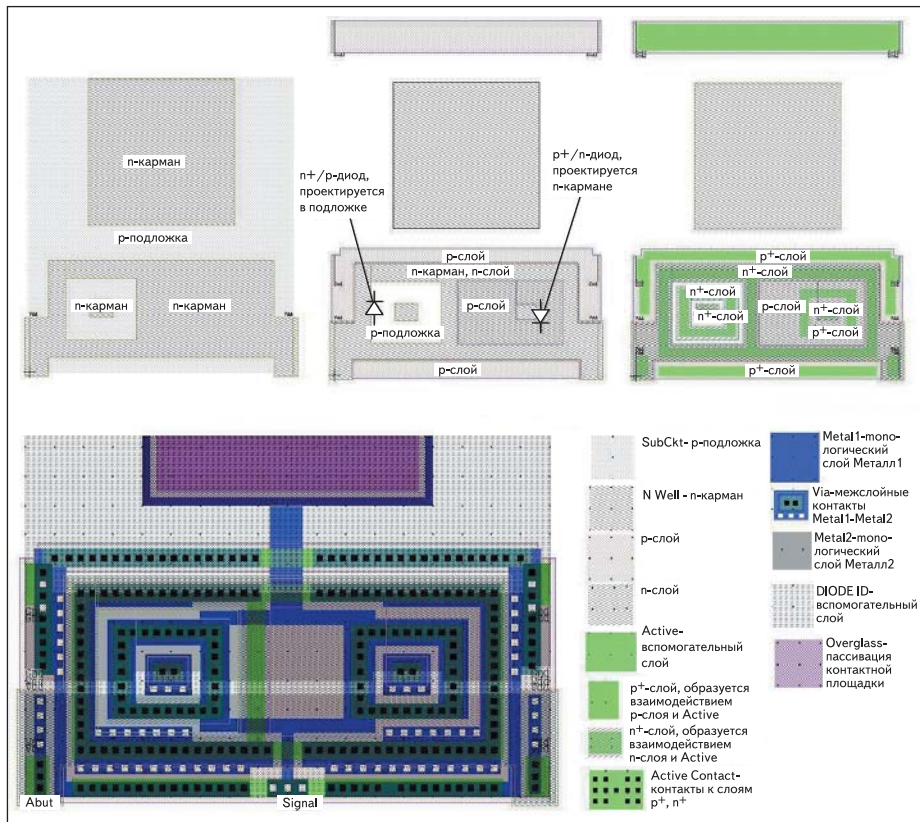


Рис. 6. Топологические слои контактной площадки с защитными диодами в САПР Tanner PRO с использованием топологического редактора Ledit

ственно из контактной площадки BONDING и схемы защиты от ЭСП.

Для автоматического синтеза топологии кристалла ИС из файла, содержащего список соединений (netlist), с помощью топологического редактора Ledit необходимо сделать экспорт графического изображения схемы в файл с расширением *.trp. Для этого нужно воспользоваться меню File/Export. Приведем содержимое файла в формате trp:

```
C Inv A Out;
UInv_1 Data Q;
C Inv A Out;
UInv_2 Data1 Q1;
CP PadIOnoESD SIGNAL;
UPadIOnoESD_1 Data1;
CP PadIOnoESD SIGNAL;
UPadIOnoESD_2 Q;
CP PadIOsmallESD SIGNAL;
UPadIOsmallESD_1 Data;
CP PadIOsmallESD SIGNAL;
UPadIOsmallESD_2 Q1;
```

Схемотехническое моделирование в этом случае проводить не требуется. Запускаем топологический редактор Ledit. Заходим в меню File, создаем новый файл топологии с расширением *.tdb (меню New File, тип Layout), после этого заходим в меню File/Replace Setup и выбираем настройки технологии (2-мкм масштабируемая КМОП-технология MOSIS/Orbit 2U SCNAMEMS, единица измерения — λ) из библиотеки (L_edit1.1\Samples\Spr\example1\lightslb.tdb). Это позволит импортировать ранее созданные топологические слои из выбранного файла в текущий топологический файл (рис. 6). На рис. 6 показаны топологические слои, используемые при проектиро-

Для проектирования топологии кристалла ИС в рамках MOSIS Scalable CMOS существуют специально разработанные топологические библиотеки цифровых элементов ввода/вывода с контактными площадками, защищенными от ЭСП для САПР Tanner Pro. MOSIS — это организация, занимающаяся производством ИС на мировых кремниевых фабриках (IBM, AMI, TSMC и др.), спроектированных по единым топологическим слоям (маскам) и по конструктивно-технологическим требованиям различных проектных норм.

Например, в топологической библиотеке Hi-ESD IO PAD Library по 0,25-мкм проектным нормам масштабируемой КМОП-технологии кремниевой фабрики TSMC (MOSIS TSMC CMOS025 Process) использованы для защиты контактных площадок КМОП-транзисторы. Затвор защитного *n*-МОПТ соединен с истоком и шиной «земля», а затвор защитного *p*-МОПТ соединен с истоком и шиной «питание». В этом случае *n*-МОПТ и *p*-МОПТ постоянно открыты и обеспечивают минимальные сопротивления. В КМОП-инверторе стоки транзисторов *n*-МОПТ и *p*-МОПТ соединены вместе, исток *n*-МОПТ подключают к шине «земля», а исток *p*-МОПТ — к шине «питание».

На рис. 7 показана электрическая схема двух инверторов с контактными площадками в схематехническом редакторе SEdit, а на рис. 8 — содержимое символа контактной

площадки PadIOsmallESD с защитой от ЭСП. Контактная площадка PadIOsmallESD представлена как подсхема, состоящая непосред-

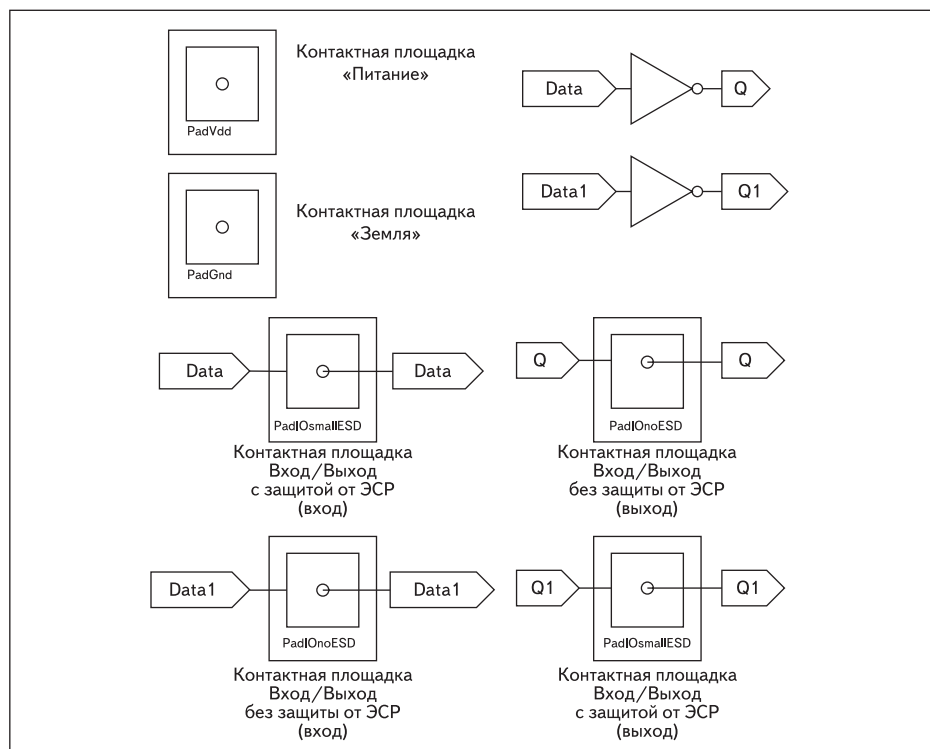


Рис. 7. Электрическая схема двух инверторов с контактными площадками в SEdit в САПР Tanner PRO для автоматической генерации топологии

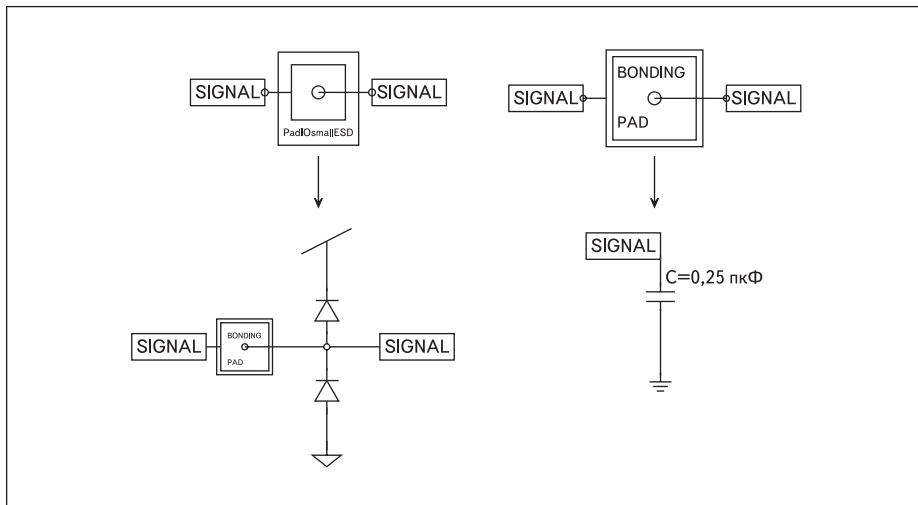


Рис. 8. Содержимое символа контактной площадки PadOsmallESD с защитой от ЭСП

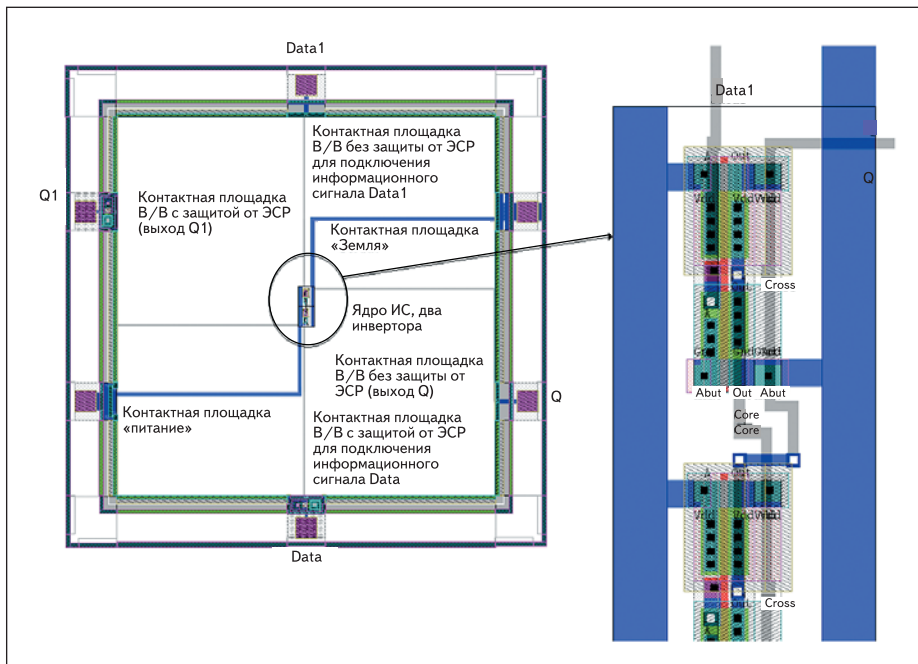


Рис. 9. Автоматически сгенерированная топология кристалла ИС с защитой от ЭСП

с контактными площадками. При использовании готовой библиотеки стандартных ячеек из САПР Tanner PRO дополнительные установки лучше не делать.

Заходим в меню Tools, затем выбираем пункт SPR/Place and Route. Отмечаем галочкой опцию Core place and route (размещение и трассировка элементов ядра), выбираем квадратную форму ядра ИС (Square), включаем оптимизацию трассировки по длине проводников и числу межслойных контактов (или по отдельности). Можно дополнительно включить оптимизацию по размещению элементов, установив фактор оптимизации.

На рис. 9 показана топология кристалла ИС с защитой от ЭСП, полученная с использованием автоматического синтеза топологии из файла со списком соединений в формате trf. Видна рамка с контактными площадками, защищенными от ЭСП (padframe), и ядро ИС.

На рис. 10 показана электрическая схема (графический файл с расширением sdb) для схемотехнического моделирования переходных процессов с использованием T-Spice. В этом случае необходимо дополнительно задать источники напряжений. Необходимы два переменных источника напряжения Source_v_pulse_1 и Source_v_pulse_2 и один источник постоянного напряжения для запитывания схемы Source_v_dc_1 из библиотеки Voltage Sources. Также на рис. 10 показано использование дополнительных модулей, представленных в виде символов, созданных пользователем. Для моделирования потребуется с помощью специально разработанного модуля включить ссылку на использование моделей МОП-транзисторов с использованием директивы .include «~/T-Spice 11.0/models/ml2_20.md». При схемотехническом моделировании будут использованы Spice-параметры модели второго уровня (Level 2) для n- и p-МОПТ технологического процесса Mosis/Orbit по 2-мкм проектным нормам. Для описания ди-

ваний топологии контактной площадки с защитными диодами.

Выбираем меню Tools, затем пункт SPR/Setup (SPR-размещение и канальная трассировка). Указываем путь на библиотеку стандартных ячеек lightslb.tdb и на файл со списком соединений в формате trf, экспортированный из SEdit. Задаем имена портов питания (Vdd) и «земли» (Gnd) в топологическом файле, которые должны совпадать с именами в графическом файле. Для чтения структуры из файла в формате trf, нажимаем кнопку Initialize Setup. Кнопки Core Setup, Padframe Setup и Pad Route Setup активизируют дополнительные диалоговые окна для задания параметров размещения и трассировки элементов ядра, генерации рамки с контактными площадками и трассировки области, лежащей между ядром и рамкой

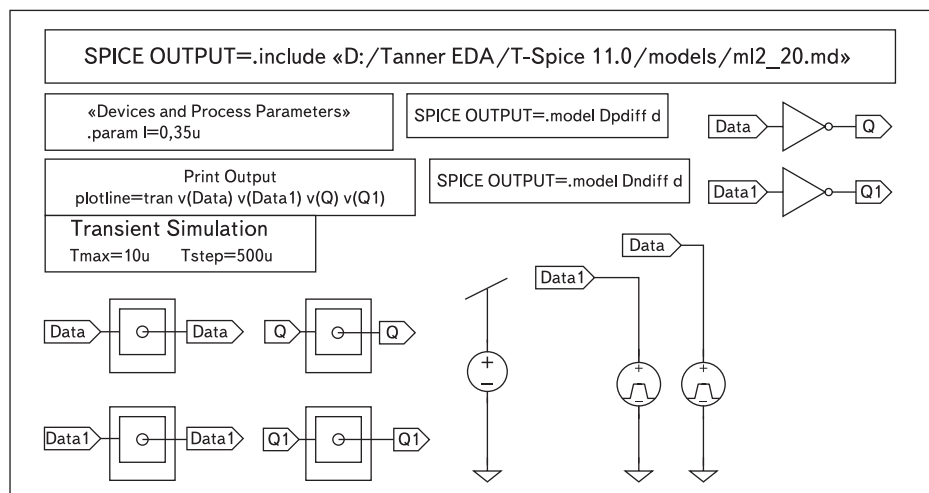


Рис. 10. Электрическая схема для схемотехнического моделирования переходных процессов

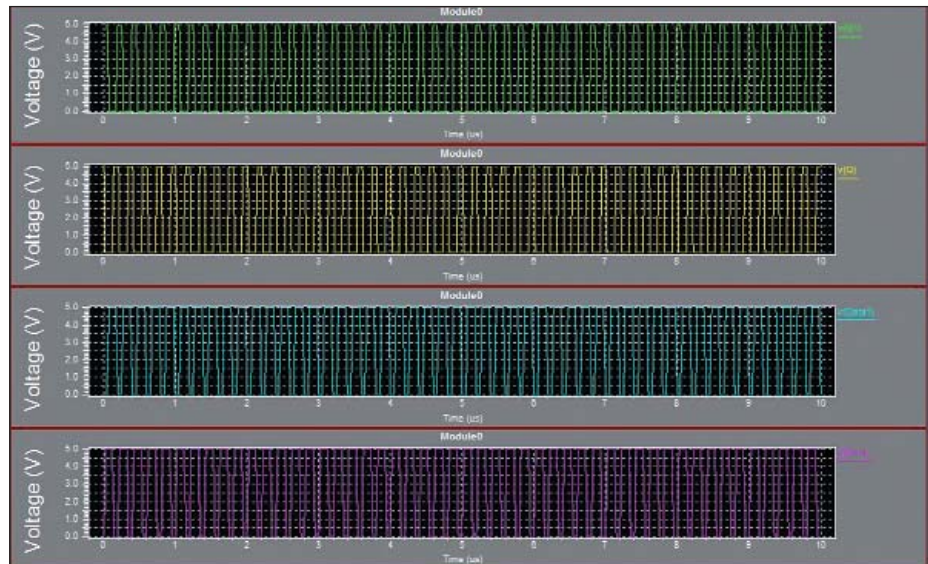


Рис. 11. Результаты схемотехнического моделирования переходных процессов

ода будем использовать стандартную модель, которая вызывается:

- директивой `.model Dpdiff d`, для защитного диода, который проектируется в *n*-кармане;
- директивой `.model Dndiff d` для защитного диода, который проектируется в *p*-подложке.

Необходимо указать параметр масштаба (например, $l = 0,35$ мкм) геометрических размеров МОПТ. Указывать Spice-параметры моделей можно и в текстовом редакторе кода программы T-Spice.

При автоматической трансляции электрической схемы в файл со списком соединений с расширением `*.sp`, дополнительные модули, включенные в графический файл, отображаются как директивы (Spice-команды), например: `.print` или `.tran`.

Далее приведен файл со списком соединений с расширением `*.sp` моделируемой схемы. Файл создается автоматически, как только будет запущен модуль T-Spice. После завершения моделирования запускается модуль Wedit Waveform Viewer, для просмотра результатов моделирования (рис. 11).

```
.probe
.options probefilename=>D:\Tanner EDA\T-Spice 11.0\examples\2
inv\File3.dat>
+ probesdbfile=>D:\Tanner EDA\T-Spice 11.0\examples\2
inv\File3.sdb>
+ probetopmodule=>Module0>
.SUBCKT Pad_Bond SIGNAL Subs
C1 SIGNAL Subs 0.25pF
.ENDS
.SUBCKT PadOsmallESD SIGNAL Gnd Subs Vdd
D1 Gnd SIGNAL Dndiff area=1
D2 SIGNAL Vdd Dpdiff area=1
XPad_Bond_1 SIGNAL Subs Pad_Bond
.ENDS
.SUBCKT PadOnoESD SIGNAL Subs
XPad_Bond_1 SIGNAL Subs Pad_Bond
.ENDS
.SUBCKT Inv A Out Gnd Vdd
M2 Out A Gnd Gnd NMOS W='28*' L='2*' AS='148*' AD='144*'
PS='68*' PD='68*' M=1
M1 Out A Vdd Vdd PMOS W='28*' L='2*' AS='148*' AD='144*'
PS='68*' PD='68*' M=1
.ENDS
```

```
.include <D:\Tanner EDA\T-Spice 11.0\models\ml2_20.md>
.param l=0.35u
.print tran v(Data) v(Data1) v(Q) v(Q1)
.tran 500n 10u
.model Dpdiff d
XInv_1 Data Q Gnd Vdd Inv
XInv_2 Data1 Q1 Gnd Vdd Inv
.model Dndiff d
XPadOnoESD_1 Data1 Subs PadOnoESD
XPadOnoESD_2 Q Subs PadOnoESD
XPadOsmallESD_1 Data Gnd Subs Vdd PadOsmallESD
XPadOsmallESD_2 Q1 Gnd Subs Vdd PadOsmallESD
v1 Vdd Gnd 5.0
v2 Data Gnd pulse(0.0 5.0 0 25n 25n 100n 200n)
v3 Data1 Gnd pulse(0.0 5.0 50n 25n 25n 100n 200n)
```

Заключение

Топологические библиотеки, выполненные в рамках масштабируемой КМОП-технологии, содержат средства встроенной защиты ИС от ЭСР.

Использование библиотеки стандартных элементов при проектировании топологии кристалла ИС позволяет значительно повысить эффективность проектирования и ускорить время выхода на рынок новых изделий.

Работа выполнена по программе гранта 08-08-99033-р_офи.

Литература

1. Горлов М. И., Строгонов А. В., Адамян А. Г. Воздействие электростатических разрядов на полупроводниковые изделия // ChipNews. 2001. № 1–2.
2. Проектирование специализированных КМОП БИС на основе БМК 5501XM2. Учебное пособие / Под ред. В. В. Ермака. М.: МГИЭТ (ТУ), 1996.
3. Строгонов А. Проектирование топологии КМОП заказных БИС // Компоненты и технологии. 2007. № 4.
4. Коноплев Б. Г., Рындин Е. А., Ковалев А. В., Лысенко И. Е. Руководство к лабораторной работе «Проектирование топологии СБИС и микросистем в САПР Tanner Pro». Таганрог: Изд-во ТРТУ, 2004.
5. www.tanner.com/ces