

FPGA платформы Virtex-5 TXT фирмы Xilinx

Илья ТАРАСОВ,
к. т. н.
tile@kc.ru

После выпуска четырех платформ семейства Virtex-5 еще одна разновидность этих высокопроизводительных ПЛИС явилась некоторой неожиданностью. Казалось, что ранее выпущенные FPGA Virtex-5 закрыли основные потребности разработчиков аппаратуры, однако очередная разновидность этих ПЛИС продемонстрировала несколько неожиданные характеристики.

Общая характеристика

Платформу Virtex-5 TXT можно кратко охарактеризовать одним словом: приемопередатчики. Надо отметить, что в предыдущей платформе, Virtex-5 FXT, были введены приемопередатчики RocketIO GTX с максимальной скоростью обмена 6,5 Мбайт/с. Архитектура ASMBL подразумевает размещение ресурсов на кристалле в виде отдельных колонок, и вдоль одной стороны кристалла размещается максимум 24 таких приемопередатчика. Большая суммарная пропускная способность высокоскоростных интерфейсов — одна из сильных сторон ПЛИС, которая может выступать в виде своеобразной компенсации высокой стоимости этих микросхем. Дейст-

вительно, если приоритетом является минимизация числа корпусов микросхем для коммуникационного оборудования, наличие наибольшего количества приемопередатчиков станет важнейшим фактором при выборе элементной базы. Важность абсолютной величины пропускной способности приемопередатчиков и привела к такому простому решению, как добавление второй колонки приемопередатчиков в архитектуру ASMBL (рис. 1). Иными словами, Virtex-5 TXT — это FPGA Virtex-5, в которой приемопередатчики расположены в обеих крайних колонках. Их суммарное число равно 40 и 48 соответственно в двух устройствах, которые и входят в состав новой платформы.

Характеристики устройств Virtex-5 TXT приведены в таблице.

Таблица. Характеристики устройств Virtex-5 TXT

| Параметр | XC5VTX150T | XC5VTX240T |
|---|------------|------------|
| Секций | 23 200 | 37 440 |
| Логических ячеек | 148 480 | 239 616 |
| Триггеров | 92 800 | 149 760 |
| Распределенная память, кбит | 1500 | 2400 |
| Блоков памяти (по 36 кбит) | 228 | 324 |
| Итого блочной памяти, кбит | 8208 | 11 664 |
| Блоков DCM (Digital Clock Manager) | 12 | 12 |
| Блоков PLL | 6 | 6 |
| Программируемых выводов | 680 | 680 |
| Дифференциальных пар | 340 | 340 |
| Секций DSP48E | 80 | 96 |
| Блоков PCI Express | 1 | 1 |
| Блоков Ethernet MAC | 4 | 4 |
| RocketIO GTX | 40 | 48 |
| Требуемый объем конфигурационной памяти, Мбит | 43,4 | 65,8 |

Назначение и применение

Новая платформа предназначена фирмой Xilinx для вполне конкретного направления рынка — коммуникационных систем с суммарной пропускной способностью 100 Гбит/с (100G). На рис. 2 показано наиболее наглядное применение Virtex-5 TXT. Если ранее для получения такой характеристики было необходимо 2 FPGA (на рис. 2 показан пример с FX130T или FX200T), то единственное устройство Virtex-5 TX240T имеет такое же количество приемопередатчиков RocketIO, как и обе микросхемы FXT. В дан-

ном случае можно говорить как о снижении цены, так и об улучшении целого ряда других показателей — уменьшении площади печатной платы, увеличении скорости разработки за счет исполнения всей системы в одном кристалле, уменьшении количества внекристалльных соединений.

Платформа имеет всего два устройства, что отражает, по всей видимости, текущую потребность основных заказчиков Xilinx. Интересно отметить дальнейшее проявление практической эффективности ASMBL с точки зрения быстрого выпуска новых ПЛИС. Ранее к первым наборам микросхем уже были добавлены устройства LX155 и SX240T, а теперь, когда с выходом платформы FXT можно было предполагать некоторое затишье перед будущим переходом к новому технологическому процессу, Xilinx предлагает платформу TXT с вполне определенным назначением, выпущенную именно в рамках ASMBL — путем компоновки нужного количества колонок ресурсов.

Два устройства, которые есть в линейке TXT, имеют достаточно большой логический объем и, очевидно, относятся к устройствам верхнего ценового диапазона. В их составе нет процессорных ядер PowerPC, один блок PCI Express и четыре блока EMAC. Таким образом, в части, не относящейся к приемопередатчикам, данные ПЛИС имеют «средние» (с поправкой на их достаточно большой объем) характеристики, и ресурсы общего назначения явно ориентированы на обслуживание высокоскоростных протоколов.

Программная поддержка

Для работы с платформой Virtex-5 TXT необходима САПР ISE 10.1 с обновлением SP3. Фирмой Xilinx реализованы IP-ядра для поддержки таких популярных протоколов, как Ethernet, XAUI, Aurora, PCI Express. Ввиду того, что представленные ПЛИС относятся к достаточно специфическому сегменту рынка электронных компонентов, IP-ядра для построения представленных выше 100G-систем

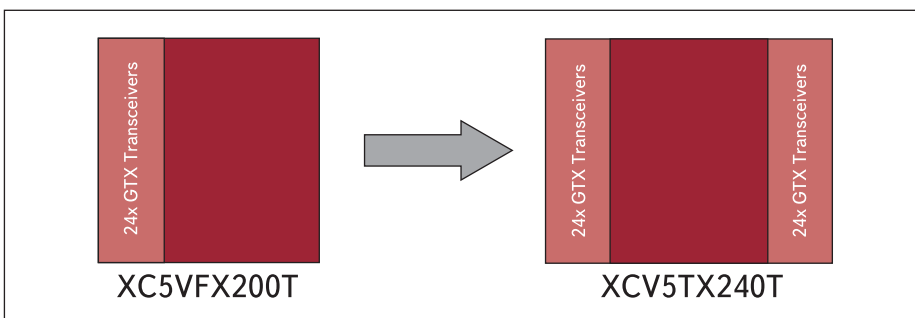


Рис. 1. Архитектура FPGA Virtex-5 FXT по сравнению с Virtex-5 TXT

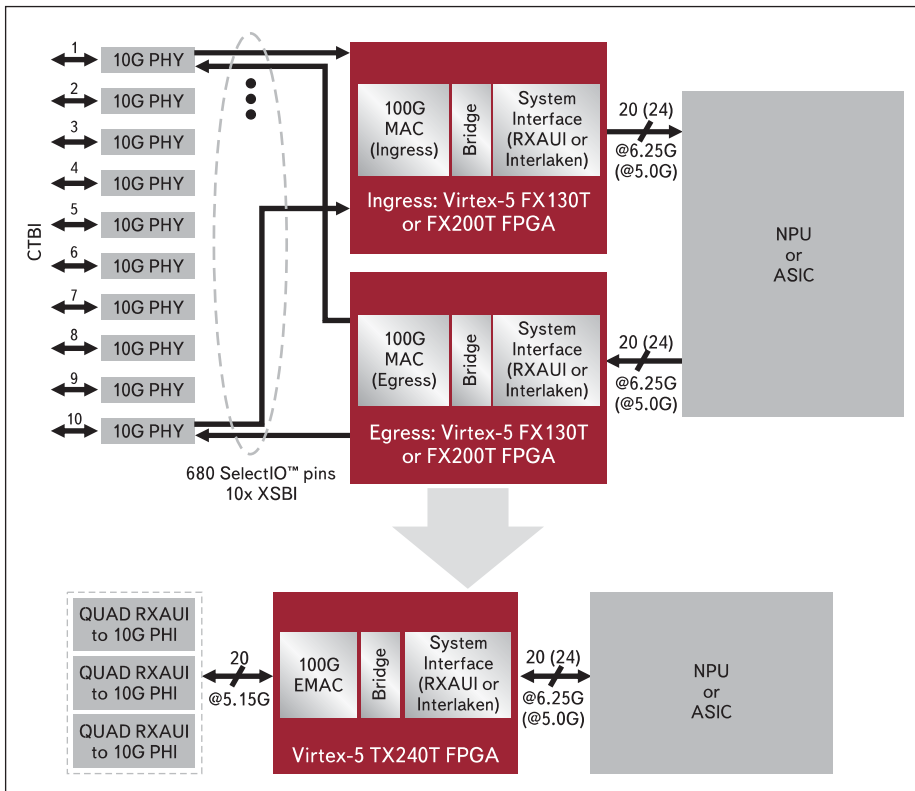


Рис. 2. Переход к одночиповой реализации системы с суммарной пропускной способностью 100 Гбит/с

пока разработаны несколькими фирмами — партнерами Xilinx и лицензируются отдельно. Подробная информация о характеристиках новых ПЛИС и наличии IP-ядер приведена на www.xilinx.com/virtex5txt.

Выводы

Появление новой платформы, очевидно, интересно достаточно узкому кругу разработчиков электронной аппаратуры, специализирующихся на разработке коммуникационных систем с высокой пропускной способностью. Тем не менее выход всего двух микросхем после появления основной номенклатуры ПЛИС Virtex-5, а тем более выпуск их по технологии 65-нм дает информацию к размышлению о практической эффективности архитектуры ASMBL. Действительно, уже практически «на ходу» производителем была выполнена

адаптация линейки продукции под потребности небольшой группы разработчиков аппаратуры, причем сама адаптация выполнена именно в рамках методологии ASMBL. Это позволяет предполагать, что в случае необходимости могут быть выпущены устройства и с другим соотношением ресурсов, как это было сделано в случае с RocketIO. Уже сейчас можно наблюдать существенную специализацию платформ SXT и TXT для решения задач, где преимущества ПЛИС проявляются наиболее ярко (многоканальная цифровая обработка и множество коммуникационных каналов). Это дает основания надеяться на сохранение данной тенденции в последующих поколениях FPGA и появление устройств с еще большей абсолютной производительностью в задачах цифровой обработки и преобразования высокоскоростных последовательных потоков данных. ■