

## Инструментальный модуль компании Avnet для отладки проектов встраиваемых систем, разрабатываемых на базе нового семейства ПЛИС FPGA фирмы Xilinx Virtex-5 FXT

Валерий ЗОТОВ  
walerry@km.ru

В начале текущего года фирма Xilinx приступила к серийному выпуску нового семейства ПЛИС с архитектурой FPGA — Virtex-5 FXT. Кристаллы данного семейства в отличие от других ПЛИС серии Virtex-5 обладают не только наиболее разнообразным комплектом встроенных аппаратных модулей, включая микропроцессорные ядра и высокоскоростные приемопередатчики, но и большим объемом специализированных ресурсов, присутствующих в семействах Virtex-5 LX, Virtex-5 LXT, Virtex-5 SXT. Поэтому Virtex-5 FXT предназначено в первую очередь для реализации высокопроизводительных встраиваемых микропроцессорных систем, телекоммуникационных устройств с высоким быстродействием, сверхскоростных систем передачи, приема и обработки данных.

Компания Avnet оперативно отреагировала на выпуск нового семейства ПЛИС, представив разработчикам инструментальный комплект Xilinx Virtex-5 FXT Evaluation Kit, который отличается сравнительно невысокой стоимостью и достаточно широким набором функциональных возможностей. Исключение дополнительных компонентов, которые редко используются в практической работе, позволило добиться более чем трехкратного снижения стоимости данного комплекта по сравнению с другими инструментальными модулями, выполненными на базе кристаллов семейства Virtex-5 FXT.

В настоящей публикации рассматриваются отличительные особенности и основные характеристики ПЛИС нового семейства Virtex-5 FXT, а также приводится описание функциональных возможностей и архитектуры отладочного модуля Xilinx Virtex-5 FXT Evaluation Board, который является основным компонентом инструментального комплекта Xilinx Virtex-5 FXT Evaluation Kit.

### Отличительные особенности и основные характеристики ПЛИС семейства Virtex-5 FXT

Кристаллы семейства Virtex-5 FXT разработаны на основе второго поколения модульной архитектуры ASMBL (Advanced Silicon

Modular Block) и производятся по КМОП-технологии 65 нм с 12 слоями металлизации. Данное семейство ПЛИС является дальнейшим продолжением серии Virtex-5, поэтому кристаллам семейства Virtex-5 FXT присущи большинство характерных особенностей ПЛИС предшествующих семейств этой серии. К числу таких особенностей относятся:

- применение в составе конфигурируемых логических блоков (Configurable Logic Block, CLB) реальных 6-входовых таблиц преобразования Look-Up Table (LUT), позволяющих реализовать функции большого числа переменных без применения дополнительных логических ресурсов и тем самым повысить быстродействие разрабатываемых систем;
- увеличенный объем распределенной памяти кристаллов;
- наличие модулей двухпортовой блочной памяти емкостью 36 кбит со встроенной системой обнаружения и коррекции ошибок ECC (Error Correction Checking) и поддержкой режима побайтной записи, которые могут использоваться также в виде двух независимых блоков объемом 18 кбит или конфигурироваться в виде запоминающих устройств, функционирующих по принципу «первым вошел — первым вышел» (first-in first-out, FIFO);

- применение новой симметричной диагональной матрицы межблочных соединений, позволяющей добиться снижения задержек распространения сигналов на трассировочных ресурсах ПЛИС;
- внедрение усовершенствованных секций цифровой обработки сигналов (ЦОС) DSP48E с возможностью конвейерной организации выполнения операций, включающих аппаратный умножитель 25- и 18-разрядных значений, 48-разрядный аккумулятор с поддержкой каскадного наращивания до 96-разрядных, сумматор для выполнения операций комплексного умножения, которые позволяют добиться максимальной производительности разрабатываемых устройств ЦОС;
- возможность работы блочной памяти Block RAM и встроенных аппаратных секций цифровой обработки сигналов DSP48E с максимальной тактовой частотой 550 МГц;
- использование новых блоков управления синхронизацией Clock Management Tile (CMT), включающих два цифровых модуля управления синхронизацией Digital Clock Manager (DCM) и аналоговый модуль фазовой автоподстройки частоты Phase-Locked-Loop (PLL), которые могут применяться как независимо друг от друга, так и в виде каскадных соединений DCM — PLL или PLL — DCM;

- наличие встроенных аппаратных модулей PCI Express, соответствующих спецификации PCI Express Base Specification 1.1, которые поддерживают полную буферизацию передаваемых и принимаемых данных с использованием блочной памяти и функционируют совместно с высокоскоростными приемопередатчиками RocketIO;
- наличие интегрированных аппаратных контроллеров интерфейса Tri-mode Ethernet Media Access Controller (ТЕМАС), поддерживающих три варианта скорости обмена данными 10/100/1000 Мбит/с с автоматическим согласованием режимов;
- включение в состав ПЛИС модуля системного мониторинга System Monitor, предоставляющего возможность контроля значений температуры кристалла, уровней напряжений питания, а также состояния 17 внешних датчиков, подключаемых к соответствующим аналоговым входам;
- использование усовершенствованной технологии SelectI/O, позволяющей поддерживать расширенный спектр однополюсных и дифференциальных цифровых стандартов ввода/вывода с уровнями сигналов от 1,2 до 3,3 В;
- кодирование конфигурационной последовательности в соответствии с 256-битовым алгоритмом шифрования AES (Advanced Encryption Standard), которое обеспечивает охрану прав интеллектуальной собственности, поддерживая высокий уровень защиты от копирования создаваемых проектов;
- поддержка семи режимов конфигурирования кристаллов: Slave-serial, Master-serial, Slave SelectMAP, Master SelectMAP, Boundary-Scan (IEEE-1532 and -1149), SPI (Serial Peripheral Interface) и BPI-up/BPI-down (Byte-wide Peripheral Interface);
- снижение уровня общей потребляемой мощности по сравнению с кристаллами предыдущего поколения ПЛИС Virtex-4. Кроме того, ПЛИС семейства Virtex-5 FXT обладают следующими наиболее важными отличиями по сравнению с другими кристаллами серии Virtex-5:
  - наличие одного или двух встроенных аппаратных процессорных блоков, выполненных на базе микропроцессорного ядра PowerPC 440 с максимальной частотой тактового сигнала 550 МГц и производительностью 2.0 DMIPS/МГц (1100 DMIPS при максимальном значении частоты сигнала синхронизации);
  - возможность совместного использования аппаратных процессорных блоков для реализации встраиваемых систем с удвоенной производительностью, достигающей 2200 DMIPS при частоте тактового сигнала 550 МГц;
  - применение последовательных высокоскоростных приемопередатчиков третьего поколения RocketIO нового типа GTX, поддерживающих скорости приема и передачи данных до 6,5 Гбит/с;

Таблица 1. Основные параметры ПЛИС семейства Virtex-5 FXT

Тип ресурсов ПЛИС		Тип кристалла				
		XC5VFX30T	XC5VFX70T	XC5VFX100T	XC5VFX130T	XC5VFX200T
Логические ресурсы	Количество секций Slices	5120	11 200	16 000	20 480	30 720
	Число строк массива конфигулируемых логических блоков CLB	80	160	160	200	240
	Число столбцов массива конфигулируемых логических блоков CLB	38	38	56	56	68
	Общее число триггеров CLB	20 480	44 800	64 000	81 920	122 880
	Число логических ячеек Logic Cells	32 768	71 680	102 400	131 072	196 608
Ресурсы памяти	Объем распределенной памяти (1К = 1024 бит)	380 К	820 К	1240 К	1580 К	2280 К
	Количество модулей блочной памяти Block RAM емкостью 36 кбит	68	148	228	298	456
	Объем блочной памяти (1К = 1024 бит) Block RAM	2448 К	5328 К	8208 К	10 728 К	16 416 К
Модули синхронизации	Число цифровых блоков управления синхронизацией DCM	4	12	12	12	12
	Количество модулей PLL	2	6	6	6	6
Встроенные специализированные аппаратные модули	Число аппаратных секций DSP48E	64	128	256	320	384
	Количество микропроцессорных блоков PowerPC 440	1	1	2	2	2
	Число аппаратных модулей PCI Express	1	3	3	3	4
	Количество аппаратных блоков 10/100/1000 Mb/s Ethernet MAC	4	4	4	6	8
	Число высокоскоростных последовательных приемопередатчиков RocketIO GTX	8	16	16	20	24
Ресурсы ввода/вывода	Количество банков ввода/вывода	12	19	20	24	27
	Максимальное число пользовательских выводов	360	640	680	840	960
	Максимальное число дифференциальных пар выводов	180	320	340	420	480
	Поддерживаемые стандарты сигналов ввода/вывода	VTTL, LVCMOS (3,3; 2,5; 1,8; 1,5 и 1,2 В), PCI (33 и 66 МГц), PCI-X, GTL и GTLP, HSTL 1,5 и 1,8 В (Класс I, II, III и IV), HSTL 1,2 В (Класс I), SSTL 1,8 и 2,5 В (Класс I и II), LVDS и Extended LVDS (2,5 В), BLVDS (Bus LVDS), ULVDS, Hypertransport, Differential HSTL 1,5 и 1,8 В (Класс I и II), Differential SSTL 1,8 и 2,5 В (Класс I и II), RSDS (2,5 В point-to-point)				
Варианты быстройдействия ПЛИС	Варианты быстройдействия для коммерческого исполнения	-1, -2, -3	-1, -2, -3	-1, -2, -3	-1, -2, -3	-1, -2
	Варианты быстройдействия для промышленного исполнения	-1, -2	-1, -2	-1, -2	-1, -2	-1
Конфигурационная память	Объем конфигурационной памяти, Мбит	13,5	27,0	39,4	49,2	70,9

Таблица 2. Типы корпусного исполнения ПЛИС семейства Virtex-5 FXT

Тип кристалла	Тип корпуса ПЛИС					
	FF665, FFG665		FF1136, FFG1136		FF1738, FFG1738	
	27x27 мм		35x35 мм		42,5x42,5 мм	
	Количество высокоскоростных приемопередатчиков RocketIO GTX	Число пользовательских выводов	Количество высокоскоростных приемопередатчиков RocketIO GTX	Число пользовательских выводов	Количество высокоскоростных приемопередатчиков RocketIO GTX	Число пользовательских выводов
XC5VFX30T	8	360	—	—	—	—
XC5VFX70T	8	360	16	640	—	—
XC5VFX100T	—	—	16	640	16	680
XC5VFX130T	—	—	—	—	20	840
XC5VFX200T	—	—	—	—	24	960

- возможность использования до четырех встроенных аппаратных модулей PCI Express, функционирующих в сочетании с высокоскоростными приемопередатчиками RocketIO GTX.

Более подробно особенности аппаратных процессорных блоков и высокоскоростных приемопередатчиков RocketIO GTX будут рассмотрены в следующем разделе.

В состав семейства Virtex-5 FXT входит пять типов ПЛИС, содержащих от 32 768 до 196 608 логических ячеек Logic Cells. Основные характеристики кристаллов рассматриваемого семейства, отражающие сведения об объеме доступных ресурсов различного типа, приведены в таблице 1.

Информация о корпусном исполнении каждого типа ПЛИС семейства Virtex-5 FXT

с указанием количества доступных высокоскоростных приемопередатчиков RocketIO GTX и пользовательских выводов представлена в таблице 2.

Все кристаллы семейства Virtex-5 FXT обладают совместимостью по выводам в случае использования одинаковых корпусов. Кроме того, ПЛИС нового семейства совместимы с кристаллами других платформ серии Virtex-5 в однотипном корпусном исполнении. Тем самым существенно облегчается переход от одного семейства ПЛИС к другому. Информация о совместимости ПЛИС различных семейств серии Virtex-5 приведена в таблице 3.

Более подробное описание технических характеристик и архитектуры кристаллов семейства Virtex-5 FXT можно найти в [1–11].

Таблица 3. Совместимость ПЛИС различных семейств серии Virtex-5

Семейство ПЛИС	Virtex-5 LXT								Virtex-5 SXT				Virtex-5 FXT				
	XC5VLX20T	XC5VLX30T	XC5VLX50T	XC5VLX85T	XC5VLX110T	XC5VLX155T	XC5VLX220T	XC5VLX330T	XC5VSX35T	XC5VSX50T	XC5VSX95T	XC5VSX240T	XC5VFX30T	XC5VFX70T	XC5VFX100T	XC5VFX130T	XC5VFX200T
Число логических ячеек Logic Cells	20 K	30 K	50 K	85 K	110 K	155 K	220 K	330 K	35 K	50 K	95 K	240 K	30 K	70 K	100 K	130 K	200 K
Объем блочной памяти	0,9	1,3	2,2	3,9	5,3	7,6	7,6	11,6	3,0	4,8	8,8	18,6	2,4	5,3	8,2	10,7	16,4
Количество секций DSP48E	24	32	48	48	64	128	128	192	192	288	640	1056	64	128	256	320	384
Число высокоскоростных приемопередатчиков RocketIO GTP	4	8	12	12	16	16	16	24	8	12	16	24	0	0	0	0	0
Число высокоскоростных приемопередатчиков RocketIO GTX	0	0	0	0	0	0	0	0	0	0	0	0	8	16	16	20	24
Количество процессорных блоков PowerPC 440	0	0	0	0	0	0	0	0	0	0	0	0	1	1	2	2	2
Число аппаратных модулей PCI Express	1	1	1	1	1	1	1	1	1	1	1	1	1	3	3	3	4
Количество аппаратных блоков 10/100/1000 Mb/s Ethernet MAC	2	4	4	4	4	4	4	4	4	4	4	4	4	4	4	6	8
<b>Тип корпуса</b>																	
FF323, FFG323	172,4	172,4															
FF665, FFG665		360,8	360,8						360,8	360,8			360,8	360,8			
FF1136, FFG1136			480,12	480,12	640,16	640,16				480,12	640,16		640,16	640,16			
FF1738, FFG1738					680,16	680,16	680,16	960,24				960,24			680,16	840,20	960,24

### Новые аппаратные модули в архитектуре ПЛИС семейства Virtex-5 FXT

Принципиально новыми элементами, которые появились в архитектуре кристаллов Virtex-5 FXT, являются аппаратные процессорные блоки PowerPC 440 и высокоскоростные приемопередатчики типа RocketIO GTX. Аппаратные процессорные блоки нового поколения, используемые в составе ПЛИС семейства Virtex-5 FXT, имеют существенные преимущества по сравнению с процессорными модулями, применяемыми в кристаллах Virtex-4 FX. К числу таких преимуществ относятся:

- более высокая степень интеграции;
- использование в качестве основы блока микропроцессорного ядра нового поколения PowerPC 440, отличающегося усовершенствованной архитектурой и повышенной производительностью;
- включение в состав архитектуры быстродействующего матричного переключателя Crossbar Switch, осуществляющего высокоскоростную коммутацию пяти входных и двух выходных шин, обеспечивающего высокую степень гибкости и одновременный доступ к памяти и устройствам ввода/вывода;
- применение новой версии шины PLB (Processor Local Buses) — PLB46 с двукратным расширением разрядности до 128 разрядов, обуславливающим значительный рост пропускной способности и, как следствие, повышение производительности разрабатываемых встраиваемых систем;
- поддержка четырех интегрированных каналов прямого доступа к памяти DMA (Direct Memory Access), не требующих дополнительных логических ресурсов ПЛИС для их реализации;
- применение выделенного интерфейса MCI (Memory Control Interface), обеспечивающего высокую скорость обмена данными

между микропроцессорным ядром и памятью.

Структура аппаратного процессорного блока ПЛИС семейства Virtex-5 FXT показана на рис. 1.

Основными элементами архитектуры процессорного блока кристаллов рассматриваемого семейства являются:

- микропроцессорное ядро PowerPC 440;
- высокоскоростной матричный переключатель Crossbar Switch;
- контроллер сопроцессора APU (Auxiliary Processing Unit);
- контроллер прямого доступа к памяти DMA;
- контроллеры шин MPLB (Master Processor Local Bus) и SPLB0/1 (Slave Processor Local Bus 0/1);
- контроллер интерфейса памяти MCI (Memory Control Interface);
- контроллер интерфейса управления внешними устройствами DCR (Device Control Register).

Микропроцессорное ядро PowerPC 440 отличается от аппаратного модуля PowerPC 405, применяемого в кристаллах семейства предыдущего поколения Virtex-4 FX, внедрением новых архитектурных решений, наиболее важные из которых:

- двукратное увеличение объема встроенной кэш-памяти данных и команд до 32 кбайт, повышающее эффективность работы с памятью;
- четырехкратное увеличение разрядности шины, предназначенной для подключения сопроцессора, до 128 разрядов в сочетании с возможностью работы сопроцессора на максимальной частоте 550 МГц, позволяющее добиться повышенной производительности разрабатываемых систем;
- увеличение разрядности шины данных до 128 разрядов и шины адреса до 36 разрядов, создающее предпосылки существенного повышения скорости передачи данных и объема адресуемого пространства физической памяти;

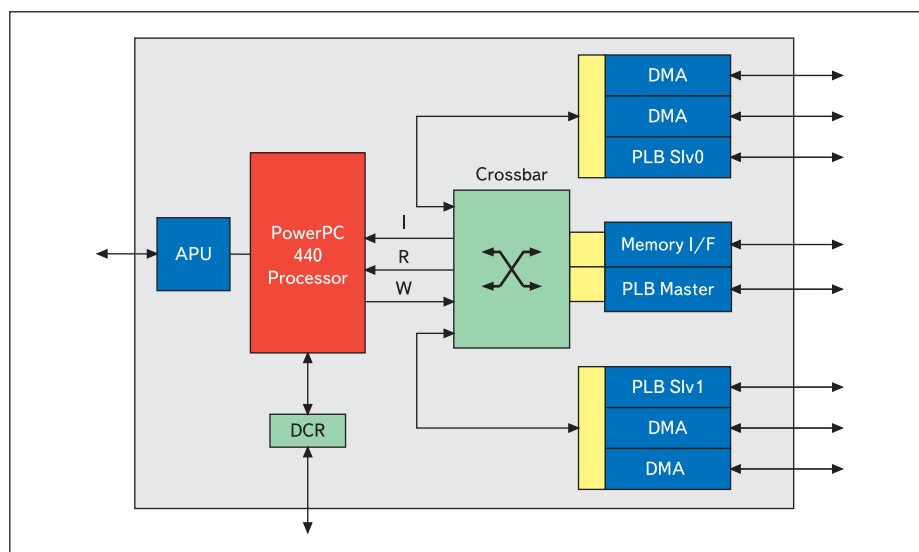


Рис. 1. Структура аппаратного процессорного блока, применяемого в ПЛИС семейства Virtex-5 FXT

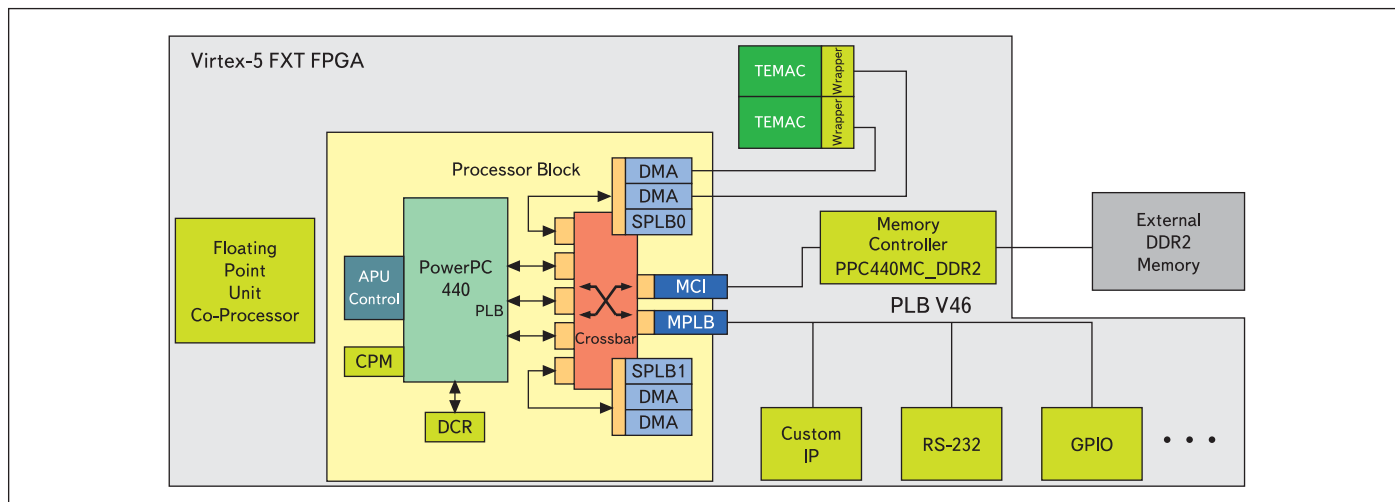


Рис. 2. Типовой вариант архитектуры встраиваемой системы, реализуемой на основе аппаратного процессорного блока в ПЛИС семейства Virtex-5 FXT

- применение семиступенчатого конвейера вместо пятиступенчатого, повышающего эффективность процесса выполнения микропроцессорных инструкций;
- использование модернизированного устройства управления памятью MMU (Memory Management Unit), поддерживающего максимальный объема страниц, равный 256 Мбайт.

На рис. 2 приведен один из типовых вариантов архитектуры встраиваемой системы, реализуемой на основе аппаратного процессорного блока в ПЛИС семейства Virtex-5 FXT.

Для достижения максимальной производительности проектируемых систем в кристаллах Virtex-5 FXT, содержащих два процессорных блока, предусмотрена возможность их совместного использования. Схема сопряжения процессорных блоков, обеспечивающая двукратное увеличение производительности разрабатываемых встраиваемых систем, реализуемых на основе ПЛИС XC5VFX100T, XC5VFX130T FXT и XC5VFX200T FXT, представлена на рис. 3.

Новые процессорные блоки полностью поддерживаются средствами проектирования встраиваемых микропроцессорных систем Xilinx Embedded Development Kit (EDK) [12, 13], начиная с версии 10.1.2. Данные средства предоставляют разработчикам также расширенные библиотеки компонентов периферийных модулей, представленных в виде IP-ядер, и обновленную версию конфигурируемого микропроцессорного ядра MicroBlaze [12, 14–16], которое может эффективно использоваться в системах, реализуемых на основе ПЛИС семейства Virtex-5 FXT.

Высокоскоростные приемопередатчики RocketIO GTX представляют собой результат дальнейшего совершенствования архитектуры аппаратных блоков RocketIO GTP, применяемых в ПЛИС семейств Virtex-5 LXT и Virtex-5 SXT. Включение дополнительных модулей позволило добиться максимальной

скорости обмена данными, равной 6,5 Гбит/с. На рис. 4 изображена структура передающего канала приемопередатчиков RocketIO GTX. Новым элементом является программируемый блок кодирования TX Gearbox, который

поддерживает коды 64B/66B и 64B/67B, используемые при реализации высокоскоростных протоколов передачи данных.

Структура приемного канала приемопередатчиков RocketIO GTX показана на рис. 5.

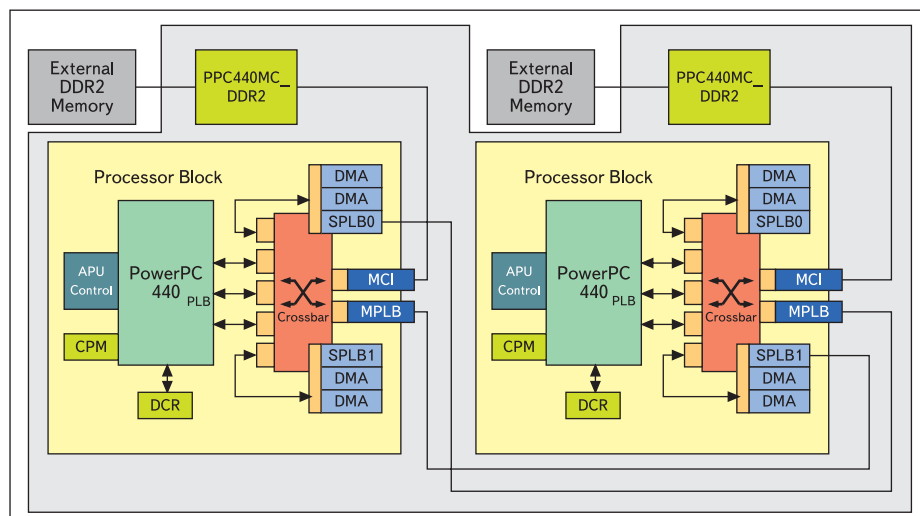


Рис. 3. Схема сопряжения процессорных блоков, обеспечивающая достижение максимальной производительности встраиваемых систем, реализуемых на основе ПЛИС семейства Virtex-5 FXT, содержащих два процессорных блока

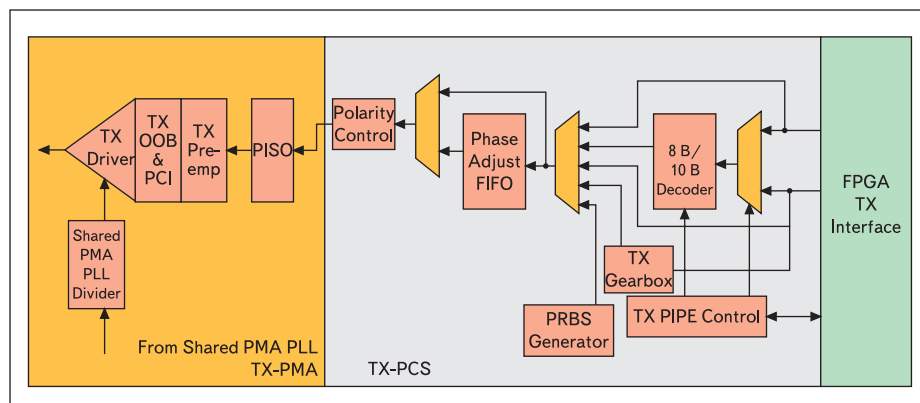


Рис. 4. Структура передающего канала приемопередатчиков RocketIO GTX, используемых в ПЛИС семейства Virtex-5 FXT

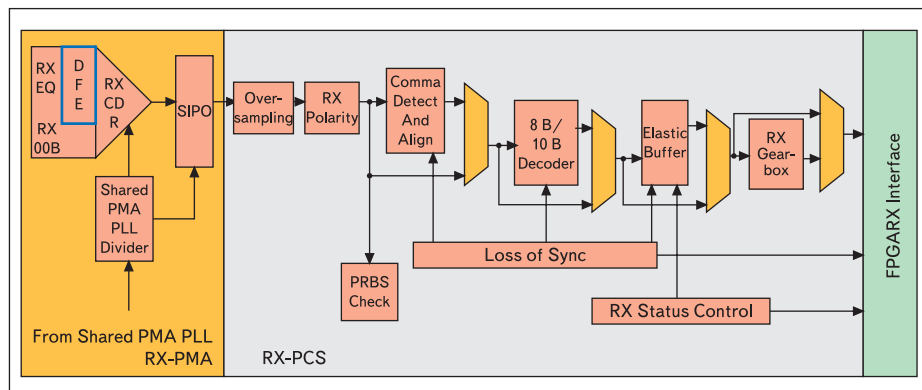


Рис. 5. Структура приемного канала приемопередатчиков RocketIO GTX, используемых в ПЛИС семейства Virtex-5 FXT

В нее включены программируемый блок декодирования RX Gearbox, поддерживающий коды 64В/66В и 64В/67В, а также дополнительный блок фильтрации DFE (Decision Feedback Equalizer), подавляющий помехи в принимаемых сигналах данных.

Для быстрого включения описания новых приемопередатчиков в проекты разрабатываемых систем в составе генератора параметризованных модулей CORE Generator [17] средств проектирования серии Xilinx ISE (Integrated Software Environment/Integrated Synthesis Environment) [18] версии 10.x предусмотрен мастер RocketIO GTX Wizards, который позволяет в диалоговом режиме указать параметры этих блоков. Приемопередатчики RocketIO GTX поддерживаются также средствами внутрикристалльной отладки проектов ChipScope Pro, начиная с версии 10.1, содержащими набор соответствующих инструментов ChipScope Pro Serial I/O Toolkit.

### Назначение и состав инструментального комплекта Xilinx Virtex-5 FXT Evaluation Kit

Инструментальный комплект Xilinx Virtex-5 FXT Evaluation Kit предназначен прежде всего для аппаратной отладки проектов встраиваемых микропроцессорных систем, выполняемых на основе ядер семейств PowerPC 440 и MicroBlaze и разрабатываемого прикладного программного обеспечения. Кроме того, архитектура инструментального модуля, входящего в данный комплект, в сочетании с большим объемом логических, специализированных и трассировочных ресурсов и высоким быстродействием кристалла ПЛИС, используемого в качестве основного компонента этого модуля, позволяет эффективно применять его для решения задач прототипирования. Типовые проекты, разработанные специально для инструментального комплекта Xilinx Virtex-5 FXT Evaluation Kit, могут служить в качестве образцов архитектурных решений при проектировании соответствующих узлов встраиваемых высокопроизводительных микропроцессорных систем.

Рассматриваемый инструментальный комплект дает разработчикам возможность практического ознакомления с возможностями и преимуществами кристаллов нового семейства ПЛИС Virtex-5 FXT. С помощью данного комплекта может наглядно осуществляться процесс изучения всех этапов сквозного проектирования встраиваемых систем на основе аппаратных и конфигурируемых микропроцессорных ядер, реализуемых в ПЛИС перспективных семейств FPGA, в среде САПР серии Xilinx ISE и Xilinx EDK.

Инструментальный комплект Xilinx Virtex-5 FXT Evaluation Kit представляет собой набор аппаратных и программных средств, необходимых для отладки разрабатываемых проектов встраиваемых микропроцессорных систем и высокоскоростных устройств приема, обработки и передачи данных на базе ПЛИС фирмы Xilinx.

В комплект входят следующие элементы:

- плата отладочного модуля Xilinx Virtex-5 FXT Evaluation Board;
- сетевой адаптер с выходным стабилизированным напряжением 5 В и максимальным током нагрузки 2,5 А, предназначенный для использования в качестве первичного источника питания инструментального модуля;
- диск DVD-ROM, содержащий новую полнофункциональную версию системы проектирования ISE Design Suite 10.1 WebPACK [18], а также оценочные версии других программных продуктов фирмы Xilinx, включая ISE Foundation, ChipScope Pro и Xilinx EDK, которые могут использоваться в течение 60 дней с момента установки.

Вся необходимая документация на рассматриваемый инструментальный модуль, включающая *Руководство пользователя Xilinx Virtex-5 FXT Evaluation Kit User Guide*, функциональную и принципиальную схемы, а также архивы исходных файлов типовых проектов, доступны на Web-странице компании Avnet в разделе *Design Resource Center* (<http://www.em.avnet.com/drc>). Перед копированием требуемых файлов следует пройти процедуру бесплатной регистрации.

### Отличительные особенности инструментального комплекта Xilinx Virtex-5 FXT Evaluation Kit

Наиболее заметные отличительные особенности инструментального комплекта Xilinx Virtex-5 FXT Evaluation Kit, характеризующие его функциональные возможности:

- использование в качестве главного компонента отладочного модуля Xilinx Virtex-5 FXT Evaluation Board кристалла XC5VFX30T, содержащего 32 768 логических ячеек, аппаратный процессорный блок, 64 секции цифровой обработки сигналов DSP48E, аппаратный модуль PCI Express, 4 аппаратных блока 10/100/1000 Mb/s Ethernet MAC и 8 высокоскоростных последовательных приемопередатчиков RocketIO GTX, который предоставляет возможность отладки встраиваемых высокопроизводительных микропроцессорных систем и быстродействующих устройств ЦОС;
- наличие элемента параллельной Flash-памяти, который по выбору пользователя может быть задействован для хранения конфигурационной информации кристалла XC5VFX30T или в составе встраиваемой микропроцессорной системы в качестве энергонезависимой памяти;
- применение внешнего высокоскоростного синхронного динамического ОЗУ с удвоенной скоростью передачи данных, выполненного в виде DDR2 SDRAM емкостью 64 Мбайт (512 Мбит), существенно расширяющее возможности оперативной памяти встраиваемых систем, реализуемых на основе соответствующих внутренних ресурсов ПЛИС XC5VFX30T;
- поддержка использования модуля System ACE Module, выпускаемого компанией Avnet, который позволяет подключать к отладочной плате карты памяти CompactFlash с большой емкостью;
- гибкая система синхронизации, предоставляющая возможность выбора источников внешних тактовых сигналов для ПЛИС;
- включение в структуру инструментального модуля дополнительных компонентов, обеспечивающих возможность полнофункциональной реализации и отладки контроллеров интерфейсов RS-232 и 10/100/1000 Ethernet PHY;
- сопряжение большого числа пользовательских выводов ПЛИС с контактами стандартного разъема расширения, соответствующего спецификации EXP, поддерживаемой периферийными инструментальными модулями (картами расширения), которые выпускаются компанией Avnet;
- наличие разъема, предназначенного для подключения стандартных нагрузочных кабелей различного типа, предлагаемых фирмой Xilinx, которые необходимы для выполнения операций конфигурирования ПЛИС XC5VFX30T и обратного считывания конфигурационных данных через порт

JTAG-интерфейса, а также для внутрисистемной отладки проектируемых устройств с помощью средств ChipScope Pro;

- наличие на плате двух разъемов, предназначенных для подключения средств отладки разрабатываемого прикладного программного обеспечения проектируемых высокопроизводительных микропроцессорных систем;
- светодиодные элементы индикации, обеспечивающие возможность визуального контроля напряжений питания, процессов конфигурирования кристалла и отладки разрабатываемых встраиваемых систем;
- возможность использования блока кнопочных и блока DIP-переключателей для выбора режимов функционирования разрабатываемых устройств, а также для управления процессом отладки аппаратной платформы и программного кода проектируемых микропроцессорных систем;
- применение комплексной схемы управления питанием, которая осуществляет функции формирования и контроля напряжений, необходимых для питания компонентов модуля, в том числе для ядра и блоков ввода/вывода кристалла FPGA семейства Virtex-5 FXT, элементов Flash ППЗУ и оперативной памяти;
- наличие на отладочной плате кнопки режима принудительной загрузки конфигурационной последовательности отлаживаемых проектов в ПЛИС;
- полная совместимость аппаратного модуля со всем семейством систем проектирования и программирования кристаллов фирмы Xilinx серии ISE (ISE WebPACK и ISE Foundation) версии 10.x и наличие файлов описания, обеспечивающих поддержку средствами разработки встраиваемых микропроцессорных систем Xilinx EDK версии 10.x.

### Архитектура отладочного модуля Xilinx Virtex-5 FXT Evaluation Board

Инструментальный модуль Xilinx Virtex-5 FXT Evaluation Board изображен на рис. 6. Все компоненты смонтированы на печатной плате с двухсторонним размещением компонентов.

Структурное представление архитектуры рассматриваемого инструментального модуля приведено на рис. 7.

В архитектуру аппаратного отладочного модуля Xilinx Virtex-5 FXT Evaluation Board входят следующие функциональные блоки:

- кристалл XC5VFX30T семейства Virtex-5 FXT в корпусе FFG665 с шариковыми выводами для бессвинцовой пайки, на основе ресурсов которого реализуется основная часть аппаратной платформы отлаживаемой системы;
- блок памяти;
- интерфейсный блок;
- блок конфигурирования и отладки;

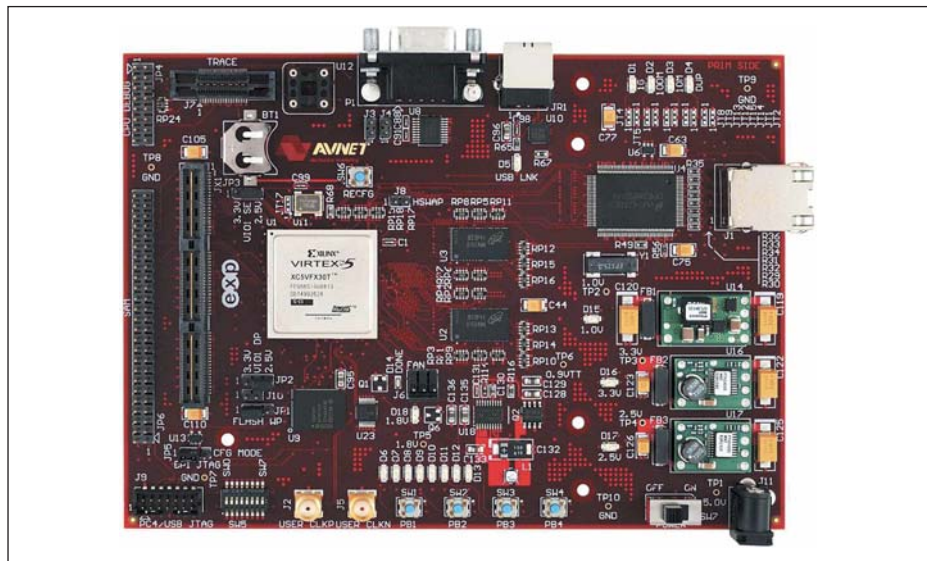


Рис. 6. Внешний вид инструментального модуля Xilinx Virtex-5 FXT Evaluation Board (вид сверху)

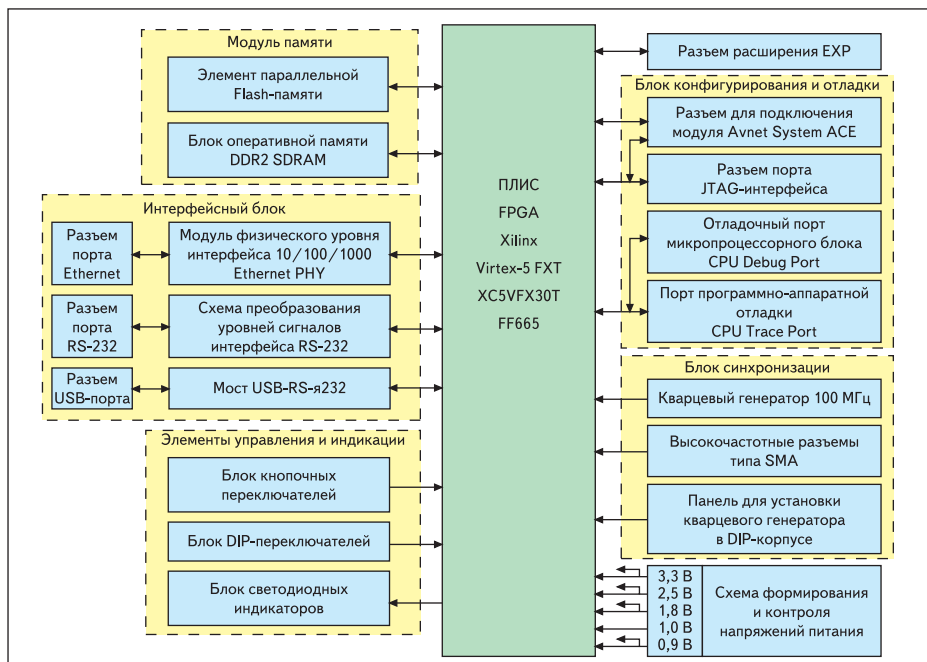


Рис. 7. Структурное представление архитектуры отладочного модуля Xilinx Virtex-5 FXT Evaluation Board

- блок синхронизации, предназначенный для формирования исходных внешних (по отношению к ПЛИС XC5VFX30T) тактовых сигналов;
- элементы управления и индикации;
- схема формирования и контроля питающих напряжений;
- разъем расширения, соответствующий спецификации EXP.

Сведения об архитектурных особенностях, функциональных возможностях и основных технических характеристиках кристалла XC5VFX30T, который является основообразующим элементом рассматриваемого инструментального модуля, были приведены в первых двух разделах настоящей публикации.

Схема блока памяти и его сопряжения с ПЛИС XC5VFX30T показана на рис. 8. В блок памяти входят элементы параллельной Flash-памяти и оперативных запоминающих устройств.

Элемент параллельной Flash-памяти выполнен на основе ИС PC28F128P30T85 фирмы Numonux, образованной в результате слияния отделившихся подразделений компаний Intel и STMicroelectronics. Данное ППЗУ обладает информационной емкостью 16 Мбайт с организацией 8 М × 16 разрядов. Этот элемент может применяться для хранения конфигурационной последовательности кристалла XC5VFX30T или в качестве энергонезависимой памяти в составе отлаживаемых встраиваемых микропроцессорных систем.

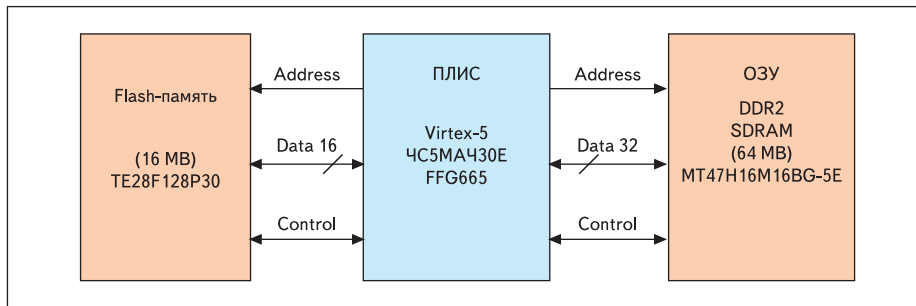


Рис. 8. Структурная схема блока памяти и его сопряжения с ПЛИС XC5VFX30T в инструментальном модуле Xilinx Virtex-5 FXT Evaluation Board

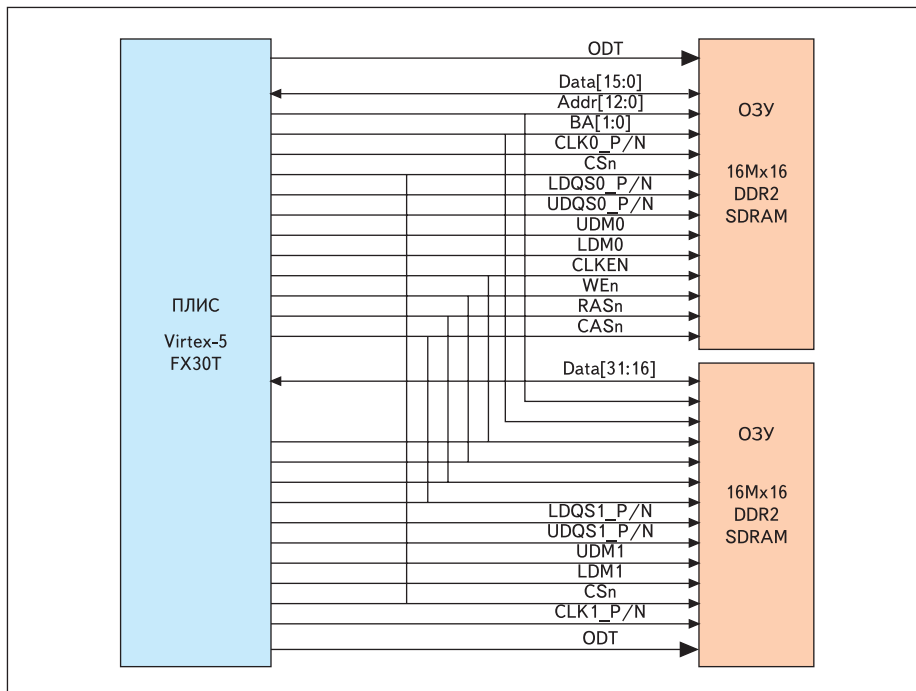


Рис. 9. Схема подключения высокоскоростного ОЗУ к ПЛИС XC5VFX30T в отладочном модуле Xilinx Virtex-5 FXT Evaluation Board

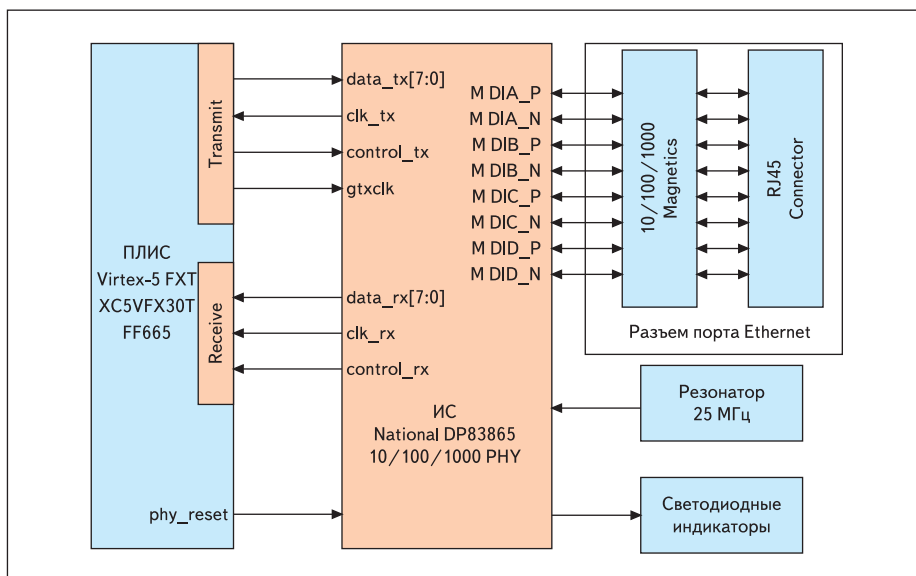


Рис. 10. Структурная схема реализации контроллера интерфейса Ethernet 10/100/1000 в инструментальном модуле Xilinx Virtex-5 FXT Evaluation Board

Внешнее высокоскоростное ОЗУ реализовано в виде двух микросхем синхронной динамической памяти DDR2 SDRAM MT47H16M16BG-5E, выпускаемых фирмой Micron Technology Incorporated. Информационная емкость каждой из этих ИС составляет 256 Мбит с организацией в виде четырех банков 4 М × 16 разрядов. Все входы и выходы этих микросхем памяти подключены к пользовательским выводам ПЛИС XC5VFX30T, которые относятся к 11-му и 13-му банкам (Bank 11 и Bank 13) блоков ввода/вывода. Для питания выходных каскадов этих блоков ПЛИС и микросхемы памяти используется напряжение 1,8 В. Подключение высокоскоростного ОЗУ к ПЛИС XC5VFX30T в отладочном модуле Xilinx Virtex-5 FXT Evaluation Board показано на рис. 9. Данное ОЗУ может применяться в качестве внешней оперативной памяти в составе проектов встраиваемых микропроцессорных систем, разрабатываемых на основе аппаратных блоков PowerPC 440 и конфигурируемых ядер MicroBlaze.

Интерфейсный блок рассматриваемого инструментального модуля предоставляет разработчикам возможность реализации и отладки в составе разрабатываемых встраиваемых микропроцессорных систем контроллеров интерфейсов Ethernet, RS-232, и USB. В него входят компоненты, предназначенные для согласования с входными и выходными уровнями сигналов этих интерфейсов, и соответствующие разъемы. Сопряжение с физическим уровнем интерфейса Ethernet обеспечивает ИС DP83865DVH, выпускаемая фирмой National Semiconductor. Схема реализации контроллера интерфейса Ethernet 10/100/1000 в инструментальном модуле показана на рис. 10. Кроме соответствующих ресурсов ПЛИС XC5VFX30T и микросхемы DP83865DVH, в нее входят кварцевый резонатор с частотой 25 МГц и четыре светодиодных индикатора. Кварцевый резонатор необходим для работы внутреннего генератора тактового сигнала ИС DP83865DVH. Светодиодные индикаторы используются для отображения информации о текущем режиме работы контроллера Ethernet 10/100/1000.

Для реализации асинхронного последовательного порта в соответствии с электрическими характеристиками интерфейса RS-232 в состав модуля включена схема преобразования уровней сигналов, выполненная на основе ИС ICL3222CA фирмы Harris/Intersil.

Данная микросхема содержит два канала преобразования уровней сигналов. Первый канал задействован для трансляции принимаемых и передаваемых данных RXD и TXD, а второй — для сигналов управления интерфейса RS-232 CTS и RTS. Если сигналы CTS и RTS не участвуют в используемом протоколе приема и передачи данных, то их можно отключить с помощью коммутационных переключателей J3 и J4. На рис. 11 представлена схема реализации асинхронного последовательного порта в инструментальном модуле.

Для организации взаимодействия встраиваемых систем, разрабатываемых на базе ПЛИС XC5VFX30T, с универсальной последовательной шиной USB в составе интерфейсного блока инструментального модуля Xilinx Virtex-5 FXT Evaluation Board предусмотрена микросхема CP2120 компании Silicon Laboratories Inc, представляющая собой мост USB-UART. При подключении отладочного модуля к персональному компьютеру необходимо установить комплект драйверов для операционной системы Windows 2000 или Windows XP, который доступен вместе с документацией на Web-странице компании Avnet, указанной выше. Сопряжение кристалла XC5VFX30T с универсальной последовательной шиной USB схематически представлено на рис. 12.

Блок конфигурирования и отладки включает разъемы портов, предназначенных для конфигурирования ПЛИС XC5VFX30T и отладки разрабатываемых проектов, а также группу коммутационных переключателей CFG MODE, кнопку RECFG и светодиодный индикатор DONE. Разъем JTAG-порта инструментального модуля позволяет применять для операций конфигурирования, периферийного сканирования и внутрикристалльной отладки разрабатываемых систем с помощью средств ChipScope Pro универсальные загрузочные кабели, выпускаемые фирмой Xilinx: Parallel Cable IV (PC IV) и Platform Cable USB II.

С помощью разъема SAM к отладочной плате можно подключить интерфейсный модуль System ACE Module, который предоставляет возможность использования карт памяти CompactFlash. Эти карты памяти могут применяться для хранения вариантов конфигурационных последовательностей кристалла XC5VFX30T или задействоваться в составе разрабатываемых встраиваемых систем. В частности, карты памяти CompactFlash совместно с интерфейсным модулем позволяют выполнять загрузку операционных систем реального времени в отлаживаемых микропроцессорных системах.

Разъем порта CPU Debug Port предназначен прежде всего для загрузки в процессе отладки исполняемого кода микропроцессорного ядра PowerPC в ПЛИС XC5VFX30T и управления этим процессом. Для расширенной отладки разрабатываемого прикладного программного обеспечения встраиваемых микропроцессорных систем на аппаратном уровне в модуле предусмотрен порт CPU Trace Port. Данный порт позволяет осуществлять отладку программ для микропроцессорного ядра PowerPC в режиме реального времени.

Инструментальный модуль Xilinx Virtex-5 FXT Evaluation Board поддерживает три варианта конфигурирования ПЛИС XC5VFX30T. Конфигурационная последовательность может загружаться через порт JTAG-интерфейса, из элемента параллельной Flash-памяти, установленного на отладочной плате, и карты памяти CompactFlash, подключаемой с по-

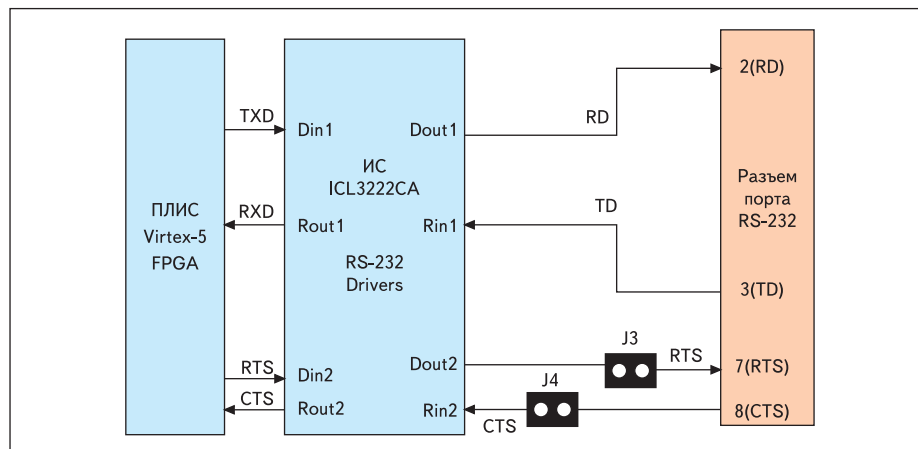


Рис. 11. Структурная схема реализации асинхронного последовательного порта RS-232 в инструментальном модуле Xilinx Virtex-5 FXT Evaluation Board

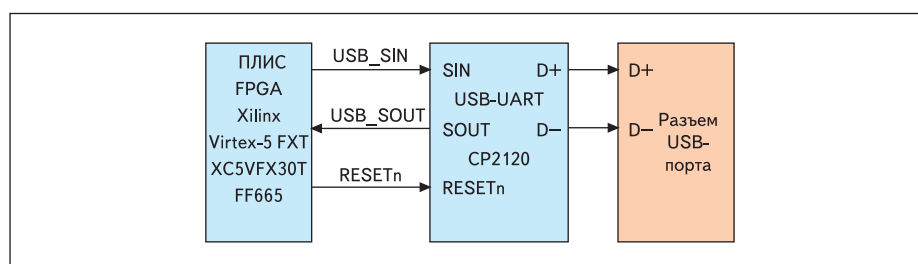


Рис. 12. Структурная схема сопряжения кристалла XC5VFX30T с универсальной последовательной шиной USB в инструментальном модуле Xilinx Virtex-5 FXT Evaluation Board

мощью модуля System ACE Module. Выбор режима конфигурирования кристалла и источника конфигурационных данных осуществляется с помощью коммутационных переключателей CFG MODE. Кнопка RECFG предоставляет пользователю возможность осуществления принудительной загрузки конфигурационной последовательности в ПЛИС из выбранного источника в любой момент времени. Светодиодный индикатор DONE используется для визуального контроля завершения процесса конфигурирования кристалла XC5VFX30T.

В состав блока синхронизации рассматриваемого отладочного модуля входят следующие компоненты: кварцевый генератор, панель для установки дополнительного кварцевого генератора в восьмиконтатном DIP-корпусе и два высокочастотных разъема типа SMA. Основным элементом блока синхронизации является кварцевый генератор тактового сигнала с частотой 100 МГц. Формируемый этим генератором сигнал поступает на один из специально выделенных контактов ПЛИС, подключенных к глобальным буферным элементам.

Так как выход каждого глобального буферного элемента связан с глобальной сетью тактовых линий и цифровыми блоками управления синхронизацией DCM-кристалла семейства Virtex-5 FXT, то такое решение позволяет использовать модули DCM для генерации совокупности тактовых

сигналов, соответствующих требованиям разрабатываемой системы. Каждый цифровой блок управления синхронизацией предоставляет возможность формирования тактовых сигналов с различным фазовым сдвигом, с удвоенной частотой и с одним из возможных коэффициентов умножения/деления частоты по отношению ко входному тактовому сигналу. Сигналы синхронизации, вырабатываемые модулями DCM, могут применяться для тактирования как внутренних, так и внешних (по отношению к ПЛИС) элементов проектируемой системы, в частности, внешней оперативной памяти. При этом для устранения временных перекосов, возникающих при распространении сигналов синхронизации внутри кристалла и на уровне печатной платы инструментального модуля, можно задействовать схему цифровой автоподстройки задержек (Delay Locked Loop, DLL), входящую в DCM.

Панель для установки дополнительного кварцевого генератора ориентирована таким образом, чтобы выход этого генератора оказывался также подключенным к глобальному тактовому входу ПЛИС. Высокочастотные разъемы типа SMA могут использоваться для подключения внешних однополюсных или дифференциальных сигналов синхронизации. Эти разъемы сопряжены с глобальными тактовыми входами кристалла XC5VFX30T. Таким образом, любой из возможных сигналов синхронизации позволяет использовать



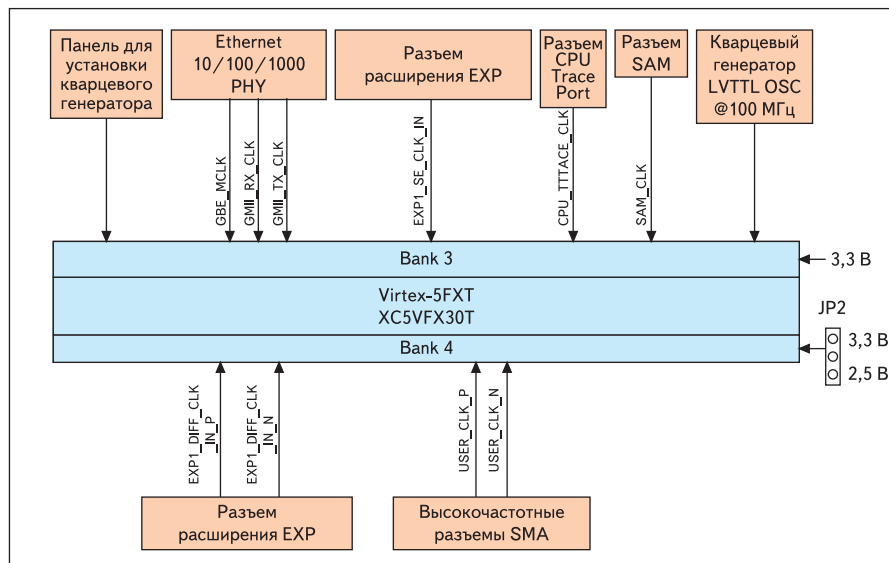


Рис. 13. Схема подключения внешних тактовых сигналов к ПЛИС XC5VFX30T в инструментальном модуле Xilinx Virtex-5 FXT Evaluation Board

модули DCM для формирования совокупности тактовых сигналов с требуемыми значениями частоты и фазы. На рис. 13 показана схема подключения внешних тактовых сигналов к ПЛИС.

В состав блока управления и индикации представляемого инструментального модуля входит восемь светодиодов, восьмипозиционный DIP-переключатель и четыре кнопки, подключенные к пользовательским выводам ПЛИС. Светодиодные индикаторы могут использоваться в процессе отладки разрабатываемой системы, например для визуального контроля ее функционирования или в процессе тестирования инструментального модуля. Кнопочные и DIP-переключатели могут применяться непосредственно в проектируемых устройствах для выполнения различных функций: сброса, инициализации, изменения режима работы, а также для управления процессом отладки аппаратной части и программного обеспечения встраиваемых микропроцессорных систем.

Комплексная схема формирования и контроля питающих напряжений реализована на основе супервизора TPS3828 и четырех интегральных стабилизаторов серий РТН и TPS, выпускаемых компанией Texas Instruments. Кроме того, в эту схему входят выключатель и четыре светодиодных индикатора D15–D18. Интегральный стабилизатор РТН05050WA формирует напряжение 1,0 В для питания ядра кристалла семейства Virtex-5 FXT. Две микросхемы РТН04000W вырабатывают напряжения 3,3 и 2,5 В, которые используются для питания блоков ввода/вывода ПЛИС XC5VFX30T и других компонентов инструментального модуля. С помощью интегрального стабилизатора TPS51116PWP создаются напряжения 1,8 и 0,9 В, предназначенные для питания ИС оперативной памяти и соответствующих блоков ввода/вывода ПЛИС. В качестве входно-

го напряжения для всех интегральных стабилизаторов используется напряжение 5 В от сетевого адаптера. Светодиодные индикаторы D15–D18 предназначены для отображения информации о напряжениях, вырабатываемых интегральными стабилизаторами: 1,0; 3,3; 2,5 и 1,8 В соответственно.

Группа выводов ПЛИС XC5VFX30T, включающая 84 пользовательских входа/выхода, разведена к контактам стандартного разъема расширения, соответствующего спецификации EXP. Данный разъем предоставляет возможность подключения к отладочному модулю Xilinx Virtex-5 FXT Evaluation Board внешних унифицированных плат расширения, которые соответствуют указанной спецификации. Подробная информация о спецификации EXP и всех доступных типах плат расширения, выпускаемых компанией Avnet, представлена на Web-странице [www.em.avnet.com/exp](http://www.em.avnet.com/exp).

### Дальнейшее развитие серии ПЛИС Virtex-5

Представленное в данной статье новое семейство ПЛИС Virtex-5 FXT, занимающее самый верхний уровень в иерархии кристаллов серии Virtex-5 не завершает эту серию. Уже в начале следующего года фирма Xilinx планирует выпуск следующего семейства ПЛИС — Virtex-5 TXT. По предварительной информации, Virtex-5 TXT будет содержать два типа кристаллов, включающих 148 480 и 239 616 логических ячеек. Основными отличиями ПЛИС данного семейства от кристаллов Virtex-5 FXT являются отсутствие процессорных блоков и двукратное увеличение числа высокоскоростных приемопередатчиков типа RocketIO GTX.

Таким образом, фирма Xilinx последовательно продолжает стратегию одновременного про-

изводства нескольких семейств кристаллов одной серии, каждое из которых ориентировано на определенную область применения. Тем самым разработчикам предоставляется возможность выбора кристаллов с оптимальным набором встроенных аппаратных модулей, соответствующим решаемым задачам. При этом пользователь не переплачивает за дополнительные, не применяемые в проектах, специализированные ресурсы ПЛИС.

За информацией об инструментальном комплекте Xilinx Virtex-5 FXT Evaluation Kit и ПЛИС семейства Virtex-5 FXT можно обратиться к компании SILICA An Avnet Company ([www.silica.com](http://www.silica.com)), которая является официальным дистрибьютором фирм Xilinx, Texas Instruments, Micron Technology Incorporated и Numonux в странах Европы, включая Россию, Беларусь и Украину.

### Литература

1. Virtex-5 Family Overview. Xilinx, 2008.
2. Virtex-5 FXT Family: Data Sheet. Xilinx, 2008.
3. Virtex-5 FPGA User Guide. Xilinx, 2008.
4. Virtex-5 FPGA XtremeDSP Design Considerations. Xilinx, 2008.
5. Virtex-5 FPGA Configuration User Guide. Xilinx, 2008.
6. Virtex-5 FPGA RocketIO GTP Transceiver User Guide. Xilinx, 2008.
7. Virtex-5 FPGA RocketIO GTX Transceiver User Guide. Xilinx, 2008.
8. Virtex-5 FPGA Tri-Mode Ethernet Media Access Controller. Xilinx, 2008.
9. Virtex-5 FPGA Integrated Endpoint Block for PCI Express Designs User Guide. Xilinx, 2008.
10. Embedded Processor Block in Virtex-5 FPGAs Reference Guide. Xilinx, 2008.
11. Virtex-5 FPGA System Monitor User Guide. Xilinx, 2008.
12. Зотов В. Проектирование встраиваемых микропроцессорных систем на основе ПЛИС фирмы Xilinx. М.: Горячая линия — Телеком. 2006.
13. Зотов В. Embedded Development Kit — система проектирования встраиваемых микропроцессорных систем на основе ПЛИС серий FPGA фирмы Xilinx // Компоненты и технологии. 2004. № 4.
14. Зотов В. MicroBlaze — семейство 32-разрядных микропроцессорных ядер, реализуемых на основе ПЛИС фирмы Xilinx // Компоненты и технологии. 2003. № 9.
15. Зотов В. Система команд микропроцессорного ядра MicroBlaze // Компоненты и технологии. 2004. № 1–3.
16. Зотов В. Организация памяти микропроцессорного ядра MicroBlaze // Компоненты и технологии. 2004. № 5.
17. Зотов В. Проектирование цифровых устройств, реализуемых на базе ПЛИС FPGA фирмы Xilinx, с использованием средств CORE Generator // Компоненты и технологии. 2006. № 12. 2007. № 1.
18. Зотов В. Проектирование цифровых устройств на основе ПЛИС фирмы Xilinx в САПР WebPack ISE. М.: Горячая линия — Телеком, 2003.