

Драйверы MOSFET / IGBT технологии SOI с усовершенствованными каскадами сдвига уровня

Схема сдвига уровня необходима для реализации высоковольтной развязки входных и выходных каскадов интегральных неизолирующих драйверов управления затворами (HVIC). Она также позволяет повысить устойчивость микросхемы к смещениям отрицательной полярности, наводимым на выходные каскады из-за наличия паразитных элементов схемы. Драйверы HVIC, не имеющие гальванической развязки, используются, как правило, в преобразователях малой и средней мощности. Разработка интегральных схем управления изолированным затвором MOSFET / IGBT на основе современной технологии SOI (Silicon On Isolator), исключающей возможность защелкивания (latch-up effect), требует применения усовершенствованной схемы сдвига уровня. Возможности такой схемы продемонстрированы с помощью нового 7-канального драйвера с рабочим напряжением 600 В, разработанного компанией SEMIKRON. Испытания показали, что устройство сохраняет работоспособность при отрицательном смещении до -45 В для каскадов нижнего уровня и -20 В для каскадов управления транзисторами верхнего плеча.

М. РОССБЕРГ (M. ROßBERG)
Б. ВОГЛЕР (B. VOGLER)
Р. ХЕРЦЕР (R. HERZER)
Перевод: Андрей КОЛПАКОВ
Andrey.Kolpakov@semikron.com

Введение

Область применения интеллектуальных силовых модулей (IPM) с силовым каскадом и схемой управления затворами, расположенными на одном кристалле [1] или на отдельных кристаллах [2], ограничена низковольтными преобразователями малой мощности (напряжение 600 и 1200 В, ток — до 30 А).

В широко применяемых в настоящее время интегральных схемах драйверов с напряжением 600 и 1200 В для разделения входных и выходных каскадов используются схе-

мы сдвига уровня, построенные на базе высоковольтных *p-n*-структур [3]. Несмотря на то, что микросхемы HVIC востребованы рынком, возможности сдвига потенциалов с помощью полупроводниковых переходов очень ограничены. Отрицательные переходные перенапряжения, наводимые при коммутации токов в паразитных индуктивностях силовых цепей, приводят к защелкиванию паразитных триггерных структур, неизбежно присутствующих в выходных каскадах HVIC-драйверов. Этот вопрос полностью не решен до сих пор в первую оче-

редь из-за низкой устойчивости каскадов сдвига уровня.

Производители интегральных схем управления затворами MOSFET/IGBT пытаются частично ослабить эффект, используя так называемые структуры с подавлением неосновных носителей [4–6], однако даже это решение не позволяет полностью исключить защелкивание, возможность которого сохраняется при достаточно высоких скоростях коммутации. Кроме того, диапазон рабочих температур HVIC-микросхем ограничен уровнем 150 °С из-за резкого возрастания то-

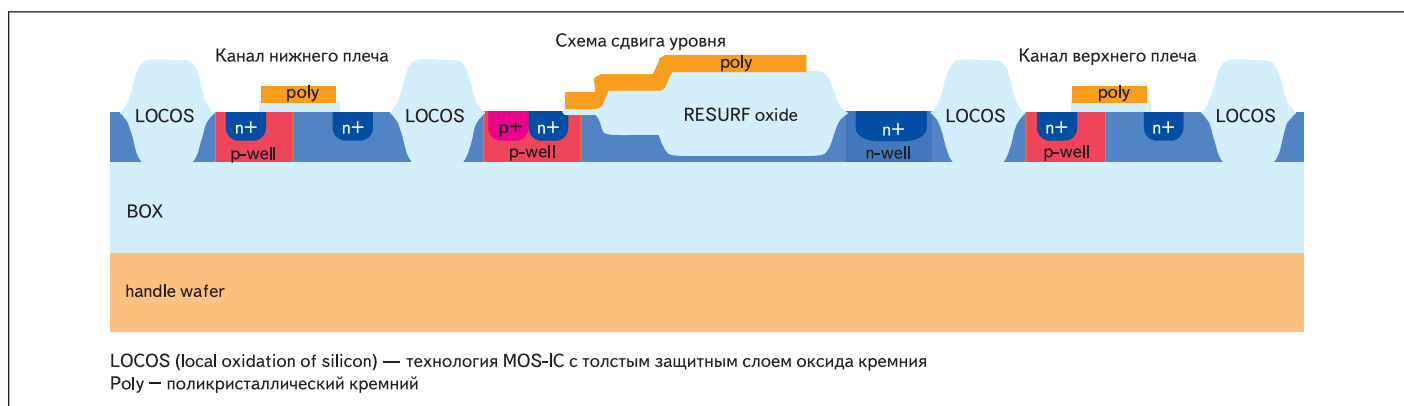


Рис. 1. Поперечное сечение структуры HVSOI

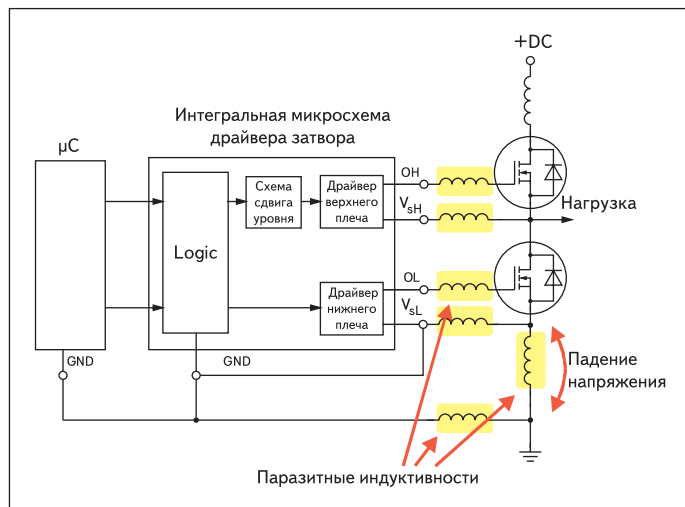


Рис. 2. Влияние паразитных элементов на цепь управления затвором

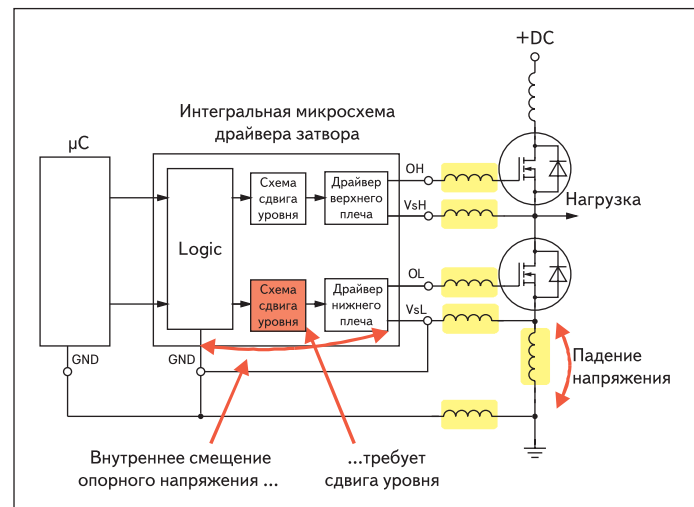


Рис. 3. Подключение драйвера нижнего уровня (BOT) к опорному потенциалу

ков утечки смещающих p - n -переходов при нагреве, в то время как современные силовые ключи способны работать при температурах до 175 °C и даже выше.

Высоковольтная базовая технология SOI-CMOS [7, 8] обеспечивает абсолютное подавление эффекта защелкивания, поскольку все активные элементы структуры SOI имеют диэлектрическую изоляцию (рис. 1). CMOS-каскады нижнего и верхнего уровня, построенные на базе квази-монокристаллических транзисторных ячеек, расположены на изолированных кремниевых «островках», разделенных зонами LOCOS (local oxidation of silicon) — защитными слоями оксида кремния. Рабочая температура интегральных схем, построенных на основе такой топологии, может достигать 200 °C [9].

Потенциальные проблемы подключения интегральных драйверов

На рис. 2 показана упрощенная функциональная схема полумостового каскада, содержащего силовые MOS-транзисторы и интегральный драйвер затвора. На схеме приведены паразитные индуктивности, оказывающие основное влияние на силовые цепи коммутации и линии управления. Даже в слаботочных применениях, не говоря уже о мощных схемах, в которых силовые каскады коммутируют достаточно большие токи с высокими значениями dI/dt , наличие паразитных компонентов приводит к появлению пиковых выбросов напряжения обеих полярностей. Естественно, что присутствие активного сопротивления силовых цепей в свою очередь увеличивает активные потери.

В простейшей схеме подключения интегрального драйвера затвора, показанной на рис. 2, опорный вывод V_{SL} драйвера нижнего уровня (BOT) соединен с точкой заземления входной сигнальной цепи (GND). В этом случае положительное или отрицательное на-

пряжение смещения, наведенное из-за наличия паразитных элементов, воздействует на цепь управления затвором ключа нижнего плеча, что может привести к сбоям в работе и повреждению микросхемы.

Более корректная схема, позволяющая снизить влияние паразитных элементов на потенциал затвора транзистора нижнего плеча, приведена на рис. 3. На показанной схеме вывод V_{SL} подключен непосредственно к источнику управляемого ключа BOT. В этом случае влияние распределенных паразитных элементов силовых цепей существенно снижается. Кроме того, для компенсации распределенной индуктивности цепи управления затвором должно применяться стандартное решение — витая пара проводников, соединяющих выходы драйвера (OL, V_{SL}) с затвором и стоком.

Еще одна хорошо известная схема, используемая в маломощных применениях и ИРМ, показана на рис. 4. Ее отличием является наличие схемы защиты от перегрузки по току (OCP — Over Current Protection), работающей по сигналу, получаемому с шунта, который установлен между шиной общего про-

вода и эмиттером (исток) транзистора нижнего плеча. Падение напряжения на шунтовом резисторе зависит от тока силового каскада и его можно рассматривать как дополнительный паразитный элемент в силовой цепи. Наличие распределенной индуктивности этого резистора может оказывать крайне негативное воздействие на работу каскада, именно поэтому в качестве шунтов в практических схемах используются специальные низкоиндуктивные сопротивления.

Полностью устранить влияние паразитных элементов невозможно, поэтому целесообразно включить схему сдвига уровня в соответствующие каскады драйверов. Поскольку напряжения, образующиеся на распределенных индуктивностях и сопротивлениях, могут иметь как положительную, так и отрицательную полярность, каскад сдвига должен иметь биполярную характеристику. В стандартных, широко выпускаемых промышленностью HVIC-драйверах допустимое отрицательное напряжение, как правило, ограничено величиной -5 В (относительно потенциала общего провода). Этого явно недостаточно для надежной работы преобразователя в диапазоне

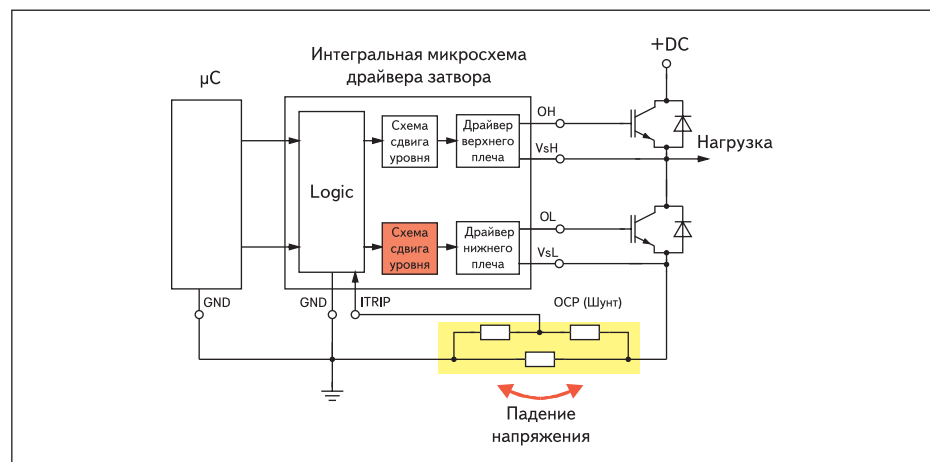


Рис. 4. Защита от перегрузки по току (OCP) с помощью резистивного шунта

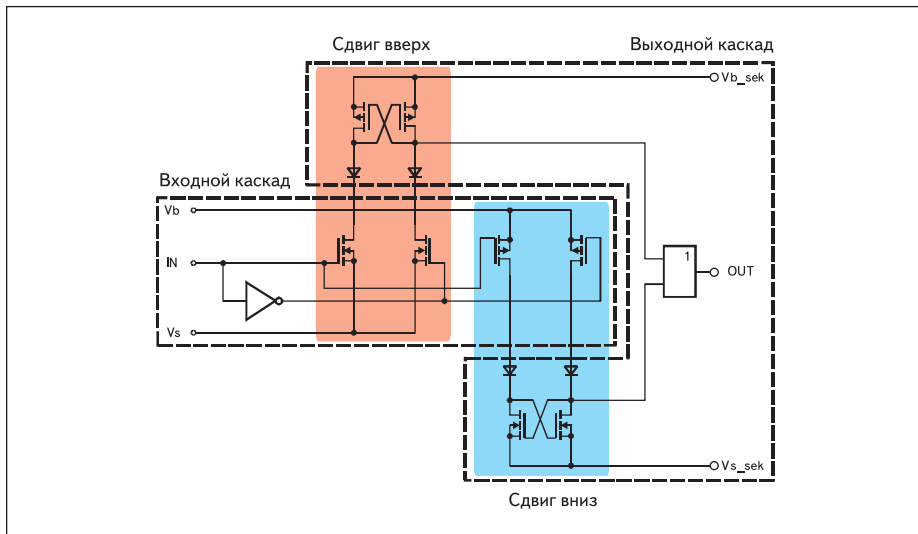


Рис. 5. Принцип работы схемы сдвига уровня канала BOT

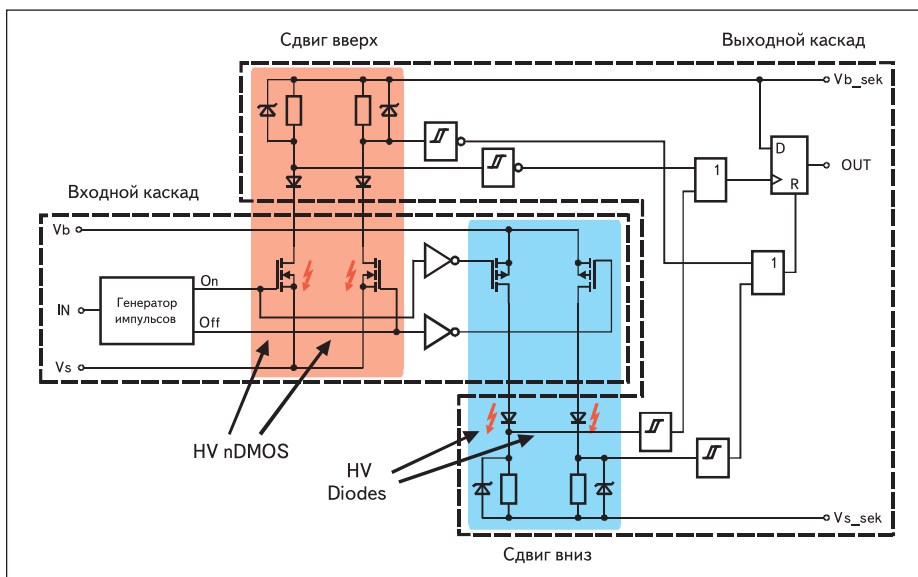


Рис. 6. Принцип работы схемы сдвига уровня канала TOP

средних мощностей и при высокой скорости коммутации. Одной из основных задач разработки драйверов на основе технологии SOI было существенное расширение диапазона допустимых напряжений смещения.

Концепция усовершенствованного каскада сдвига уровня

Схема сдвига канала BOT

Упрощенная принципиальная схема сдвига уровня канала управления транзистором нижнего плеча показана на рис. 5. Она состоит из двух независимых комплиментарных цепей передачи сигнала, позволяющих осуществлять сдвиг в область положительных и отрицательных напряжений. В отличие от обычного статического CMOS-каскада сдвига уровня, схема дополнена диодами в каждом из каналов. В понижающем и повышающем каналах используется две перекрестных

параллельных ветви, способные работать в триггерном режиме.

Благодаря полной диэлектрической изоляции каждого компонента схемы эффект защелкивания в данном устройстве полностью исключен. Вследствие этого, а также за счет очень высокой степени защищенности затворных цепей от внешних влияний, присущей технологии SOI, каждый из узлов цепи может работать практически при любом потенциале. Максимально допустимое напряжение смещения для описанной схемы ограничено только напряжением пробоя MOSFET-транзисторов. В зависимости от перепада напряжения между входными и выходными цепями драйвера ($V_{offset} = V_{Vs_sek} - V_s$) схема сдвига верхнего ($V_{offset} \geq 0$ В) или нижнего уровня ($V_{offset} \leq 0$ В) передает входной сигнал на выходные каскады и далее на управляемые затворы. Неактивная цепь блокируется с помощью обратно-смещенных диодов.

Схема сдвига канала TOP

Упрощенная принципиальная схема сдвига уровня канала управления транзистором верхнего плеча показана на рис. 6. Как и в предыдущем случае, узел состоит из двух комплиментарных каналов верхнего и нижнего уровня. Проблема заключается в том, что не существует достаточно хороших p-MOS-транзисторов с напряжением пробоя, превышающим 600 В. В приведенной схеме для передачи импульсного сигнала используется высоковольтный n-DMOS-транзистор и два высоковольтных диода (HV diodes), блокирующих обратное напряжение в канале сдвига нижнего уровня. Передача сигнала осуществляется в импульсном режиме, что позволяет минимизировать уравнивающие токи и мощность рассеяния. Однако для практической реализации в этом случае требуются более сложные каскады формирования и восстановления сигнала, чем в канале BOT. Дифференциальная схема, содержащая 2 цепи в одном канале сдвига уровня, обеспечивает максимальную надежность трансформации и хорошее качество восстановления импульсов управления, а также высокий иммунитет к наводкам со стороны силовых цепей.

Структура 7-канального интегрального драйвера

На рис. 7 показана блок-схема интегрального экспериментального драйвера SEMIKRON, имеющего 7 каналов управления затвором. Устройство содержит все узлы, необходимые для работы 3-фазного инвертора привода. Четыре независимых канала BOT способны выполнять функцию корректора коэффициента мощности (PFC) и тормозного каскада, все логические входы драйвера совместимы с TTL- и CMOS-сигналами с уровнем 3,3 В.

Выходы управления затворами обеспечивают ток включения и выключения 500 и 660 мА соответственно при напряжении 15 В. Этого достаточно для работы в преобразователях малой и средней мощности, где используются MOSFET/IGBT транзисторы с током коллектора до нескольких десятков ампер. Драйвер может работать при напряжении питания в диапазоне 10–17 В. Время задержки сигнала составляет около 300 нс, встроенная схема защиты обеспечивает мониторинг напряжения питания (UVLO — Under Voltage LockOut), автоматический перезапуск (POR — Power On Reset), выключение при перегрузке по току (ITRIP) и формирование сигнала неисправности.

Каждый из каналов TOP имеет отдельную схему сдвига и формирования «мертвого времени», а также узел UVLO для мониторинга рабочих напряжений верхнего плеча. Такая возможность особенно полезна в том случае, когда питание производится с помощью бустрепных конденсаторов. Предполагаемая

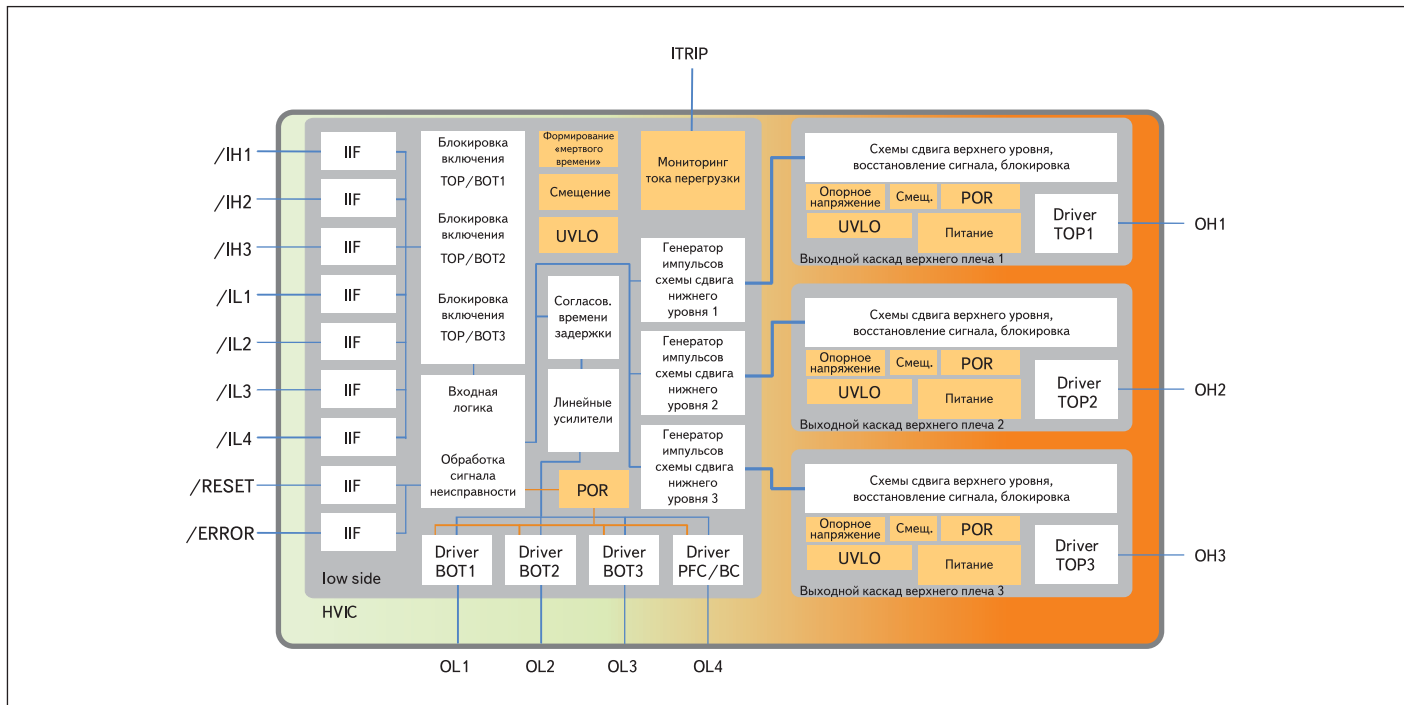


Рис. 7. Блок-схема интегрального 7-канального драйвера

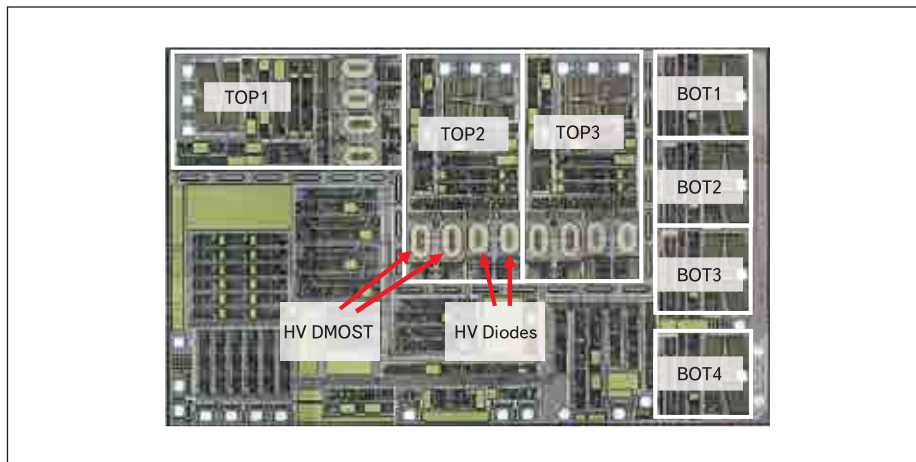


Рис. 8. Структура чипа 7-канального драйвера (размер 4,9×3,1 мм)

структура чипа 7-канального драйвера показана на рис. 8, возможно, что она будет несколько изменена в процессе доработки.

Результаты измерений

Типовые формы входных и выходных сигналов каналов TOP и BOT при различных уровнях напряжения смещения показаны на рис. 9, 10. Для проведения измерений использовались цепи с независимым управлением, то есть с отключенными функциями запрета одновременного отпирирования транзисторов и формирования «мертвого времени». На входы каналов TOP3/BOT1 подавались одинаковые импульсы управления низкого логического уровня, являющегося активным для рассматриваемого устройства.

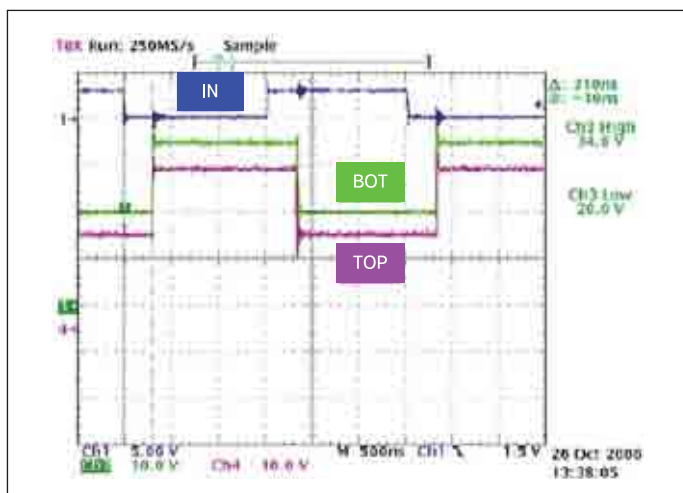


Рис. 9. Типовые формы сигналов управления при напряжении смещения +20 В

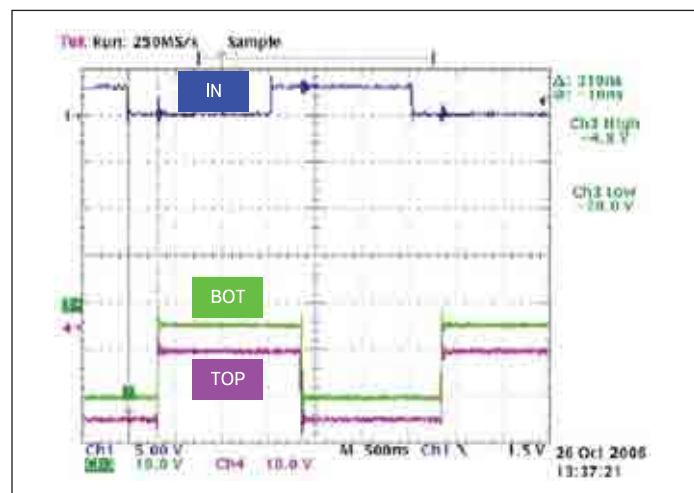


Рис. 10. Типовые формы сигналов управления при напряжении смещения -20 В

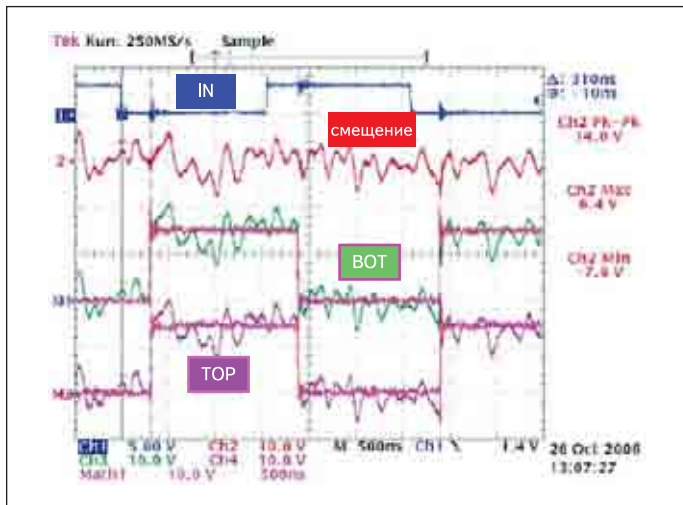


Рис. 11. Типовые формы сигналов при воздействии смещающих шумов

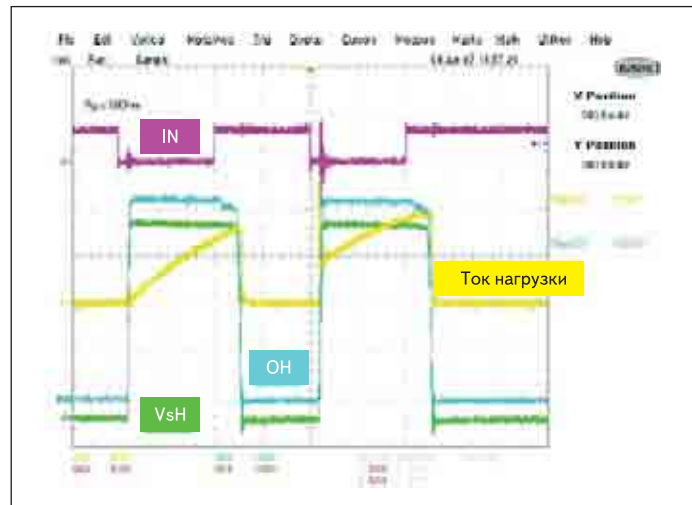


Рис. 12. Нормальная работа канала TOP при напряжении DC-шины 400 В

Представленные эпюры дают наглядное представление о корректной передаче сигналов при положительном (рис. 9) и отрицательном (рис. 10) напряжении смещения. Расогласование времени задержки передачи сигналов в каналах верхнего и нижнего плеча не превышает 20 нс независимо от сдвига напряжения. Предельное значение отрицательного сигнала смещения, выбросы которого могут возникать при коммутации тока нагрузки, определяется технологическими возможностями схемы защиты в цепи сдвига нижнего уровня канала TOP. Предполагается спроектировать устройство таким образом, чтобы передача сигнала при смещении ниже -20 В была запрещена. На самом деле, как показано на рис. 14, схема сдвига уровня канала BOT способна работать с гораздо более низкими уровнями смещения без сбоя или повреждения.

Рис. 11 демонстрирует устойчивый характер работы драйвера в условиях воздействия очень высоких шумовых смещающих сигналов. Сигнал смещения Offset, вырабатываемый

генератором шумов, имеет напряжение, изменяющееся в пределах V_{sL} (V_{sH}) и GND (рис. 2). На рисунке также показаны выходные сигналы с шумовой составляющей при их измерении относительно общего провода GND и без шумов в случае использования в качестве опорных потенциалов V_{sL} и V_{sH} соответственно. Таким образом, подтверждается хорошее качество передачи сигналов и высокий уровень помехозащищенности для обоих каналов.

Графики, соответствующие нормальной работе канала TOP при напряжении DC-шины 400 В, показаны на рис. 12. Для проверки стойкости интегральной схемы к электромагнитным помехам (EMI) использовался так называемый двухимпульсный метод измерения при непосредственном управлении 30-амперным IGBT с индуктивно-резистивной нагрузкой. Наиболее важным косвенным параметром, позволяющим определить стойкость к EMI, является длительность фронта второго импульса, поскольку его положение соответствует максимальному уровню гене-

рируемых шумов. Очень интересным является также вопрос о возможности сбоя в работе каскада сдвига нижнего уровня для канала управления TOP при большом значении dV/dt . Проведенные испытания показывают стабильную работу схемы передачи сигнала при всех тестовых условиях эксплуатации: не было выявлено ни ложных срабатываний при возмущениях входного сигнала, вызываемых двойным импульсом, ни сбоев, обусловленных нестабильной работой каскадов сдвига уровня.

Схема, показанная на рис. 13, предназначена для оценки влияния переходных режимов на работу каскада сдвига нижнего уровня. Переходное перенапряжение отрицательной полярности вырабатывается при выключении *n*-MOSFET-транзистора (Т), работающего на индуктивную нагрузку в цепи истока. Минимальное отрицательное напряжение «сток-исток» ограничено на уровне допустимых значений с помощью диода-супрессора D. Полевой транзистор управляется от драйвера затвора (Gate Driver IC), рабочее напряже-

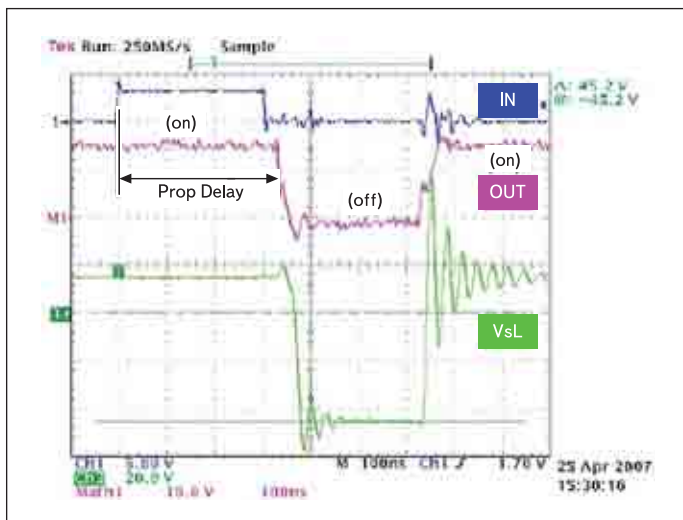


Рис. 13. Схема для оценки влияния отрицательного переходного напряжения смещения

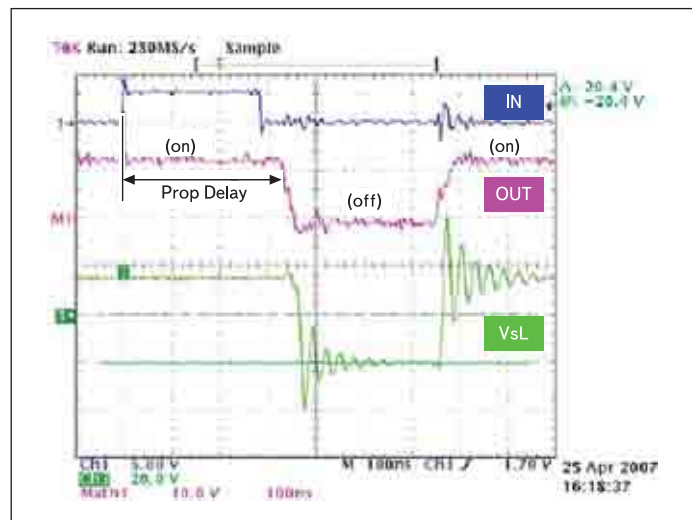


Рис. 14. Отрицательное переходное напряжение смещения канала BOT

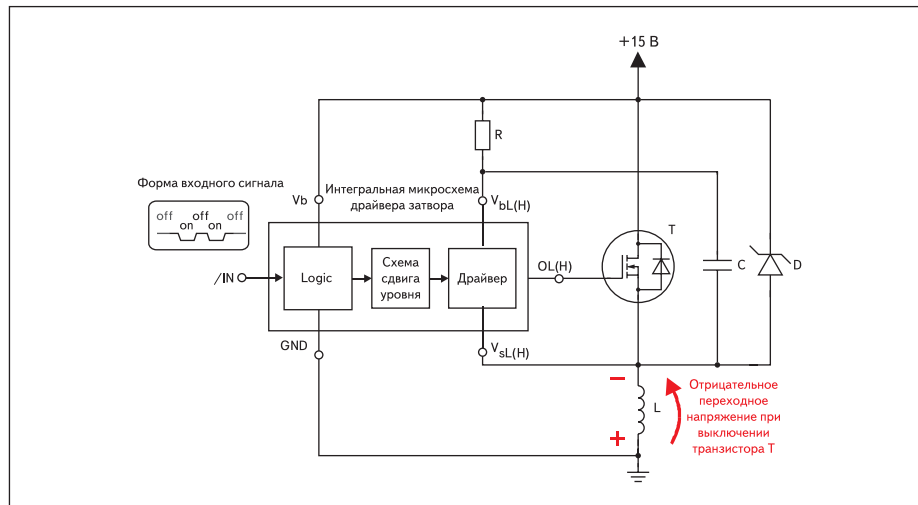


Рис. 15. Отрицательное переходное напряжение смещения канала TOP

ние выходного каскада которого ($V_{sL(H)}$) задается резистором R . Вместе с развязывающим конденсатором C это позволяет обеспечить для выхода схемы управления так называемое «плавающее» напряжение питания на время коротких импульсов.

Испытание производится в следующей последовательности: во время подачи первого отпирающего импульса (on) энергия запасается в индуктивности. После запираания транзистора T (импульс off) ток протекает через диод D , что приводит к появлению отрицательного переходного сигнала на выводе драйвера ($V_{sL(H)}$). Второй импульс «on» подается на вход драйвера сразу после первого, при этом опорное напряжение выходного каскада схемы управления имеет минимальное значение. Критерием надежности работы в этом случае является неискаженная передача сигнала включения затвора и отсутствие задержек.

Эпюры, приведенные на рис. 14, демонстрируют воздействие отрицательного переходного сигнала на работу канала BOT. Переходный выброс ограничен на уровне -45 В, поскольку напряжение пробоя (BV_{DS}) транзистора схемы сдвига составляет 50 В. В этих условиях не наблюдается никаких сбоев в работе схемы,

вторичный импульс управления передается без какой-либо дополнительной задержки.

Аналогичные графики для канала управления транзистором верхнего плеча показаны на рис. 15. Выброс переходного напряжения в этом случае ограничен уровнем -20 В, что определяется возможностями схемы защиты в каскаде сдвига уровня канала TOP. Полученные результаты, аналогичные представленным выше, говорят о высокой стойкости схемы к данному виду воздействий.

Заключение

В предлагаемой статье представлены результаты разработки интегральной схемы управления изолированным затвором на основе технологии SOI, проведенной компанией SEMIKRON. Драйверы предполагается использовать в новой серии маломощных интеллектуальных силовых модулей IGBT, рассчитанных на ток до 20 А при напряжении 600 и 1200 В. Использование усовершенствованной схемы сдвига в каналах управления транзисторами верхнего и нижнего плеча позволяет схеме работать без сбоев и повреждений в условиях экстремально высоких выбросов напряжения обеих полярностей.

Эксперименты, проведенные с опытным 7-канальным 600 -вольтовым драйвером, показали, что он сохраняет полную работоспособность при смещении до -45 В в канале управления транзистором верхнего плеча и до -20 В в канале управления транзистором нижнего плеча. Напомним, что допустимое напряжение смещения для выпускаемых в настоящее время интегральных драйверов не превышает -5 В.

Литература

1. Akiyama H., Yasuda N., Moritani J., Takanashi K., Majumdar G. A High Breakdown Voltage IC with Lateral Power Device based on SODI structure. Proceedings ISPSD 2004.
2. Yong S.-I., Suh B.-S. Smart Power Module- Powering the Motion. Power Systems Design Europe, Sept. 2004.
3. Takahashi T. Power Conversion Processor Architecture and HVIC technology for AC Motor Drive. Proceedings CIPS 2000.
4. Gupta S., Beckman J. C., Kosier S. L. Improved Latch-Up Immunity in Junction-Isolated Smart Power ICs with Unbiased Guard Ring. IEEE Electron Device Letters, Vol. 22, N 12, 2001.
5. Laine J. P., Gonnard O., Chariat G., Bertolini L., Peyre-Lavigne A. Active pull-Down Protection for full substrate current isolation in Smart Power ICs. Proceedings ISPSD 2002.
6. Parthasarathy V., Khemka V., Zhu R., Puchades L., Roggenbauer T., Butner M., Hui P., Rodriguez P., Bose A. A Multi Trench Analog + Logic Protection (M-TRAP) for Substrate Crosstalk Prevention in a $0.25\mu\text{m}$ Smart Power Platform with 100V High-side Capability. Proceedings ISPSD 2004.
7. Letavic T., Arnold E., Simpson M., Aquino R., Bhimnathwala H., Egloff R., Emmerik A., Mukherjee S. High Performance 600V Smart Power Technology Based on Thin Layer Silicon-on-Insulator. Proceedings ISPSD 1997.
8. Letavic T., Simpson M., Arnold E., Peters E., Aquino R., Curcio J., Herko S., Mukherjee S. 600V Power Conversion System-on-a-Chip Based on Thin Layer Silicon-on Insulator. Proceedings ISPSD 1999.
9. Roßberg M., Herzer R., Pawel S. Latch-up free 600V SOI Gate Driver IC for Medium Power and High Temperature Applications. Proceedings EPE 2005.