

Изучение принципов работы ЦАП и АЦП с помощью средств смешанного аналого-цифрового моделирования САПР OrCAD

Андрей СТРОГОНОВ,
д. т. н.
andreis@hotmail.ru

Данная статья знакомит с принципами работы ЦАП-АЦП с помощью смешанного аналого-цифрового моделирования в САПР OrCAD V.9.X фирмы CADENCE design systems. Несмотря на огромное число публикаций по данному вопросу в журналах «Компоненты и технологии» [1–4], «ChipNews», «Схемотехника» и др., автор надеется, что материал будет интересен начинающим специалистам.

В позиционной системе исчисления цифровое двоичное представление величины N определяется полиномом [5]:

$$N = a_{k-1}2^{k-1} + a_{k-2}2^{k-2} + \dots + a_12 + a_0.$$

Вычисление полинома сводится к домножению отдельных битов на весовые коэффициенты, являющиеся степенями двойки, и к сложению получаемых членов. Это соответствует вычислению линейной комбинации битов. Подобные комбинации легко реализуются резисторными схемами, с помощью которых можно получить напряжение со значением двоичного числа.

Резисторная матрица обычно имеет две различные структуры: в виде двоично-взвешенных резисторов или в виде многозвен-

ной цепочки из резисторов лишь двух номиналов (R-2R). Так строятся обычно применяемые 8-, 12- и 16-битные ЦАП. При этом точность преобразования такого ЦАП зависит от качества резисторов и опорного напряжения. Наибольшее распространение получили ЦАП на резисторах R-2R с коммутацией токов и напряжений.

Схема на рис. 1а реализует суммирование с весами. Используя принцип суперпозиции, вычислим выходное напряжение, суммируя воздействия каждого индивидуального входного напряжения. Предположим, что подано только одно входное напряжение, а все остальные равны 0. Пусть напряжения на генераторах $V1-V7 = 0$ В, а напряжение на генераторе $V8 = 5$ В, что соответствует цифровой комбинации 0000001 на входе.

Рассмотрим воздействие на выход напряжения, соответствующего биту a_i . Генератор напряжения $V8$ подключен к резистору $R34$ с сопротивлением R . Обозначим точку на противоположном конце этого резистора через P_i . Сопротивление левой части схемы между точкой P_i и «землей» будет равно R .

Пусть на крайнем левом генераторе $V1$ напряжение равно нулю. Крайний левый резистор $R18$ с сопротивлением R (рис. 1а) включен параллельно с резистором $R27$ с сопротивлением R (200 Ом), идущим к генератору $V1$ (поскольку на генераторе нулевое напряжение, подключенный к нему резистор можно считать заземленным).

Параллельно включенные резисторы обладают общим сопротивлением $R/2$ (при параллельном соединении проводников имеем

$$R = \frac{R_1 \times R_2}{R_1 + R_2}$$

при равных сопротивлениях имеем $R/2$), которое последовательно с расположенным правее резистором $R19$ с сопротивлением $R/2$ дает сопротивление на «землю», равное R . Повторяя этот процесс, мы дойдем до узла P_i . Точно так же легко видеть, что сопротивление правой части схемы от узла P_i на «землю» равно R . Таким образом, можно получить эквивалентную схему на рис. 1б.

Сопротивления правой и левой частей схемы включены в параллель и дают общее сопротивление $R/2$ (рис. 1в). Это сопротивление и сопротивление R резистора, подключенного к генератору a_i , образуют делитель напряжения. К точке P_i оказывается приложенной часть напряжения a_i :

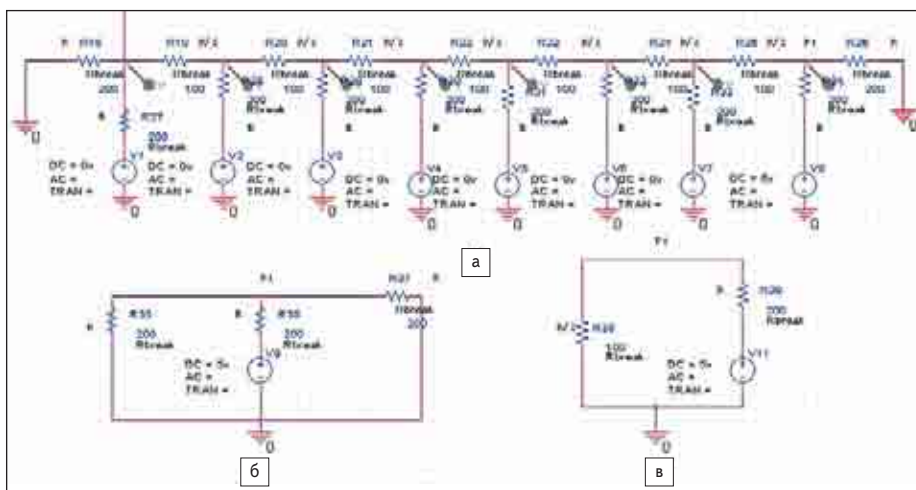


Рис. 1. Цифро-аналоговый преобразователь на резисторах R-2R: а) лестница резисторов; б) эквивалентные сопротивления левой и правой частей схемы относительно узла P_i ; в) эквивалентный делитель напряжения

$$P_i = \frac{\frac{R}{2}}{R + \frac{R}{2}} \times a_i = \frac{1}{3} a_i.$$

Напряжение в узле вычисляется по формуле:

$$P_{i+1} = \frac{\frac{R}{2}}{\frac{R}{2} + \frac{R}{2}} \times \frac{1}{3} a_i = \frac{1}{2} \times \frac{1}{3} a_i.$$

Таким образом, напряжение уменьшается вдвое при каждом шаге влево от узла к узлу. Выходное напряжение в узле P_7 задается формулой:

$$\left(\frac{1}{2}\right)^{7-i} \frac{a_i}{3}.$$

Суммируя воздействие от всех генераторов, получим результирующее выходное напряжение:

$$V_{\text{вых}} = \sum_{i=0}^7 \left(\frac{1}{2}\right)^{7-i} \frac{a_i}{3} = \left(\frac{1}{2}\right)^7 \frac{1}{3} \sum_{i=0}^7 2^i a_i.$$

Сумма в полученном выражении представляет собой полином, определяющий значение N . Таким образом, $V_{\text{вых}}$ пропорционально N . Коэффициент пропорциональности равен

$$\left(\frac{1}{2}\right)^7 \frac{1}{3}$$

или в общем случае

$$\left(\frac{1}{2}\right)^{k-1} \frac{1}{3}.$$

Для 8-разрядной лестницы имеем [5]:

$$V_{\text{ВЫХ}} = \left(\frac{1}{2}\right)^7 \frac{1}{3} (2^0 a_0 + 2^1 a_1 + 2^2 a_2 + \dots + 2^7 a_7) = 0,0026 (a_0 + 2a_1 + 4a_2 + \dots + 128a_7).$$

Рассмотрим пример схемотехнического аналогового моделирования резистивной лестницы. Цифровая комбинация на входе: 00000001 (1 в старшем разряде), VDC = 5 В. Аналоговый выход (напряжения в узлах лестницы): 13,2 мВ; 26,04 мВ; 52,08 мВ; 104,2 мВ; 203,3 мВ; 416,7 мВ; 833,3 мВ; 1,667 В. На рис. 2 показаны напряжения в узлах лестницы.

Вместо лестницы резисторов для суммирования с весами в соответствии с представлением двоичного числа в виде полинома можно использовать операционный усилитель. На рис. 3 показана схема в САПР OrCAD, в которой операционный усилитель запрограммирован для выполнения цифро-аналогового преобразования. Сигналы V_i — это

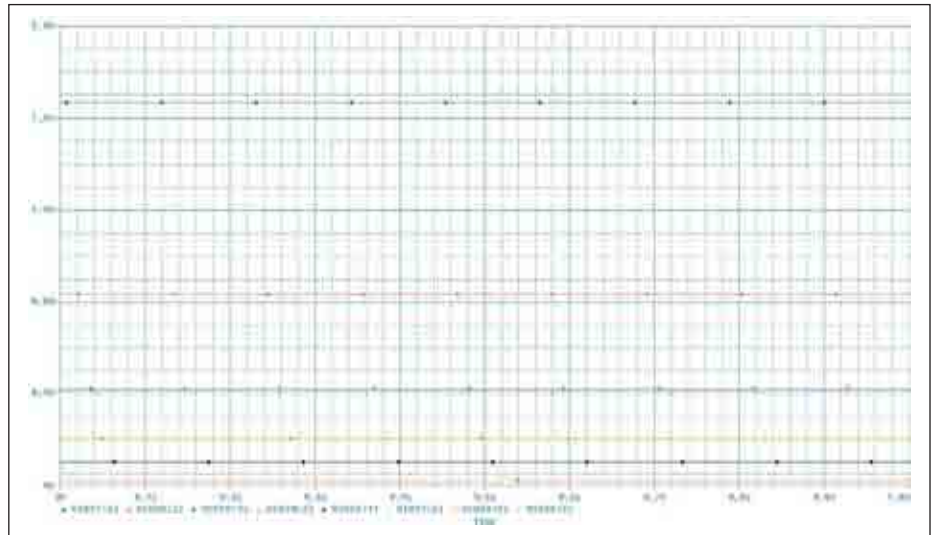


Рис. 2. Напряжения в узлах резистивной лестницы R-2R

входные напряжения, соответствующие значениям битов a_i в преобразуемом двоичном числе. Нумерация резисторов R_i в лестнице: $R_0, R_1, R_2, R_3, R_4, R_5, R_6, R_7$.

Просуммируем токи, проходящие через показанную общую точку схемы. Обозначим в ней напряжение через V . Каждый входной источник напряжения соединен с общей точкой через резистор, который принят как R_i . По закону Ома ток через каждый из этих резисторов равен $(V_i - V)/R_i$. Выходная линия, подключенная к общей точке через резистор R_{OC} (R_{15}), вносит свою долю тока, равную $(V_{\text{вых}} - V)/R$. Сумма этих токов должна равняться 0, то есть:

$$\frac{V_0 - V}{R_0} + \frac{V_1 - V}{R_1} + \dots + \frac{V_7 - V}{R_7} + \frac{V_{\text{вых}} - V}{R_{OC}} = 0.$$

Поскольку напряжение V подано на инвертирующий вход операционного усилителя,

его выходное напряжение равно $V_{\text{вых}} = -A \times V$, где A — коэффициент усиления, тогда [5]:

$$\frac{V_0}{R_0} + \frac{V_1}{R_1} + \dots + \frac{V_7}{R_7} = -\frac{V_{\text{вых}}}{A} \times \left(\frac{1}{R_0} + \frac{1}{R_1} + \dots + \frac{1}{R_7} + \frac{A}{R_{OC}} + \frac{1}{R_{OC}} \right).$$

Проведя аппроксимацию данного уравнения и предполагая, что член A/R_{OC} больше всех остальных членов, входящих в сумму, так как значение коэффициента усиления операционного усилителя бывает не менее 50 000, получаем правую часть равной

$$-\frac{V_{\text{вых}}}{A} \left(\frac{A}{R_{OC}} \right) = -\frac{V_{\text{вых}}}{R_{OC}}.$$

Выходное напряжение $V_{\text{вых}}$ определяется выражением:

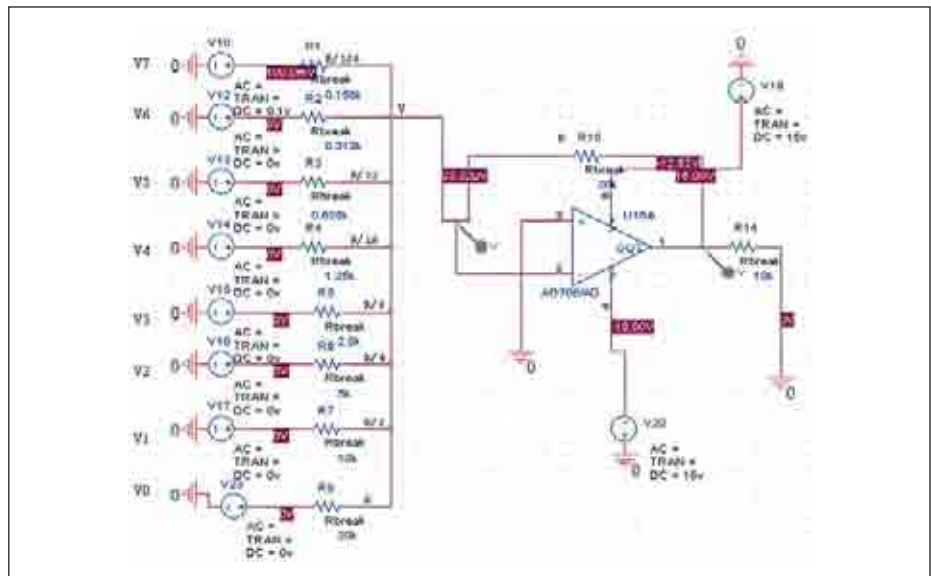


Рис. 3. Цифро-аналоговый преобразователь на операционном усилителе AD706 с матрицей взвешенных резисторов

$$V_{\text{вых}} = -R_{OC} \left(\frac{V_0}{R_0} + \frac{V_1}{R_1} + \dots + \frac{V_7}{R_7} \right).$$

Подставив значения R_i , равные $R_{OC} = R$, $R_0 = R$, $R_1 = R/2$, $R_2 = R/4$ и т. д. (рис. 3), получим:

$$V_{\text{вых}} = -R \left(\frac{V_0}{R} + \frac{V_1}{R/2} + \dots + \frac{V_7}{R/128} \right) = -(V_0 + 2V_1 + \dots + 128V_7) = -\sum_{i=0}^7 V_i 2^i.$$

На рис. 3 показана тестовая схема ЦАП с использованием аналоговой модели операционного усилителя AD706 фирмы Analog Devices (библиотека ораmp.olb). На вход ЦАП поступает цифровая комбинация: 00000001 (1 в старшем разряде). Сопротивления резистивной матрицы (табл. 1) выбираются из ряда (в кОм).

Таблица 1. Сопротивления резистивной матрицы

| R | R/2 | R/4 | R/8 | R/16 | R/32 | R/64 | R/128 |
|----|-----|-----|-----|------|-------|-------|-------|
| 20 | 10 | 5 | 2,5 | 1,25 | 0,625 | 0,313 | 0,156 |

Сопротивление резистора обратной связи R_{OC} выбирается равным 20 кОм. Если за логическую единицу принять 0,1 В, то на входах ЦАП получим комбинацию:

$$V_0 = 0, V_1 = 0, V_2 = 0, V_3 = 0, V_4 = 0, V_5 = 0, V_6 = 0, V_7 = 0,1.$$

Подставив значения в формулу, получим:

$$V_{\text{вых}} = -128 \times V_7 = -128 \times 0,1 = -12,8 \text{ В}.$$

Промоделировав работу схемы, получим в точке V напряжение 23,32 мкВ, а на аналоговом выходе напряжение $-12,82 \text{ В}$.

Реальные схемы ЦАП достаточно сложные и требуют ключи коммутации с дополнительными схемами управления [6]. На рис. 4 показана обобщенная структура

системы цифровой обработки сигналов [7], которая демонстрирует использование аналого-цифровых интерфейсов. В счетном ядре PSpice существуют три типа узлов: аналоговые, цифровые и интерфейсные. Для аналоговых узлов PSpice рассчитывает напряжения, для цифровых — логические состояния. Интерфейсные узлы являются подсхемами I/O (input/output)-модели, которая переводит логическое состояние в напряжение и наоборот.

Структура системы цифровой обработки сигналов состоит из 8-разрядного ЦАП при совместном использовании с 8-разрядным АЦП. Для моделирования необходимо из библиотеки Breakout.olb выбрать макромодель 8-разрядного ЦАП под именем DAC8break и макромодель 8-разрядного параллельного АЦП под именем ADC8break, задать аналоговый сигнал на вход АЦП и напряжение на опорном источнике. Модели DAC8break и ADC8break имеют описание в Spice-формате, поэтому могут быть использованы для смешанного аналого-цифрового моделирования. В качестве примера рассмотрим описание многобитных ЦАП в Spice-формате:

| Тип | Параметры | Узлы | Описание |
|-----|-----------|--|----------|
| DAC | nbits | Out, ref, gnd, Input msb,, Input lsb | ЦАП |

Форма идентификации ЦАП:

```
Uxxx DAC (<число бит>) <out node> <ref node> <gnd node>
<input msb node> <input lsb node> <timing model> <I/O model>

.subckt DAC8Break OUT REF GND
+ DB7 DB6 DB5 DB4 DB3 DB2 DB1 DB0
+ OPTIONAL: DPWR=$G_DPWR DGND=$G_DGND
+ PARAMS: MNTYMXDLY=0 IO_LEVEL=0

U1 DAC (8) DPWR DGND OUT REF GND
+ DB7 DB6 DB5 DB4 DB3 DB2 DB1 DB0
+ DAC8_TIMING IO_STD
+ MNTYMXDLY={MNTYMXDLY}
+ IO_LEVEL={IO_LEVEL}
.MODEL DAC8_TIMING UDAC
.ENDS
```

Пример описания четырехбитного ЦАП в Spice-формате:

```
U7 DAC (4) sign ref 0 in3 in2 in1 ino dacmd1 io_std
```

Согласно этой макромодели, когда все входные биты, принимают значение логической 1 или логического 0, выходное напряжение ЦАП принимает значение величины опорного напряжения или «земли».

Формула, по которой определяется напряжение на выходе ЦАП (макромодель DAC8break), имеет следующий вид [8]:

$$V_{\text{ЦАП}} = -\frac{V_{\text{ref}}}{2^n} \sum_{i=0}^{n-1} (2^i \times d_i) = -\frac{V_{\text{ref}} \times D}{2^n},$$

где V_{ref} — опорное напряжение ЦАП; D — эквивалент кода на входах ЦАП. Пусть число разрядов $n = 8$ и $V_{\text{ref}} = 10 \text{ В}$, тогда $V_{\text{ЦАП}} = (5/256) \times D$ для цифрового кода 00000001 имеет величину 5 В (табл. 2):

$$V_{\text{ЦАП}} = -\frac{V_{\text{ref}}}{2^8} (2^0 d_0 + 2^1 d_1 + 2^2 d_2 + 2^3 d_3 + 2^4 d_4 + 2^5 d_5 + 2^6 d_6 + 2^7 d_7).$$

Таблица 2. Схема работы 8-разрядного ЦАП

| Цифровой код | Напряжение на выходе ЦАП, В |
|--------------|-----------------------------|
| 00000001 | 5 |
| 00000010 | 2,55 |
| 00000100 | 1,25 |

Результаты моделирования представлены на рис. 5. На вход АЦП IN поступает аналоговый гармонический синусоидальный сигнал V_{in} с параметрами offset value (смещение) 5 В, amplitude (амплитуда) 5 В, Frequency (частота) 1 Гц. Его временная дискретизация и квантование по уровню производится в АЦП. На вход CNVRT (сигнал запуска преобразования) АЦП подается однобитный источник цифрового сигнала DSTIM1 с частотой 50 Гц. Сигналы Over и Stat являются выходными. На рис. 6 показан принцип формирования сигналов Over и Stat. Выходным сигналом АЦП

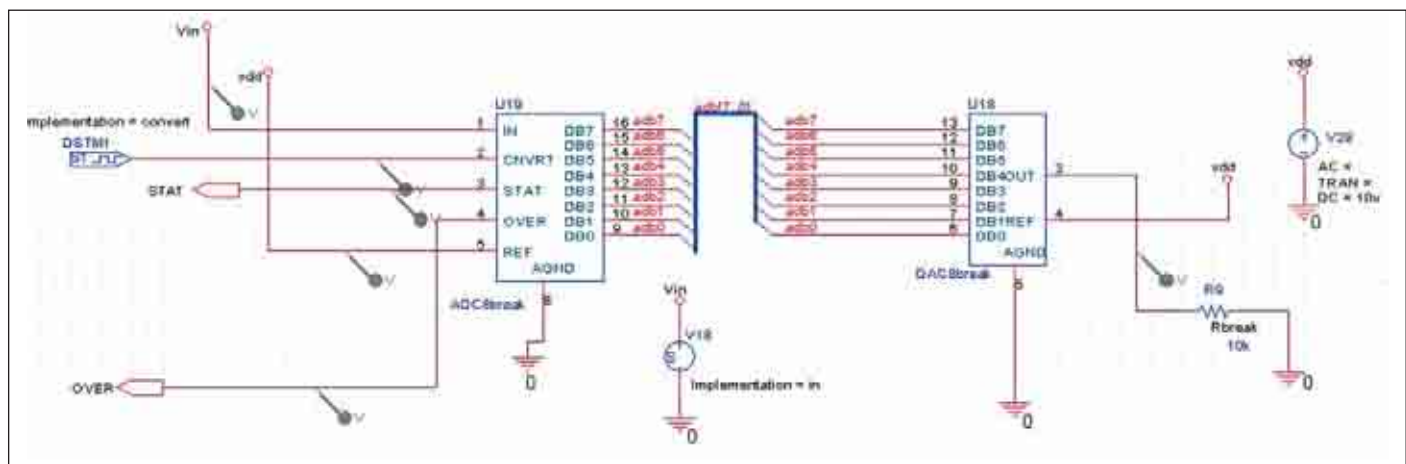


Рис. 4. Структура системы цифровой обработки сигналов для изучения АЦП—ЦАП

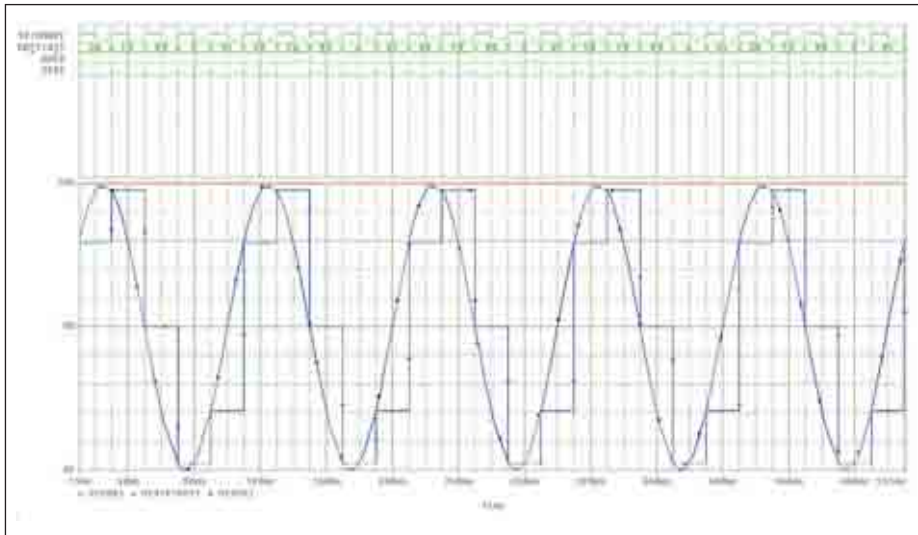


Рис. 5. Временные диаграммы работы АЦП–ЦАП

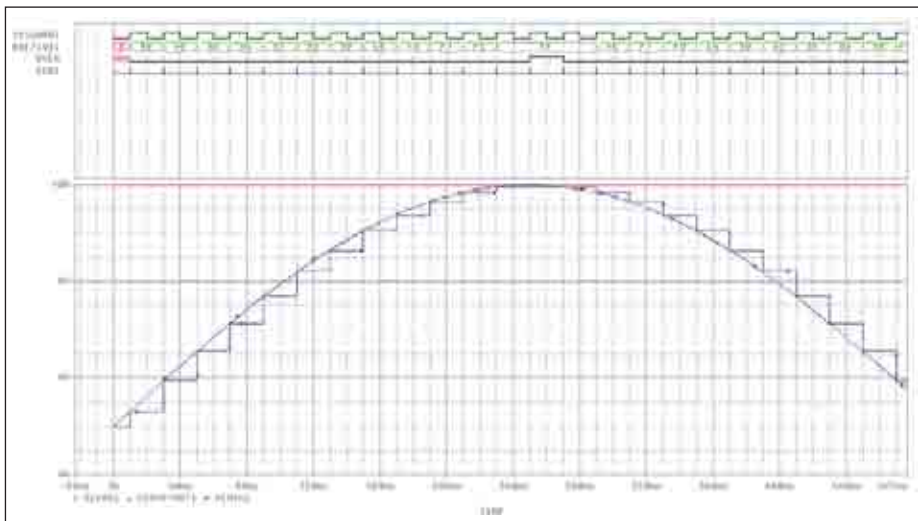


Рис. 6. Временные диаграммы работы АЦП–ЦАП, поясняющие принцип формирования сигналов Over и Stat

(шина $adb[7..0]$) является последовательность чисел, поступающая в ЦАП. Аналоговый выходной сигнал OUT восстанавливается по этой последовательности с помощью ЦАП.

Так как число различных уровней напряжения на выходе ЦАП конечно, то сигнал на выходе, так же как и при дискретизации, — ступенчатый и представляет собой искажение, устранить которое необходимо до использования аналогового сигнала с выхода ЦАП. Для этого применяют низкочастотные сглаживающие фильтры.

Каждый раз с приходом импульса CNVRT (перепад из 0 в 1), разрешающего преобразование, на выходе Stat АЦП возникает единичный импульс (рис. 6). Если входной аналоговый сигнал перестает изменяться, то при очередном импульсе CNVRT на выходе Over появляется единичный импульс и происходит фиксация выходного сигнала АЦП.

В процессе преобразования входной n -разрядный цифровой сигнал превращается в аналоговый выходной сигнал (ступенчатую

кривую) с 2^n дискретными уровнями или ступенями, равными 1 МЗР (единица младшего значащего разряда). Например, 10-разрядный ЦАП имеет диапазон (полную шкалу) преобразования, равный 2^{10} , то есть выходное напряжение может принимать 1024 различных выходных уровней — от нуля до максимального. 1 МЗР = $1/2^n$.

Обратной величиной числа выходных уровней является разрешающая способность, определяемая числом разрядов и характеризующая возможность ЦАП различать смежные значения входного цифрового кода. Фактически она определяет наименьшее возможное приращение аналогового сигнала (размер ступени), различаемое на выходе, при соответствующем изменении входного преобразуемого кода на единицу младшего разряда, то есть является значением напряжения, соответствующим 1 МЗР.

Разрешающая способность определяется как отношение значения полной шкалы преобразования к значению 2^n . Единицей измерения

является единица самого младшего значащего разряда (1 МЗР). Она может выражаться в процентах от полной шкалы или миллионных частях (ppm). Например, для 10-разрядного ЦАП с $V_{\text{вых}} = 10 \text{ В}$: 1 МЗР = $10 \text{ В} \times 1/1024 = 9,76 \text{ мВ}$ или 0,1% полной шкалы; для 16-разрядного ЦАП: 1 МЗР = 150 мкВ или 0,0015% полной шкалы.

Одной из основных задач преобразователя является получение точного соответствия входных и выходных сигналов. Оно характеризуется погрешностью преобразования, состоящей из методической и инструментальной погрешностей. Инструментальная вызывается неточностью изготовления элементов преобразователя, изменением параметров элементов под влиянием внешних факторов и времени и зависит от действия внутренних и внешних шумов и помех.

Абсолютная погрешность (точность) преобразования состоит из суммы погрешностей в виде смещения нуля, изменения коэффициента передачи, нелинейности, немонотонности передаточной характеристики. Погрешность смещения — это выходное напряжение ЦАП при нулевом коде на входе. Она выражается в процентах от полной шкалы или в единицах МЗР.

Погрешность (точность) преобразования δ_{FS} выражается в процентах от диапазона изменения аналогового выходного сигнала $V_{\text{ШК}}$ в виде числа разрядов (например, n разрядов точности — это погрешность $V_{\text{ШК}}/2^n$) или в долях МЗР. Типичная точность, требуемая от ЦАП, равна 1/2 МЗР, то есть значение погрешности равно $1/2 \times (V_{\text{ШК}}/2^n) = V_{\text{ШК}}/2^{n+1}$. Так, 12-разрядный ЦАП не может иметь точность преобразования меньше $\pm 1/2$ МЗР или $\pm 2^{-(12+1)}$, или $\pm 0,0122\%$ от полной шкалы. Фактически погрешность $\pm 0,0122\%$ представляет собой отклонение от 100%-ной точности, поэтому последняя составляет 99,9878%. Например, 12-разрядный ЦАП с диапазоном шкалы от 0 до 10 В при максимальном значении цифрового кода 1111 1111 1111 имеет максимальное напряжение, равное $10 \times (1 - 2^{-12}) = 9,99756 \text{ В}$.

Дифференциальная нелинейность ЦАП связана с изменением единичных перепадов (размеров ступеней) и определяется как разность отклонений уровней выходного сигнала при переходе входного цифрового сигнала от какого-либо значения к смежному, или различие между фактической высотой шага и идеальным значением 1 МЗР. Заданная величина для дифференциальной нелинейности (≤ 1 МЗР) гарантирует, что ЦАП является монотонным. Это означает, что никакие данные не потеряны, поскольку выходной сигнал всегда изменяется в соответствии с цифровым кодом на входе.

Рассмотрим применение ЦАП на матрице резисторов R-2R в составе АЦП. На рис. 7 приведена схема АЦП последовательного приближения с использованием ЦАП на матрице резисторов R-2R, компаратора и регистров в САПР OrCad. В схеме используются

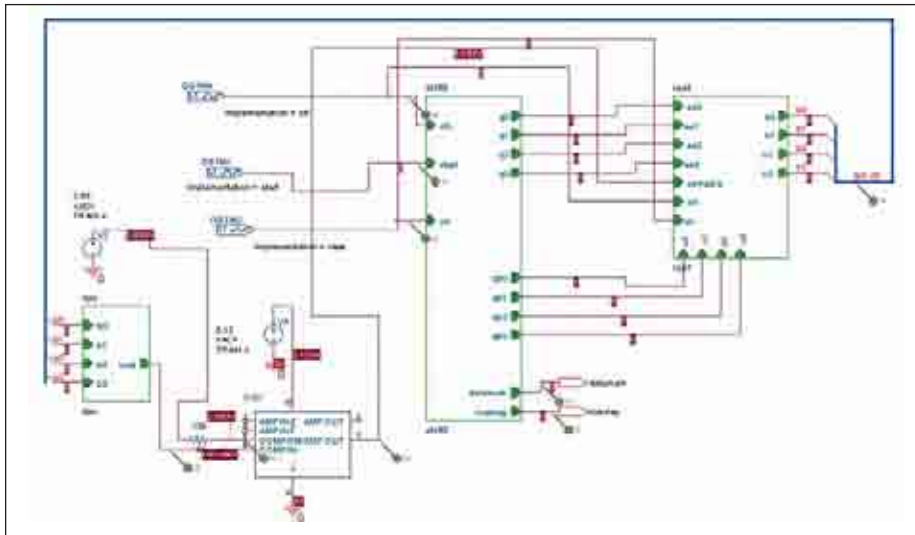


Рис. 7. Четырехразрядный АЦП последовательного приближения с ЦАП на матрице R-2R

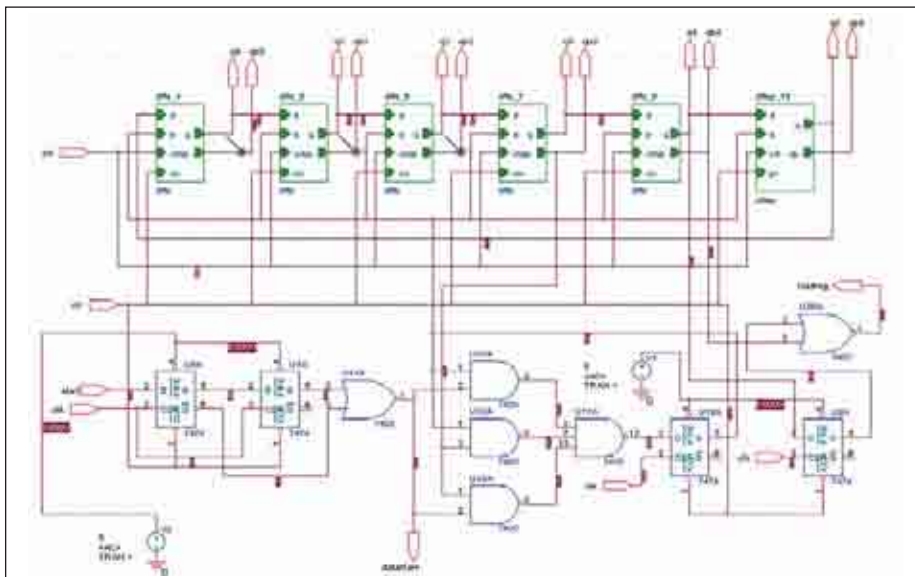


Рис. 8. Шестиразрядный регистр сдвига

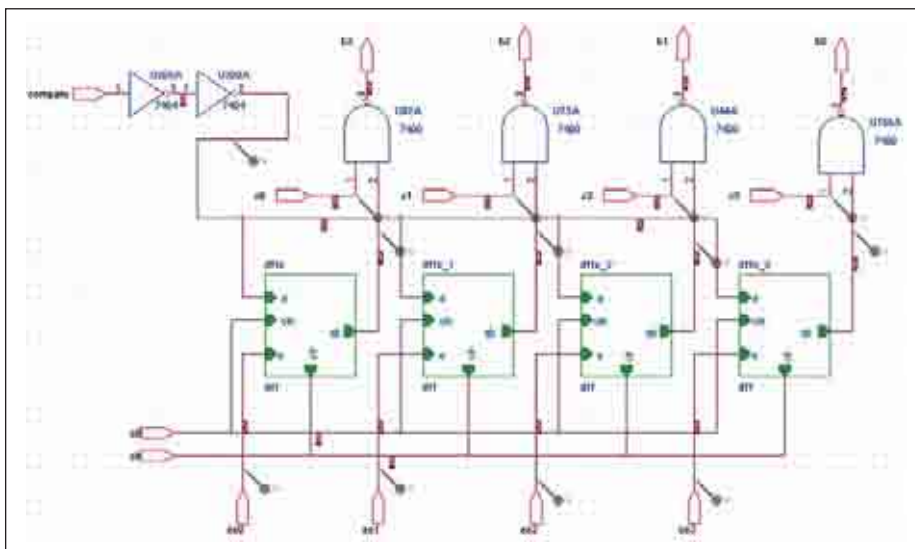


Рис. 9. Параллельный четырехразрядный регистр (регистр результата)

как аналоговые, так и цифровые компоненты. Цифровые компоненты определены как подсистемы в библиотеке ТТЛ-вентилей 7400.olb. Операционный усилитель/компаратор также определяется как подсистема в библиотеке maxim.olb. В реальных же схемах АЦП последовательного приближения используют тактируемый фронтом синхроимпульса компаратор.

Пусть число разрядов n АЦП равно 4. Рассмотрим, как работает регистр сдвига. Он состоит из основных 4 разрядов на триггерах dff_4 – dff_7 и двух вспомогательных, на триггерах dff_8 и dff_{15} (рис. 8). Триггеры со входом разрешения $dffe$ построены с использованием мультиплексора и функциональной макромодели 7474. Прямые выходы $q0$ – $q3$ регистра сдвига подключены ко входам разрешения e ($ee0$ – $ee3$) регистра результата (рис. 9), инверсные выходы $qb0$ – $qb3$ — ко входам $s0$ – $s3$.

В начальный момент времени по низкому уровню асинхронного сигнала очистки clr в старший разряд шестизрядного регистра сдвига с асинхронным входом установки Pr (триггер dff_{15}) записывается логическая «1», а прямые выходы 5 триггеров dff_4 – dff_8 сбрасываются в «0» (рис. 8). На выходах регистра сдвига появляется код 100000(bin) с «1» в старшем разряде. С приходом единичного импульса на вход $start$, переводом сигнала очистки clr в «1» (с последующим его удержанием) по первому переднему фронту синхроимпульса clk на выходе $datamark$ регистра сдвига сформируется флаг метки данных (рис. 10). При этом низкий уровень (активным является высокий уровень сигнала e) на входе разрешения e триггеров dff_4 – dff_8 будет удерживать триггеры от переключений по переднему фронту тактового сигнала clk . По второму переднему фронту синхроимпульса логическая «1» с выхода $q5$ триггера dff_{15} попадет на выход триггера dff_4 , так как триггером U18a будет сформирована логическая единица, разрешающая запись в триггер dff_4 , которая будет удерживаться до появления сигнала $loadreg$, то есть до окончания преобразования. По третьему такту синхроимпульса логическая единица с выхода триггера dff_4 будет записана в триггер dff_5 и т. д., пока логическая единица не появится на прямом выходе триггера dff_8 . Инверсный выход триггера dff_8 и логический ноль на выходе триггера U9a сформируют сигнал $loadreg$, равный логической «1» и сигнализирующий о завершении выполнения операции сдвига.

Регистр результата представляет собой параллельный четырехразрядный регистр и схему обрамления на элементах 2И-НЕ. Для формирования результата на выходах $b3$ – $b0$ инверсные выходы qb и инверсные выходы регистра сдвига $s0$ – $s3$ (которые в начальный момент времени по низкому уровню сигнала clr переводятся в «1») логически перемножаются, а результат инвертируется. Таким обра-

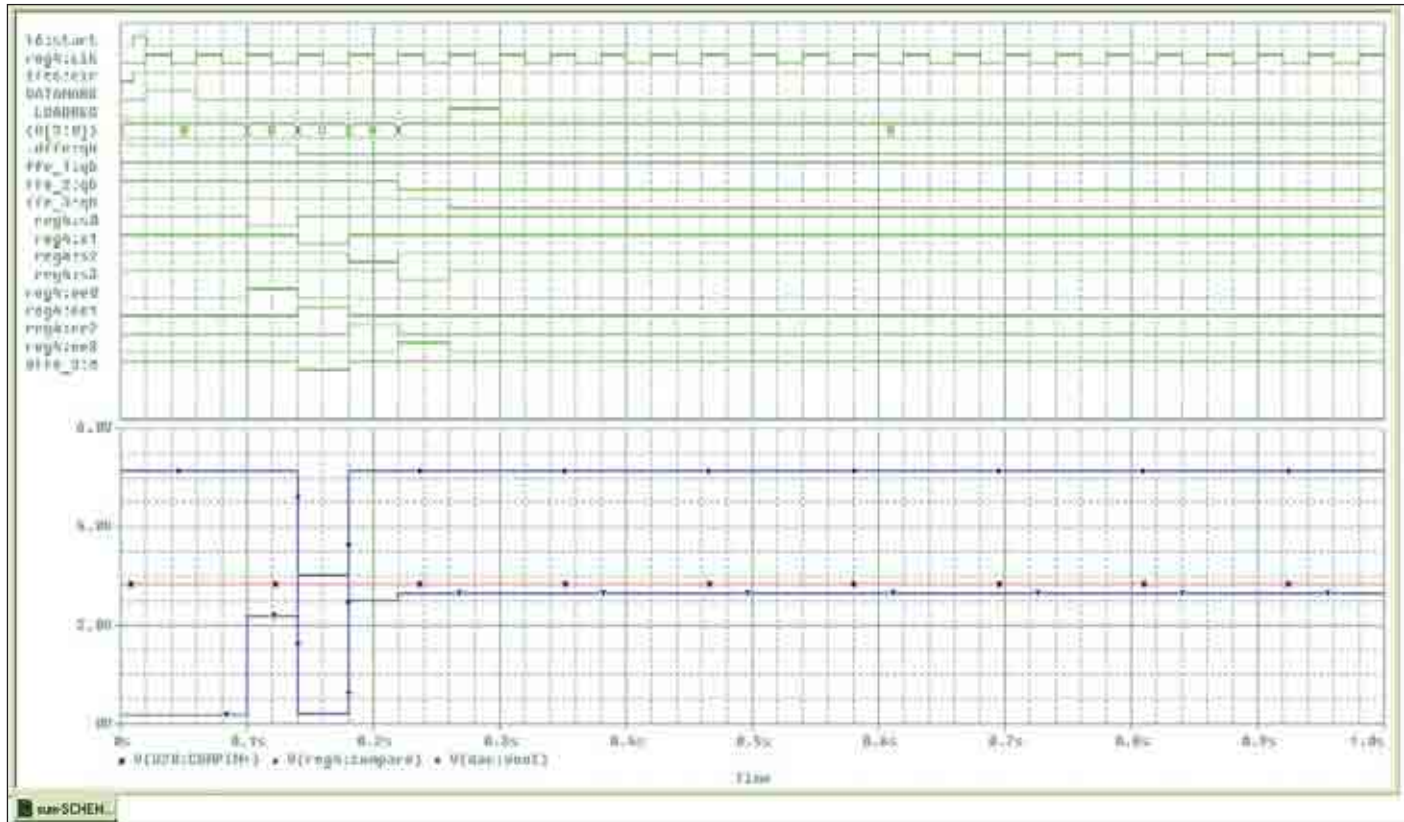


Рис. 10. Временные диаграммы работы проектируемого четырехразрядного АЦП

зом, на выходах регистра результата по низкому уровню сигнала *cl* имеем код 0000(bin). Результат сравнения компаратором поступает одновременно на все информационные входы *d* четырехразрядного регистра. Первоначально на выходе компаратора при опорном напряжении 5,12 В присутствует напряжение 5,152 В. Сигналами разрешения триггеров *dffe-dffe_3* регистра результата управляют прямые выходы регистра сдвига. В конкретный момент времени результат сравнения компаратором может быть записан только в один из триггеров *dffe-dffe_3*.

Рассмотрим принцип работы АЦП с 3-го по 6-й такт синхроимпульса. По третьему такту синхроимпульса регистры сдвига и результата сформируют код 8(hex) или 1000(bin) с единицей в старшем разряде *b3* независимо от сигнала на выходе компаратора. При входном коде 1000(bin) ЦАП (рис. 11) при опорном напряжении, равном 5 В, сформирует аналоговое напряжение на выходе 2,191 В, то есть примерно половины шкалы опорного напряжения. Предположим, что входное напряжение $V_{вх}$, которое требуется оцифровать, составляет 2,85 В. Аналоговый компаратор, построенный с использованием макромодели фирмы MAX954, сравнивает входные напряжения, и если $V_{ЦАП} (2,191 В) \leq V_{вх} (2,85 В)$, то на выходе компаратора сохраняется аналоговое напряжение 5,152 В, которое с помощью двух инверторов (макромодель 7404) преобразовывается в цифровой сигнал, в данном случае — в сигнал логической единицы. Тогда

Таблица 3. Принцип работы последовательного АЦП

| Двоичный код на четырехразрядном регистре результата | Напряжение, В | | Относительное изменение напряжения ЦАП, В |
|--|---------------|---------|---|
| | От ЦАП | Входное | |
| 1000 | 2,191 | 2,85 | 0,659 |
| 1100 | 3,034 | 2,85 | -0,184 |
| 1010 | 2,513 | 2,85 | 0,337 |
| 1011 | 2,655 | 2,85 | 0,195 |
| Окончательный результат: 1011 | | | |

единица в старшем разряде регистра результата *b3* сохраняется. Это происходит потому, что в триггер *dffe* по третьему такту синхроимпульса записывается логическая «1», а на его инверсном выходе формируется логический ноль, который (будучи логически перемножен с сигналом *s0*, равным логической «1», и проинвертирован) установит и будет удерживать

старший разряд *b3* в единице. Если бы оказалось, что $V_{ЦАП} > V_{вх}$, то на выходе компаратора установился бы низкий уровень сигнала, и по третьему такту синхроимпульса в триггере *dffe* появился бы логический ноль, а на инверсном выходе триггера *dffe* — логическая «1». По четвертому такту синхроимпульса единица в старшем разряде оказалась бы сброшена,

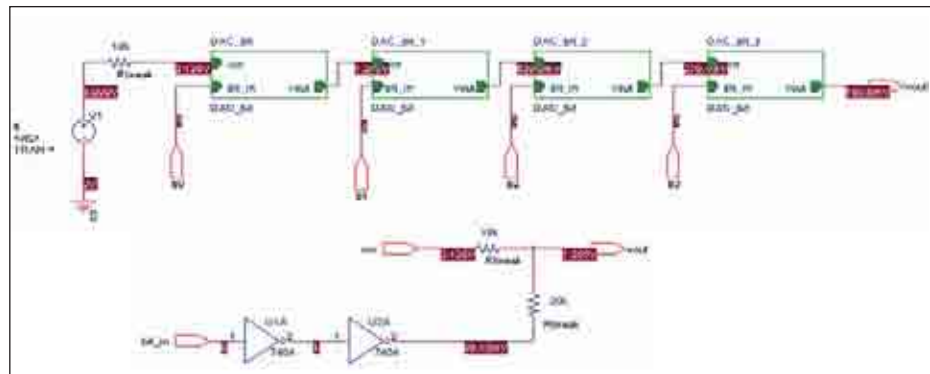


Рис. 11. Четырехразрядный ЦАП на матрице R-2R и разряд ЦАП

так как высокий уровень сигнала s_0 удерживается триггером $dffe_4$.

По четвертому такту синхроимпульса сигнал s_1 находится в «0», а на инверсном выходе $dffe_1$ присутствует «1», поэтому в разряд b_2 запишется «1» и на выходах схемы обрамления регистра результата установится код 1100(bin) или C (hex), на выходе ЦАП будет сформировано напряжение 3,034 В. В этом случае $V_{ЦАП} (3,034 В) > V_{\theta x} (2,85 В)$, и на выходе компаратора установится низкий уровень сигнала. Это приведет к сохранению на инверсном выходе триггера $dffe_1$ логической единицы. По пятому такту синхроимпульса логическая «1» на выходе триггера $dffe_1$, будучи перемножена с сигналом s_1 , равным «1», и проинвертирована, даст в разряде b_2 логический ноль. По этому же такту синхроимпульса в разряде b_1 установится единица и в результате — код 1010(bin) или A (hex). По шестому такту синхроимпульса установится код 1011(bin) или B (hex).

Из описанного принципа работы последовательного АЦП следует, что регистр сдвига инверсными выходами s_0 – s_3 устанавливает на выходах b_3 – b_0 регистра результата единицу в старшем разряде, а компаратор принимает решение оставлять ее в следующем такте, если $V_{ЦАП} < V_{\theta x}$, или сбросить в ноль, если $V_{ЦАП} > V_{\theta x}$. Принцип работы последовательного АЦП показан в табл. 3.

Выводы

Смешанное аналого-цифровое моделирование в САПР OrCAD V.9.X фирмы CADENCE design systems может быть эффективно использовано для изучения принципов работы ЦАП и АЦП. ■

Литература

1. Шалагинов А. Знакомство с пакетом DesignLab 8. Урок 1–5 // Компоненты и технологии. 2001. № 2–6.
2. Шалагинов А. Знакомство с пакетом OrCAD9.1 // Компоненты и технологии. 2002. № 1.
3. Златин И. Моделирование на функциональном уровне в OrCAD 9.2 // Компоненты и технологии. 2003. № 3, 4.
4. Златин И. OrCAD 10.5 для начинающих пользователей // Компоненты и технологии. 2006. № 3, 4.
5. Микропроцессоры и микрокомпьютеры: Вводный курс / Пер. с англ. М.: Мир, 1983.
6. Применение интегральных схем: практическое руководство. В 2 кн. Кн. 1/Пер. с англ. под ред. А. Уильямса. М.: Мир, 1987.
7. Сергиенко А. Б. Цифровая обработка сигналов. СПб.: Питер, 2003.
8. Прянишников В. А. Электроника: Полный курс лекций. 3-е изд., испр. и доп. СПб.: Учитель и ученик: Корона принт, 2003.