

Stratix III — новое семейство FPGA фирмы Altera

Роман ЗОЛУТХО
roman@efo.ru
Дмитрий КОМОЛОВ
dima@efo.ru

Проекты, в которых используются микросхемы программируемой логики, становятся все более сложными. С одной стороны, это требует от разработчиков повышения квалификации и может приводить к затягиванию разработок. С другой стороны, современные условия рынка предполагают сокращение времени разработки и себестоимости разрабатываемых устройств. Для преодоления этого противоречия фирмы-производители ПЛИС предлагают как усовершенствованные средства разработки, так и новые семейства микросхем программируемой логики. Одним из новейших высокопроизводительных семейств FPGA, анонсированных фирмой Altera, является Stratix III.

Новое семейство FPGA — Stratix III — сочетает высокую производительность, большой логический объем и малое энергопотребление.

Главная особенность Stratix III — сниженное до двух раз энергопотребление (как динамическое, так и статическое) по сравнению с семействами FPGA предыдущего поколения, без потери производительности. Этого удалось достигнуть за счет реализации технологии программируемого энергопотребления (Programmable Power Technology), которая позволяет конфигурировать ресурсы ПЛИС (логические блоки, блоки цифровой обработки, блоки памяти) либо в режим с высокой производительностью, либо в режим с пониженным энергопотреблением. Предлагаемые фирмой Altera средства разработок предоставляют возможность анализировать проект и определять, какая производительность необходима тому или иному блоку. Блоки, не требующие высокой производительности (в том числе и неиспользуемые в проекте), устанавливаются в режим пониженного энергопотребления. Блоки, функционирующие

которых критично ко времени, устанавливаются в высокоскоростной режим. Таким образом, технология программируемого энергопотребления позволяет совместить в одном проекте два до сих пор не совместимых требования. Возможность устанавливать блоки ПЛИС либо в высокоскоростной режим, либо в режим с низким энергопотреблением, — новое слово в мире программируемой логики (рис. 1).

Другая особенность семейства Stratix III, способная снизить энергопотребление, — возможность выбора напряжения питания ядра (VCCint). Для проектов, где определяющим фактором является высокая производительность, используется напряжение питания ядра 1,1 В. Для проектов, требующих пониженного энергопотребления, — 0,9 В.

Микросхемы Stratix III будут выпускаться по 65-нанометровой технологии. Внутренние тактовые частоты Stratix III могут достигать 600 МГц. Максимальная производительность FPGA Stratix III на 25% выше, чем у семейств ПЛИС предыдущего поколения.

Семейство Stratix III разделено на три подсемейства, каждое из них оптимизировано для определенных приложений:

- **Stratix III L** — для решения задач, где требуется большая логическая емкость;
- **Stratix III E** — для решения задач цифровой обработки сигналов и задач, требующих применения больших объемов памяти;
- **Stratix III GX** — для решения задач высокоскоростных коммуникаций (микросхемы данного подсемейства будут содержать мультигигабитные трансиверы).

Выпуск первых инженерных образцов FPGA семейства Stratix III планируется в III квартале 2007 года. Подробная информация по семейству Stratix III (в том числе и предварительное техническое описание) доступна на сайте Altera www.altera.com/stratix3.

Архитектура FPGA Stratix III

В основе архитектуры FPGA Stratix III лежат принципы, прекрасно зарекомендовавшие себя в микросхемах предыдущего поколения Stratix II.

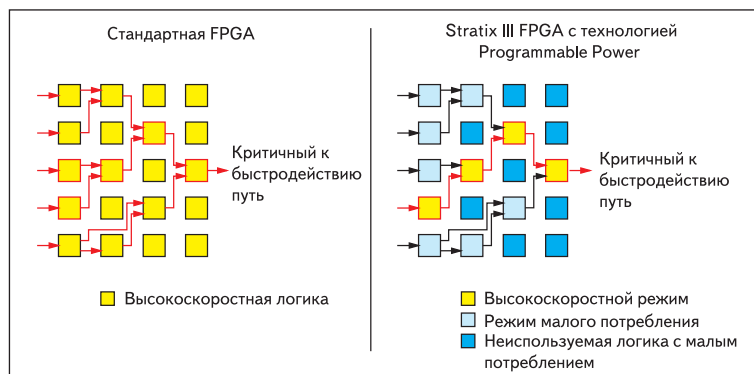


Рис. 1. Использование различных режимов блоков Stratix III по сравнению с FPGA предыдущего поколения

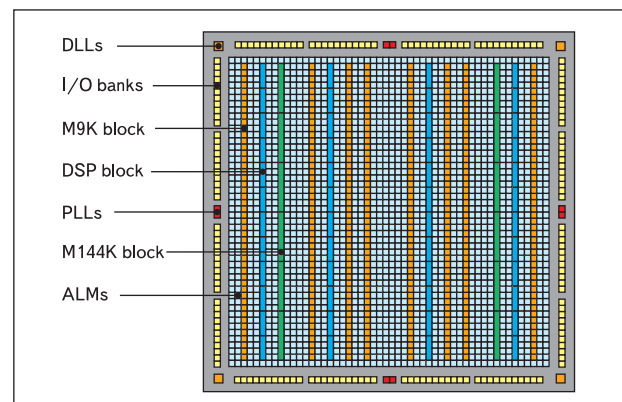


Рис. 2. Структура FPGA Stratix III

Таблица 1. Ресурсы FPGA подсемейства Stratix III L

Микросхемы Stratix III L	EP3SL50	EP3SL70	EP3SL110	EP3SL150	EP3SL200	EP3SL340
Кол-во адаптивных логических модулей (ALMs)	19 000	27 000	42 600	56 800	79 560	135 200
Кол-во эквивалентных логических элементов (LEs)	47 500	67 500	106 500	142 000	198 900	338 000
Кол-во триггеров*	38 000	54 000	85 200	113 600	159 120	270 400
Кол-во блоков памяти М9К	108	150	275	355	468	1144
Кол-во блоков памяти М144К	6	6	12	16	24	48
Объем встроенной памяти (кбит)	1836	2214	4203	5499	7668	17 208
Объем памяти MLAB (кбит)	594	844	1331	1775	2486	4225
Кол-во встроенных умножителей 18×18	216	288	288	384	576	576

* без учета режима LUTREG

Таблица 2. Ресурсы FPGA подсемейства Stratix III E

Ресурсы ПЛИС Stratix III E	EP3SE50	EP3SE80	EP3SE110	EP3SE260
Кол-во адаптивных логических модулей (ALMs)	19 000	32 000	42 600	101 760
Кол-во эквивалентных логических элементов (LEs)	47 500	80 000	106 500	254 400
Кол-во триггеров*	38 000	64 000	85 200	203 520
Кол-во блоков памяти М9К	400	495	639	864
Кол-во блоков памяти М144К	12	12	16	48
Объем встроенной памяти (кбит)	5328	6183	8055	14 688
Объем памяти MLAB (кбит)	594	1000	1331	3180
Кол-во умножителей 18×18	384	672	896	768

* без учета режима LUTREG

FPGA Stratix III (рис. 2) содержат массив адаптивных логических модулей, высокопроизводительные и гибкие блоки памяти и блоки цифровой обработки сигналов, блоки фазовой автоподстройки частоты (PLL) и блоки автоподстройки частоты по задержке (DLL). FPGA Stratix III содержат до двадцати четырех высокопроизводительных банков ввода-вывода. Наличие банков ввода-вывода с поддержкой различных интерфейсов внешней памяти и лучшими на сегодняшний день средствами обеспечения целостности сигналов существенно облегчают проектирование печатных плат для FPGA Stratix III. А встроенные средства защиты позволяют обезопасить проект от несанкционированного копирования или модификации.

Ресурсы подсемейства Stratix III L представлены в таблице 1.

Объем аппаратных ресурсов (до 340 тыс. эквивалентных логических элементов, 21 Мбит встроенной памяти и 576 встроенных умножителей) позволяет утверждать, что FPGA подсемейства Stratix III L являются на сегодняшний день самыми ресурсонасыщенными микросхемами программируемой логики.

Ресурсы подсемейства Stratix III E представлены в таблице 2.

Встроенные в FPGA подсемейства Stratix III E умножители 18×18 бит работают на частотах до 600 МГц. Микросхема EP3SE260 оптимальна по сочетанию ресурсов среди обоих подсемейств L и E.

Микросхемы Stratix III будут выпускаться в корпусах типа FineLine BGA (в исполнении FlipChip). Количество линий ввода-вывода для каждого из корпусов представлены в таблице 3.

О ресурсах FPGA подсемейства Stratix III GX пока ничего не сообщается. Эти данные будут опубликованы позднее.

Все микросхемы Stratix III будут доступны в коммерческом и промышленном температурном исполнении. Корпуса микросхем будут выпускаться как по обычной, так и по бессвинцовой (lead-free) технологии.

Адаптивные логические модули (ALM)

Основой архитектуры FPGA Stratix III является массив адаптивных логических модулей (Adaptive Logic Modules, ALM), который впервые был применен в FPGA семейства

Таблица 3. Количество линий ввода-вывода FPGA Stratix III для разных корпусов

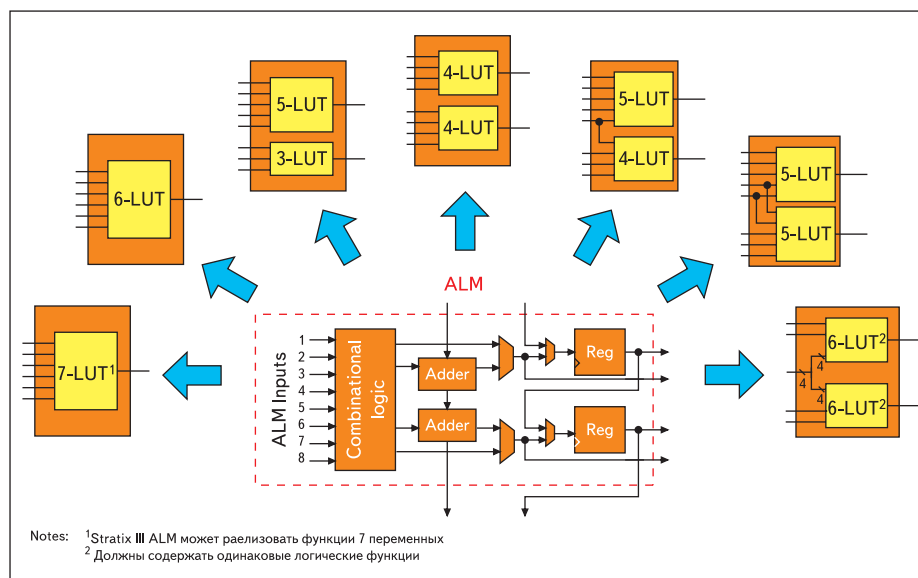
Подсемейство	Микросхема	Количество линий ввода-вывода для разных типов корпусов				
		F484	F780	F1152	F1517	F1760
Stratix III L	EP3SL50	288	480			
	EP3SL70	288	480			
	EP3SL110		480	736		
	EP3SL150		480	736		
	EP3SL200			736	864	
	EP3SL340				960	1104
Stratix III E	EP3SE50	288	480			
	EP3SE80		480	736		
	EP3SE110		480	736		
	EP3SE260			736	960	

↕ совместимость по расположению выводов «земли», питания, внутрисхемной конфигурации (ISP), и входов FPGA

Stratix II, выпускаемых с 2004 года. Адаптивный логический модуль состоит из восьмивходовой таблицы перекодировок (look-up table, LUT), двух специализированных сумматоров и двух триггеров.

Входящая в состав адаптивного логического модуля восьмивходовая LUT может использоваться для реализации логических функций большого числа входных переменных, а также в режиме разделения ресурсов — для реализации двух разных логических функций меньшего числа переменных. Например, на одной LUT может быть реализована любая логическая функция шести переменных, некоторые логические функции семи переменных, и различные комбинации двух логических функций от двух до шести переменных (рис. 3). Такая гибкая архитектура позволяет упаковывать большее количество функций в тот же логический объем.

Каждый ALM имеет и комбинаторные, и регистровые выходы. Соответственно, появляется возможность применять LUT и триггеры



Notes: ¹Stratix III ALM может реализовать функции 7 переменных
² Должны содержать одинаковые логические функции

Рис. 3. Режимы использования LUT адаптивного логического модуля

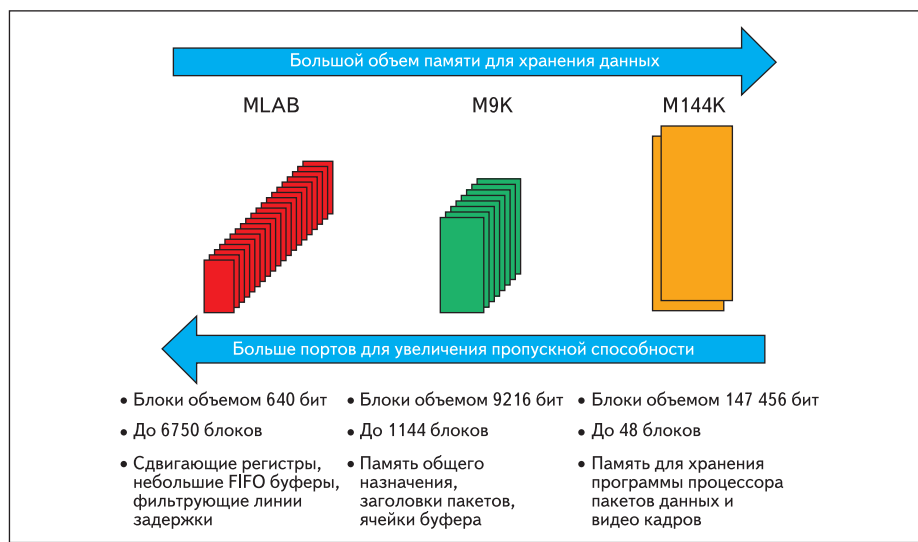


Рис. 4. Блоки памяти FPGA Stratix III

ALM независимо друг от друга, что особенно удобно в приложениях, требующих большого количества регистров.

Адаптивный логический модуль может содержать три триггера, если будет использоваться в режиме LUTREG, благодаря которому количество регистров в проекте может быть увеличено до двух раз.

Для решения задач цифровой обработки сигналов могут использоваться встроенные в ALM сумматоры. Их можно конфигурировать в один из двух режимов — или как два независимых двухвходовых сумматора, или как один трехвходовой сумматор для сложных арифметических вычислений.

Десять адаптивных логических модулей из состава одного логического блока могут быть преобразованы в блок памяти MLAB объемом 640 бит.

Структура памяти TriMatrix

Встроенное ОЗУ FPGA Stratix III может работать на частотах до 600 МГц. Общий объем встроенной памяти может достигать 21 Мбит. FPGA Stratix III содержат блоки ОЗУ трех видов (рис. 4):

- блоки MLAB. Объем блока MLAB 640 бит, FPGA может содержать до 6750 таких блоков. Блоки памяти MLAB могут использоваться для реализации сдвиговых регистров и буферов FIFO небольшого объема, линий задержек и т. п.;
- блоки M9K. Объем блока M9K 9216 бит, FPGA может содержать до 1144 таких блоков. M9K используются как блоки памяти общего назначения;
- блоки M144K. Объем блока 147 456 бит, FPGA может содержать до 48 таких блоков. Назначение блоков памяти M144K — хранение исполняемого кода синтезируемых процессорных ядер, реализация буферов большого объема для формирования па-

кетов при передаче данных или кадров в задачах обработки изображений.

Наличие блоков памяти разного объема позволяет оптимальным образом размещать различные устройства на кристалле FPGA.

Встроенные блоки памяти FPGA Stratix III могут использоваться в различных режимах: двухпортового ОЗУ, в режимах кодирования с коррекцией ошибок (Error Correction Coding, ECC), в режимах пониженного энергопотребления.

Блоки цифровой обработки сигналов

Для решения задач цифровой обработки сигналов (Digital Signal Processing, DSP) FPGA Stratix III содержит специализированные аппаратные DSP-блоки (рис. 5), в которых предусмотрены умножители с возможностью из-

менения разрядности операндов, сумматоры с накоплением результата, регистры конвейеризации и прочие средства реализации арифметических операций.

Использование аппаратных DSP-блоков FPGA для реализации алгоритмов ЦОС позволяет до 300 раз увеличить производительность по сравнению с реализацией тех же алгоритмов на основе цифровых сигнальных процессоров. При этом также может быть достигнуто снижение энергопотребления системы, уменьшение ее габаритов и стоимости.

Кроме того, для поддержки задач цифровой обработки сигналов фирма Altera предлагает широкий спектр IP-ядер, оптимизированных под архитектуру Stratix III.

Банки ввода-вывода

Для создания высокопроизводительной и гибкой подсистемы ввода-вывода I/O-банки FPGA Stratix III предоставляют разработчику возможность использования различных напряжений ввода-вывода. FPGA Stratix III могут содержать до 24 банков ввода-вывода, поддерживающих более 40 различных стандартов ввода-вывода. Поддерживаемые интерфейсы внешней памяти (как уже существующие, так и новые) представлены в таблице 4. Altera предлагает разработчикам IP-ядра контроллеров внешней памяти, оптимизированные под возможности банков ввода-вывода Stratix III. При этом реализация выводов DQ/DQS обеспечивается во всех банках ввода-вывода.

Для однопроводных стандартов ввода-вывода I/O-банки Stratix III поддерживают программирование скорости нарастания выходного сигнала и нагрузочную способность выходных буферов, использование встроенных калиброванных последовательных и парал-

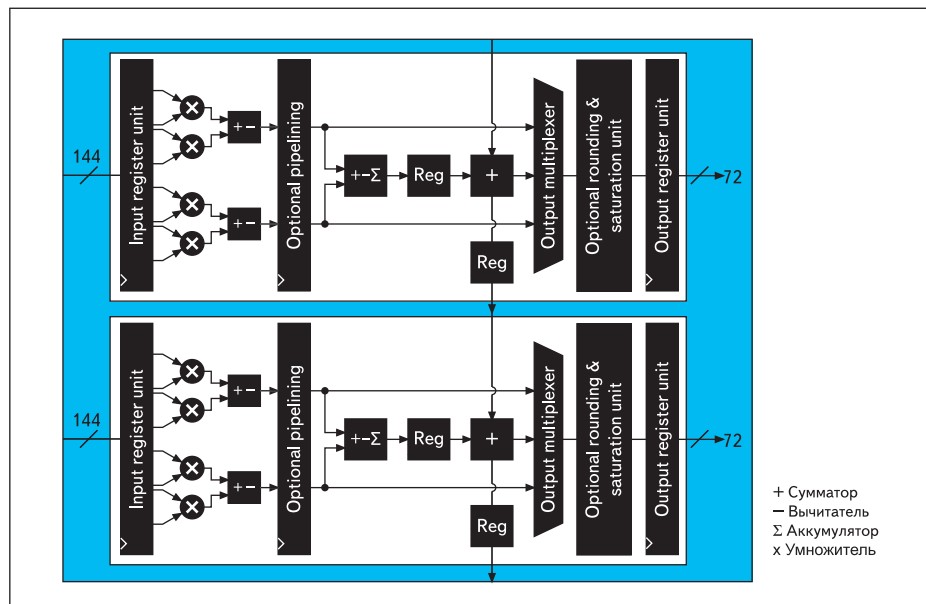


Рис. 5. Блоки цифровой обработки сигналов FPGA Stratix III

Таблица 4. Поддержка интерфейсов внешней памяти

Интерфейсы памяти	Стандарт ввода-вывода	Максимальная тактовая частота (МГц)	Максимальная скорость передачи данных (Мбит/с)
DDR SDRAM	SSTL-2	200	400
DDR2 SDRAM	SSTL-1,8	400	800
DDR3	SSTL-1,5	400	800
QDRII	1,8-V/1,5-V HSTL	350	1400
QDRII+	1,8-V/1,5-V HSTL	350	1400
RLDRAMII	1,8-V HSTL	400	800

льных терминирующих резисторов и компенсацию разности времен распространения выходных сигналов.

Реализация дифференциальных линий стандарта LVDS также предусмотрена во всех банках ввода-вывода. Всего можно реализовать 132 полнодуплексных (132 передатчика и 132 приемника) дифференциальных каналов LVDS со скоростью передачи данных 1,25 Гбит/с. Встроенный сериализатор-десериализатор (SERDES) канала LVDS содержит аппаратный блок динамического выравнивания фазы (dynamic phase alignment, DPA). Поддерживаются программирование пре-скажений (pre-emphasis) выходного сигнала и значения дифференциального выходного напряжения, а также использование встроенных калиброванных дифференциальных терминирующих резисторов.

При разработке блоков ввода-вывода Stratix III большое внимание было уделено средствам обеспечения целостности сигналов. На каждые восемь линий ввода/вывода I/O-банка имеется один вывод «земли» и один вывод напряжения питания ввода/вывода. FPGA Stratix III содержат внутренние блокировочные конденсаторы как на уровне кристалла (on-die), так и встроенные в корпус микросхемы (on-package).

Средства защиты проекта

Для защиты проекта от несанкционированного копирования, реверс-инжиниринга или модификации FPGA Stratix III содержат встроенные средства декодирования конфигурационного файла (рис. 6). Кодирование конфигурационного файла осуществляется в САПР Quartus II. Используется алгоритм AES с сертификацией FIPS-197. Длина ключа — 256 бит.

Stratix III — первое семейство FPGA, которое предоставляет возможности хранения ключа как в энергозависимой, так и в энергонезависимой памяти. Ключ, сохраненный в энергозависимой памяти, может быть перепрограммирован. Но более надежным, простым и дешевым является хранение ключа в энергонезависимой памяти FPGA.

Средства поддержки разработок

Применение сложных микросхем программируемой логики невозможно без развитых

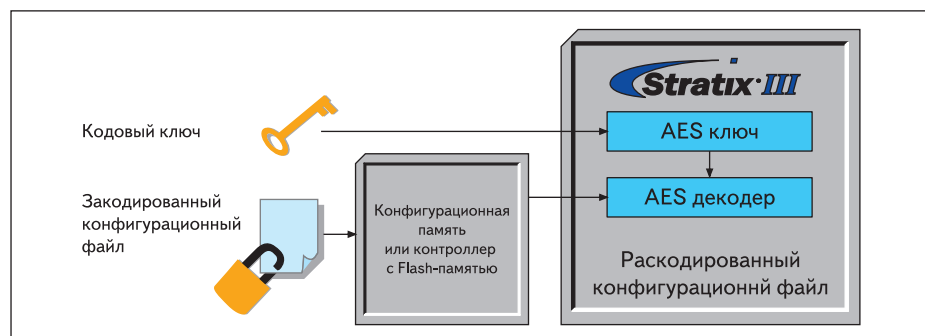


Рис. 6. Защита проекта от несанкционированного копирования

средств поддержки разработок. Altera предлагает пользователям программные средства, перекрывающие весь цикл разработки — от ввода проекта до программирования конфигурационного ПЗУ.

Как уже говорилось, одной из главных особенностей FPGA Stratix III является низкое энергопотребление. САПР Quartus II содержит утилиту PowerPlay Power Analyzer, которая предназначена для определения энергопотребления проекта на этапе разработки. В новой версии Quartus II в PowerPlay реализован ряд усовершенствований, позволяющих минимизировать энергопотребление разрабатываемого проекта за счет оптимизации синтеза, размещения и разводки по параметрам потребляемой мощности. Кроме того, PowerPlay осуществляет точную оценку энергопотребления на всех этапах проектирования, в том числе и на самых ранних, и содержит рекомендации по снижению энергопотребления в зависимости от тех или иных особенностей проекта. Совместное использование технологии программируемого энергопотребления (Programmable Power Technology) Stratix III и программных средств разработки и оптимизации, таких как PowerPlay Power Analyzer, позволяет значительно — в среднем до 25% — снижать динамическое энергопотребление FPGA в разрабатываемом устройстве.

Другие средства, входящие в состав САПР Quartus II, позволяют значительно сократить время разработки проектов, выполняемых на основе сложных FPGA. Это, например, ути-

лита PinPlanner, с помощью которой можно существенно упростить процесс назначения сигналов на выводы FPGA и задания стандартов ввода-вывода для них; это новый временной анализатор TimeQuest, поддерживающий формат SDC (Synopsys Design Constraints), позволяющий ускорить временной анализ сложных проектов и сделать его более точным.

Большое внимание фирма Altera уделяет средствам системного уровня проектирования, среди которых можно выделить следующие:

- библиотека различных IP-ядер (телекоммуникационных, интерфейсных, DSP и других);
 - пакет DSP Builder, предназначенный для создания систем цифровой обработки сигналов;
 - пакет SOPC Builder (входит в состав САПР Quartus II), предназначенный для создания встраиваемых микроконтроллерных систем на основе микросхем программируемой логики, с использованием синтезируемого процессорного ядра Nios II;
 - аппаратный акселератор C2H Compiler для синтезируемого процессорного ядра Nios II, который позволяет существенно увеличить производительность встраиваемой системы за счет аппаратной реализации алгоритмов.
- Таким образом, новое семейство FPGA Stratix III фирмы Altera, благодаря своим революционным особенностям и мощной программной поддержке, обещает стать лидером на рынке высокопроизводительных микросхем программируемой логики. ■