

Новый инструментальный комплект Spartan-3E Starter Kit для практического освоения методов проектирования встраиваемых микропроцессорных систем на основе ПЛИС семейств FPGA фирмы Xilinx

В конце 2005 года фирма Xilinx® приступила к серийному выпуску нового семейства ПЛИС с архитектурой FPGA (Field Programmable Gate Array) Spartan™-3E, которое отличается сочетанием высоких технических характеристик и относительно невысокой стоимости. Вслед за этим было начато производство инструментальных модулей различного назначения, основанных на базе кристаллов этого семейства. Применение готовых инструментальных средств позволяет значительно сократить суммарное время разработки проектируемого устройства, избежав при этом возможных ошибок, вносимых при изготовлении печатной платы и монтаже компонентов. Кроме того, отлаженные инструментальные модули облегчают процесс освоения новых методов и программных средств разработки систем на основе ПЛИС, в частности, систем на основе конфигурируемых микропроцессорных ядер. Наибольший интерес для эффективного изучения сквозного проектирования встраиваемых микропроцессорных систем на основе ядер семейств PicoBlaze™ [1–6] и MicroBlaze™ [1, 7–9] представляет новый инструментальный комплект Spartan-3E Starter Kit, который выполнен на основе ПЛИС XC3S500E. В настоящей публикации рассматриваются основные характеристики и структура аппаратного модуля Xilinx Spartan-3E Starter Board™, который входит в состав инструментального комплекта Spartan-3E Starter Kit™, а также даются краткие рекомендации по его применению.

Валерий ЗОТОВ
walerry@km.ru

Назначение и основные характеристики инструментального комплекта Spartan-3E Starter Kit

Новый инструментальный комплект Spartan-3E Starter Kit, как и предыдущий комплект этой серии [10], предназначен в первую очередь для практического изучения методов проектирования цифровых устройств с аппаратной реализацией операций и разработки встраиваемых микропроцессорных систем на основе ПЛИС передовых семейств FPGA фирмы Xilinx. Уникальные функциональные возможности, технические характеристики и конструктивное исполнение инструментального модуля, входящего в этот комплект, позволяют не только выполнять

отладку проектов, реализуемых на основе ПЛИС семейства Spartan-3E, но и использовать его в качестве промышленного серийного варианта разрабатываемого устройства. Рассматриваемый модуль можно рекомендовать в целом ряде случаев для аппаратной реализации проектируемой системы с целью выполнения жестких требований, предъявляемых ко времени ее разработки. Применение серийно выпускаемого модуля позволяет минимизировать время создания как опытных образцов, так и окончательного варианта разрабатываемого устройства или системы за счет исключения этапов проектирования и изготовления печатной платы и монтажа компонентов.

Архитектура инструментального модуля Xilinx Spartan-3E Starter Board позволяет ис-

пользовать его для реализации автономных систем управления, сбора и обработки информации, цифровой обработки сигналов, встраиваемых цифровых устройств с различными компьютерными интерфейсами. Кроме того, данный модуль можно рекомендовать для применения в учебных лабораториях вузов для изучения современных методов проектирования цифровых устройств, микропроцессорных систем с различной архитектурой, а также устройств цифровой обработки сигналов. Ресурсы инструментального модуля Xilinx Spartan-3E Starter Board позволяют реализовать проекты встраиваемых микропроцессорных систем, выполняемых на основе как 8-разрядных ядер семейства PicoBlaze, так и 32-разрядных ядер семейства MicroBlaze. Несколько типовых

проектов, специально разработанных для рассматриваемого инструментального комплекта, наглядно демонстрируют не только возможности отладочной платы, но и представляют возможные варианты конфигурации встраиваемых систем, создаваемых на базе этих микропроцессорных ядер.

В состав комплекта Spartan-3E Starter Kit входят:

- плата инструментального модуля Xilinx Spartan-3E Starter Board;
- сетевой адаптер с выходным стабилизированным напряжением 5 В и максимальным током нагрузки 2,5 А, используемый в качестве первичного источника питания инструментального модуля;
- стандартный USB-кабель Type A/Type B, подключаемый к соответствующему порту компьютера и предназначенный для конфигурирования ПЛИС и программирования конфигурационного ППЗУ, установленных на плате инструментального модуля Xilinx Spartan-3E Starter Board, с помощью интегрированной схемы загрузочного кабеля;
- комплект CD-ROM, содержащий новую полнофункциональную версию системы проектирования ISE™ (Integrated Software Environment/Integrated Synthesis Environment) WebPACK™, оценочные версии САПР ISE Foundation™ и средств разработки встраиваемых микропроцессорных систем Xilinx Embedded Development Kit™ (EDK), которые могут использоваться в течение 60 дней с момента установки, а также Spartan-3/3E Starter Kit Resource CD;
- брошюра для самостоятельного изучения процесса проектирования цифровых устройств на основе программируемой логики фирмы Xilinx (на английском языке).

К сожалению, по техническим причинам, в комплекте отсутствует подробная документация на инструментальный модуль (в том числе руководство пользователя) и исходные файлы типовых проектов. Файлы документации и архивы исходных модулей типовых проектов распространяются свободно через глобальную сеть Internet. Чтобы скопировать руководство пользователя Spartan-3E Starter Kit Board User Guide и принципиальную схему инструментального модуля в pdf-формате, нужно воспользоваться следующими ссылками www.xilinx.com/bvdocs/userguides/ug230.pdf и www.xilinx.com/products/boards/files/s3e_starter_schematic.pdf соответственно. Доступ к файлам типовых проектов, предназначенных для рассматриваемого комплекта Spartan-3E Starter Kit, открывает Web-страница www.xilinx.com/products/boards/s3estarter/reference_designs.htm.

Инструментальный модуль Xilinx Spartan-3E Starter Board характеризуется следующими отличительными особенностями:

- использование в качестве основного компонента ПЛИС из семейства Spartan-3E с объемом 500 000 системных вентилях (10 476 логических ячеек) в корпусе FG320,

объем логических и трассировочных ресурсов которой в сочетании с большим количеством пользовательских выводов позволяют реализовать не только отдельные функциональные блоки проектируемой системы, но и разрабатываемую систему в полном объеме;

- возможность поддержки на уровне проектов стандартных интерфейсов вычислительных систем RS-232, PS/2 и VGA, позволяющая подключать к инструментальному модулю внешние устройства с последовательным интерфейсом, клавиатуру/мышь и дисплей соответственно;
- применение в схеме модуля преобразователя уровней RS-232, обеспечивающего возможность непосредственного подключения к последовательному порту внешних устройств различного типа через разъемы DB-9 (типа DTE и DCE), установленные на плате (при реализации универсального асинхронного приемопередатчика UART на основе ресурсов ПЛИС);
- наличие дополнительных компонентов, реализующих физический уровень интерфейса 10/100 Ethernet PHY, позволяющего подключать инструментальный модуль через стандартный разъем непосредственно к соответствующей сети, при реализации контроллера Ethernet MAC в составе проекта, загружаемого в кристалл семейства Spartan-3E;
- подключение специальных и пользовательских выводов ПЛИС к контактам четырех разъемов расширения, соответствующих различным стандартам, что обеспечивает возможность гибкого сопряжения с внешними компонентами и устройствами;
- применение внешнего высокоскоростного синхронного динамического ОЗУ с удвоенной скоростью передачи данных, выполненного в виде DDR SDRAM емкостью 64 Мбайт (512 Мбит), расширяющее возможности оперативной памяти встраиваемых систем, реализуемой на основе соответствующих ресурсов ПЛИС;
- использование в качестве стандартного ППЗУ для хранения конфигурационных данных ПЛИС Flash-памяти серии Platform Flash, программируемой в системе, объемом 4 Мбит;
- включение в схему инструментального модуля дополнительной ПЛИС с архитектурой CPLD XC2C64A семейства CoolRunner-II [11], используемой, в частности, для коммутации конфигурационной памяти различного типа и управления режимами конфигурирования основного кристалла (серии Spartan-3E);
- интегрированная схема загрузочного кабеля, позволяющая выполнять конфигурирование всех ПЛИС и программирование конфигурационной памяти, входящих в состав инструментального модуля, с помощью стандартного кабеля, подключаемого к USB-порту компьютера;

- наличие дополнительного специального разъема для подключения стандартных загрузочных кабелей различного типа, позволяющих выполнять операции конфигурирования ПЛИС и программирования ППЗУ в различных режимах, а также обратного считывания конфигурационных данных через порт JTAG-интерфейса;
- использование в составе инструментального модуля параллельной NOR Flash-памяти емкостью 16 Мбайт (128 Мбит), которая может использоваться, в частности, для хранения конфигурационной последовательности данных ПЛИС семейства Spartan-3E или программного кода встраиваемой микропроцессорной системы, выполняемой на базе 32-разрядного ядра семейства MicroBlaze;
- наличие последовательной Flash-памяти объемом 16 Мбит с интерфейсом SPI (Serial Peripheral Interface), применяемой для записи конфигурационной информации кристалла семейства Spartan-3E или исполняемого программного кода встраиваемой микропроцессорной системы, выполняемой на базе 32-разрядного ядра семейства MicroBlaze;
- включение в состав схемы инструментального модуля последовательного ППЗУ EEPROM, поддерживающего криптографический алгоритм Secure Hash Algorithm (SHA-1) и предназначенного для защиты конфигурационных данных от несанкционированного копирования;
- применение двухканального аналого-цифрового преобразователя ADC (Analog-to-Digital Converter) с интерфейсом управления SPI, обеспечивающего возможность реализации устройств цифровой обработки сигналов;
- наличие четырехканального последовательного цифро-аналогового преобразователя DAC (Digital-to-Analog Converter) с 12-разрядным разрешением, управляемого с помощью интерфейса SPI;
- применение кварцевого генератора с частотой 50 МГц, предназначенного для формирования основного тактового сигнала для ПЛИС;
- наличие панели для установки дополнительного кварцевого генератора, используемого в качестве альтернативного или дополнительного источника сигнала синхронизации;
- присутствие на плате элементов индикации различных типов, обеспечивающих возможность визуального контроля напряжения питания, процесса конфигурирования кристалла и функционирования разрабатываемой системы;
- наличие четырех ползунковых переключателей, четырех кнопок и поворотного переключателя, совмещенного с кнопкой, которые могут использоваться, например, для ручной установки режима работы реализуемой системы или в процессе отлад-

- проектируемой системы, а также для тестирования инструментального модуля и прикладного программного обеспечения;
- использование комплексной схемы управления питанием, выполняющей функции формирования напряжений, необходимых для питания компонентов модуля, в том числе для блоков ввода/вывода и ядра кристалла FPGA, конфигурационного ППЗУ, элементов оперативной и постоянной памяти, ЦАП и АЦП, интегрированной схемы загрузочного кабеля;
- наличие кнопки, обеспечивающей реализацию режима принудительной загрузки конфигурационной последовательности в основную ПЛИС;
- полная совместимость со всем семейством систем проектирования и программирования кристаллов фирмы Xilinx (ISE WebPACK и ISE Foundation) [12] и поддержка средствами разработки встраиваемых микропроцессорных систем Xilinx EDK [1, 13].

Архитектура инструментального модуля Xilinx Spartan-3E Starter Board

Внешний вид инструментального модуля Xilinx Spartan-3E Starter Board показан на рис. 1. Все компоненты модуля смонтированы на печатной плате с двухсторонним размещением компонентов.

Структурное представление архитектуры рассматриваемого модуля показано на рис. 2.

Основными элементами архитектуры модуля Xilinx Spartan-3E Starter Board являются:

- главная ПЛИС XC3S500E семейства Spartan-3E в корпусе FG320, на основе которой реализуется проектируемая система;
- программируемое в системе ППЗУ серии Platform Flash XCF04S, предназначенное для хранения конфигурационных данных ПЛИС XC3S500E;
- блок загрузки конфигурационных данных;
- схема управления конфигурированием ПЛИС;
- вспомогательная ПЛИС CPLD XC2C64A семейства CoolRunner-II;
- последовательное ППЗУ EEPROM, поддерживающее криптографический алгоритм SHA-1;
- блок синхронизации, предназначенный для формирования внешних (по отношению к ПЛИС) тактовых сигналов;
- внешнее высокоскоростное ОЗУ;
- узел двухканального аналого-цифрового преобразователя (АЦП);
- узел четырехканального цифро-аналогового преобразователя (ЦАП);
- модуль параллельной NOR Flash-памяти емкостью 16 Мбайт (128 Мбит);
- модуль последовательной Flash-памяти объемом 16 Мбит с интерфейсом SPI;
- схема формирования и контроля питающих напряжений;
- блок светодиодных индикаторов;



Рис. 1. Внешний вид инструментального модуля Xilinx Spartan-3E Starter Board (вид сверху)

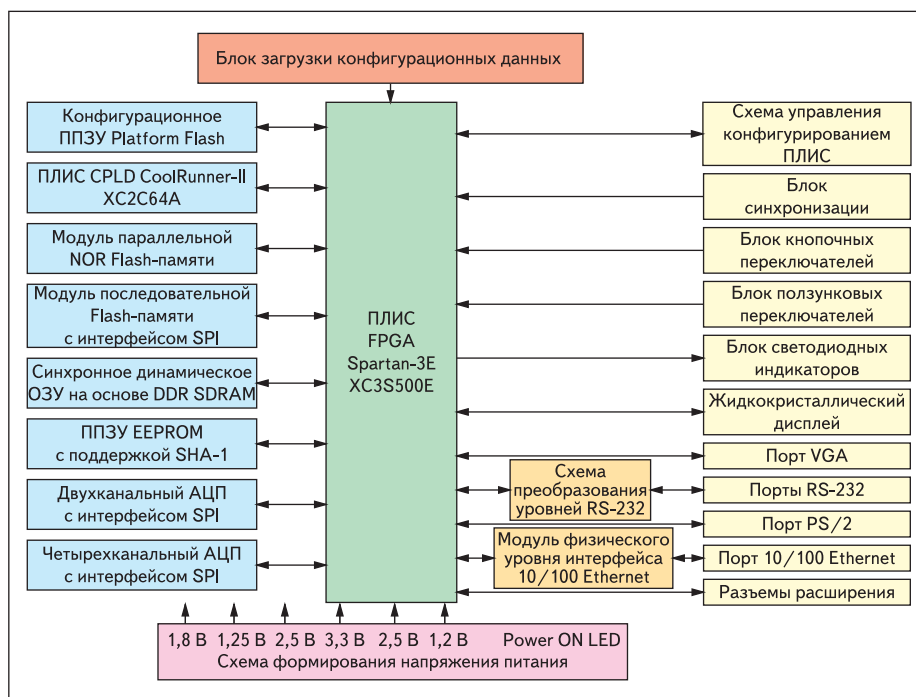


Рис. 2. Структурное представление архитектуры инструментального модуля Xilinx Spartan-3E Starter Kit

- двухстрочный шестнадцатизначный жидкокристаллический дисплей;
- блок ползунковых переключателей;
- блок кнопочных переключателей, с совмещенным поворотным переключателем;
- схема преобразования уровней сигналов интерфейса RS-232;
- модуль физического уровня интерфейса 10/100 Ethernet PHY;
- стандартные разъемы интерфейсов RS-232, PS/2, VGA и Ethernet;
- четыре разъема расширения.

Тип кристалла семейства Spartan-3E, используемого в качестве основной ПЛИС рассматриваемого инструментального модуля, в значительной степени определяет функциональные возможности последнего. Подробная информация об архитектурных особенностях и основных технических характеристиках кристалла XC3S500E, установленного на плате Xilinx Spartan-3E Starter Board, приводится в следующем разделе.

В состав блока загрузки конфигурационных данных входят интегрированная схема

загрузочного кабеля, разъем USB-порта и разъем, предназначенный для подключения стандартных загрузочных кабелей различного типа к JTAG-порту инструментального модуля. Выводы JTAG-портов типового конфигурационного ППЗУ XCF04S серии Platform Flash и ПЛИС XC3S500E и XC2C64A инструментального модуля соединены соответствующим образом, образуя единую цепочку периферийного сканирования, как показано на рис. 3. Таким образом, разработчику предоставляется возможность программирования ППЗУ серии Platform Flash XCF04S и загрузки конфигурационных данных непосредственно в ПЛИС из компьютера через один разъем. Режим конфигурирования основной ПЛИС из компьютера рекомендуется использовать на этапе отладки проекта разрабатываемой системы. Разъем JTAG-порта инструментального модуля позволяет использовать для операций конфигурирования и периферийного сканирования универсальные загрузочные кабели, выпускаемые фирмой Xilinx: Parallel Cable IV (PC IV), Platform Cable USB и MultiPro Desktop Tool, а также загрузочный кабель Digilent Parallel Cable JTAG3, который входит, например, в инструментальный комплект Spartan-3 Starter Kit. Интегрированная схема загрузочного кабеля и разъем USB-порта позволяют выполнять операции программирования типового ППЗУ серии Platform Flash и конфигурирования основной и вспомогательной ПЛИС, а также обратного считывания конфигурационных данных с помощью обычного стандартного USB-кабеля.

Схема управления конфигурированием ПЛИС включает в себя набор коммутационных переключателей, кнопку PROG и светодиодный индикатор XC-DONE, а также часть ресурсов вспомогательной ПЛИС XC2C64A семейства CoolRunner-II. Три переключателя J30 предназначены для выбора режима конфигурирования ПЛИС и типа соответствующей конфигурационной памяти. С их помощью задаются значения сигналов на входах выбора режима конфигурирования M0, M1, M2 кристалла XC3S500E. При отсутствии переключателя (разомкнутой паре контактов разъема J30) сигнал на соответствующем входе устанавливается в состояние высокого логического уровня (логической единицы). Установка переключателя переключает сигнал на соответствующем входе выбора режима в состояние низкого логического уровня. Описание различных комбинаций коммутационных переключателей J30 и соответствующих режимов конфигурирования основной ПЛИС приведено в таблице. Рис. 4 поясняет расположение переключателей для каждого режима конфигурирования ПЛИС.

Применение вспомогательной ПЛИС XC2C64A для организации подключения выводов конфигурационной памяти различного типа к соответствующим контактам основного кристалла (XC3S500E) позволило избежать использования большого числа

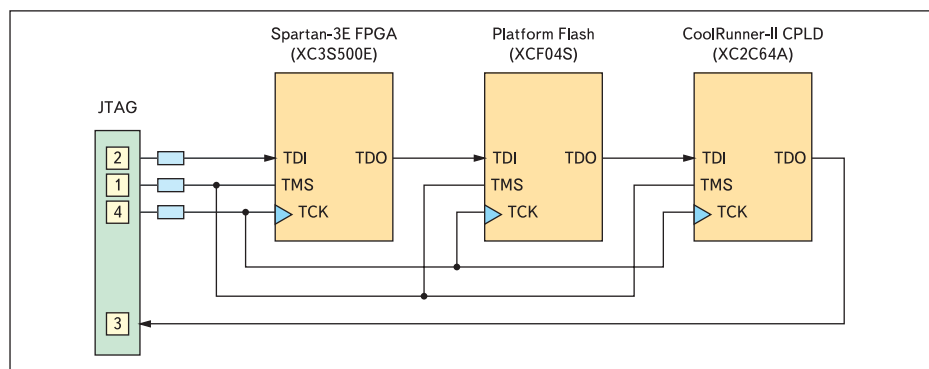


Рис. 3. Цепочка периферийного сканирования инструментального модуля Xilinx Spartan-3E Starter Board

Таблица. Описание возможных режимов конфигурирования ПЛИС XC3S500E в инструментальном модуле Xilinx Spartan-3E Starter Board

Название режима конфигурирования ПЛИС	Положение переключателей Mode (комбинация сигналов на входах <M0:M1:M2>)	Описание режима конфигурирования ПЛИС
Master Serial	<0:0:0>	Автоматическая загрузка из конфигурационного ППЗУ Platform Flash, установленного на плате
Serial Peripheral Interface	<1:0:0>	Загрузка конфигурационной последовательности из последовательного ППЗУ Serial Flash PROM с интерфейсом SPI, установленного на плате, в режиме SPI
Byte Peripheral Interface (BPI) Up	<0:1:0>	Загрузка конфигурационной последовательности из параллельного ППЗУ Flash PROM, установленного на плате, в режиме BPI Up
Byte Peripheral Interface (BPI) Down	<1:1:0>	Загрузка конфигурационной последовательности из параллельного ППЗУ Flash PROM, установленного на плате, в режиме BPI Down
JTAG	<1:0:1>	Загрузка конфигурационной последовательности через JTAG-кабель, подключенный к JTAG-разъему модуля, или через интегрированную схему загрузочного USB-кабеля

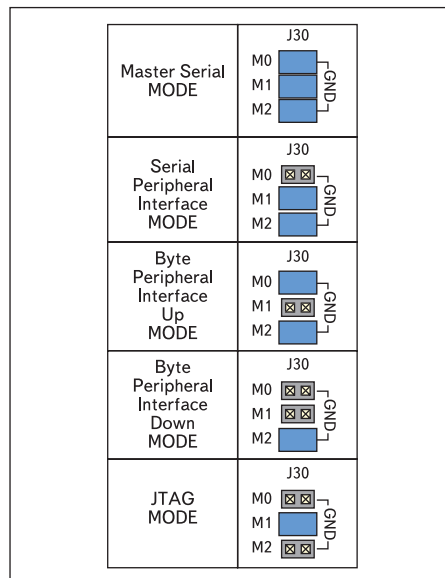


Рис. 4. Расположение переключателей для каждого режима конфигурирования ПЛИС XC3S500E в инструментальном модуле Xilinx Spartan-3E Starter Board

коммутационных переключателей. При этом свободные ресурсы ПЛИС XC2C64A могут использоваться разработчиком в проектируемой системе для реализации каких-либо ее функций. Данный кристалл содержит 64 макроячейки (Macrocell), входящие в состав четырех функциональных блоков (Function Block). Как и другие ПЛИС семейства CoolRunner-II, он отличается высоким быстродействием в со-

четании с ультранизким значением потребляемой мощности, а также наличием четырех независимых уровней защиты конфигурационных данных от несанкционированного копирования. Кнопка PROGRAM позволяет выполнить принудительную загрузку конфигурационной последовательности в ПЛИС. Светодиодный индикатор XC-DONE сигнализирует об успешном завершении процесса загрузки конфигурационной последовательности в ПЛИС XC3S500E.

В качестве перепрограммируемого постоянного запоминающего устройства, поддерживающего криптографический алгоритм SHA-1, в инструментальном модуле применяется последовательное ППЗУ EEPROM DS2432 фирмы Dallas Semiconductor®/Maxim®. Данный элемент может использоваться в разрабатываемых проектах для организации аппаратной защиты интеллектуальной собственности. В составе типовых проектов, разработанных для рассматриваемого инструментального комплекта, содержится пример реализации такой защиты.

Блок синхронизации образуют кварцевый генератор с частотой 50 МГц, панель для установки альтернативного или дополнительного кварцевого генератора в 8-контактном DIP-корпусе и высокочастотный разъем типа SMA, позволяющий подключить внешний сигнал синхронизации. Основной тактовый сигнал, который формируется кварцевым генератором, установленным на плате инструментального модуля, подается на один из шестнадцати специально выделенных контактов

кристалла, сопряженных с глобальными буферными элементами, а именно на GCLK10 (вывод С9 для корпуса FG320). Так как выход каждого глобального буфера связан (через глобальные тактовые мультиплексоры) с глобальной сетью тактовых линий и цифровыми блоками управления синхронизацией (Digital Clock Manager, DCM) ПЛИС семейства Spartan-3Е, то такое решение оптимальным образом обеспечивает возможность применения модуля DCM для получения сетки внутренних тактовых частот, соответствующих требованиям реализуемого проекта. Цифровой блок управления синхронизацией позволяет сформировать тактовые сигналы со сдвигом фаз на 90, 180 и 270 градусов, с удвоенной частотой и с одним из возможных коэффициентов деления (1,5; 2; 2,5; 3; 3,5; 4; 4,5; 5; 5,5; 6; 6,5; 7; 7,5; 8; 9; 10; 11; 12; 13; 14; 15; 16) по отношению к входному тактовому сигналу. Кроме того, применение схемы цифровой автоподстройки задержек (Delay Locked Loop, DLL), входящей в состав DCM, позволяет устранить временные перекосы, возникающие при распространении сигналов синхронизации как внутри кристалла, так и на уровне печатной платы инструментального модуля. В случае установки дополнительного кварцевого генератора, его выход оказывается также подключенным к глобальному тактовому входу ПЛИС — GCLK8 (вывод В8 для корпуса FG320). Высокочастотный разъем типа SMA сопряжен с глобальным тактовым входом кристалла семейства Spartan-3Е GCLK7 (вывод А10 для корпуса FG320). Таким образом, любой из возможных сигналов синхронизации позволяет использовать модуль DCM для формирования совокупности тактовых сигналов с требуемыми значениями частоты и фазы.

Внешнее высокоскоростное ОЗУ выполнено на основе микросхемы синхронной динамической памяти DDR SDRAM MT46V32M16 с организацией 32М X 16 разрядов, выпускаемой фирмой Micron Technology Incorporated®. Данное ОЗУ может быть использовано в составе разрабатываемых проектов 32-разрядных микропроцессорных систем, которые выполняются на основе ядер семейства MicroBlaze. При этом внешнее запоминающее устройство может выполнять функции программной или оперативной памяти разрабатываемой микропроцессорной системы.

Узел АЦП включает в себя входной разъем J7, двухканальный предварительный усилитель и собственно двухканальный АЦП. Структурная схема этого узла и его сопряжения с основной ПЛИС (XC3S500E) инструментального модуля Xilinx Spartan-3Е Starter Board показана на рис. 5. Аналоговые сигналы подаются на контакты VINA и VINB входного разъема, с которого поступают на входы соответствующих каналов предварительного усилителя, выполненного на основе ИС LTC6912-1 фирмы Linear Technology®. Данный усилитель выполняет функцию масштабирования вход-

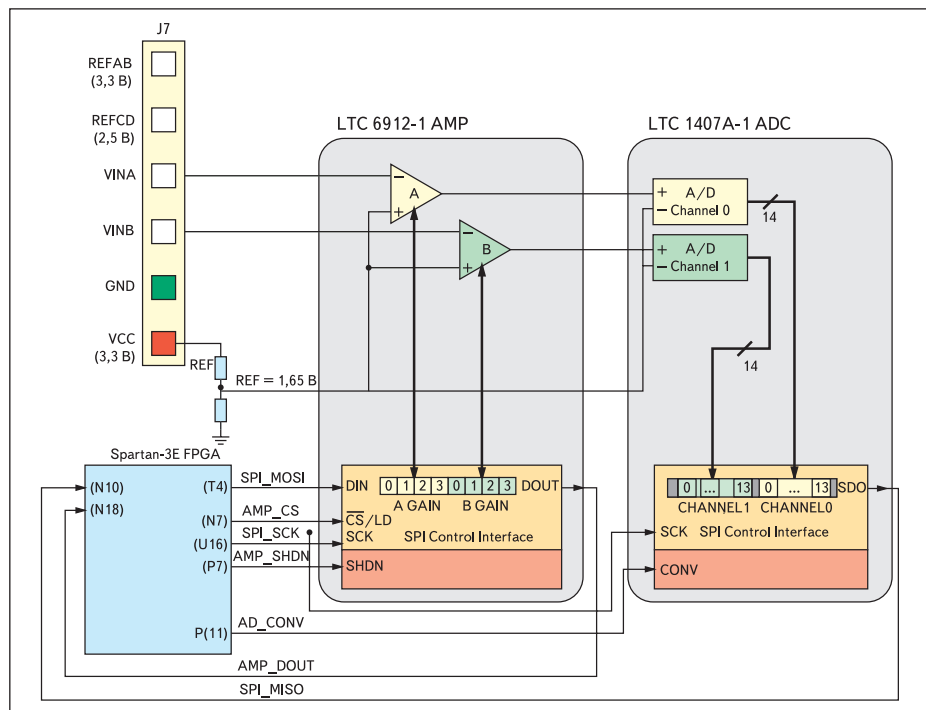


Рис. 5. Структурная схема узла АЦП и его сопряжения с основной ПЛИС (XC3S500E) инструментального модуля Xilinx Spartan-3Е Starter Board

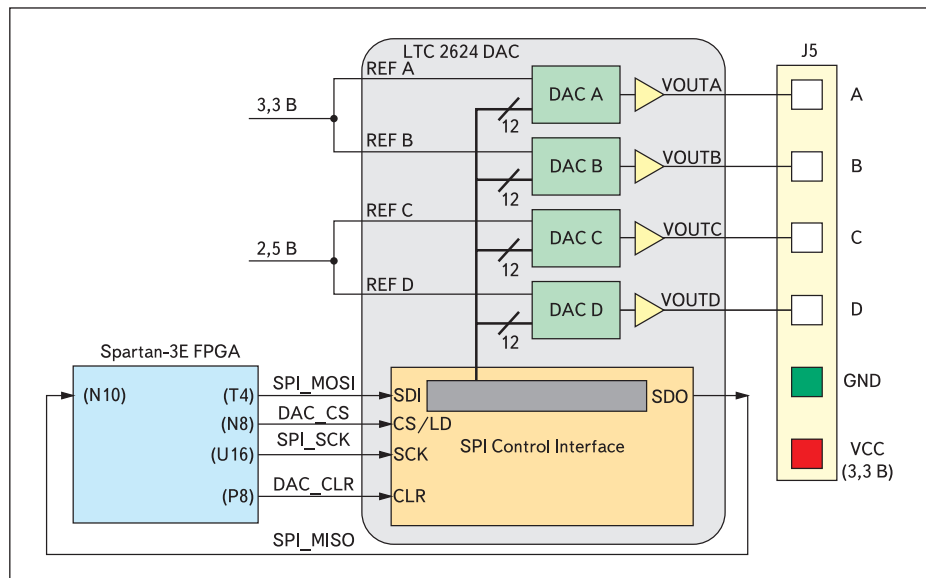


Рис. 6. Структурная схема узла ЦАП и его сопряжения с основной ПЛИС (XC3S500E) инструментального модуля Xilinx Spartan-3Е Starter Board

ных сигналов. Регулировка коэффициента усиления осуществляется с помощью интерфейса SPI. Собственно АЦП реализован на базе ИС LTC1407А-1, выпускаемой этой же фирмой. Каждый АЦП данной микросхемы выполняет преобразование аналоговых сигналов в 14-разрядный двоичный код. Результат преобразования транслируется в ПЛИС XC3S500E через последовательный интерфейс SPI.

В состав узла ЦАП входит ИС LTC2624 фирмы Linear Technology и выходной разъем J5. Микросхема LTC2624 содержит четыре ЦАП с 12-разрядным разрешением. Комму-

тация цифровых сигналов, формируемых в ПЛИС, на входы ЦАП осуществляется с помощью интерфейса SPI. При этом может использоваться как 24-, так и 32-разрядный протокол передачи данных. Сформированные аналоговые сигналы, уровень которых соответствует значениям входного 12-разрядного двоичного кода без знака, поступают на контакты А-Д выходного разъема. Рис. 6 демонстрирует структурную схему узла ЦАП и его сопряжение с основной ПЛИС (XC3S500E) инструментального модуля Xilinx Spartan-3Е Starter Board.

Модуль параллельной Flash-памяти выполнен в виде ИС 28F128J3 серии StrataFlash® Memory фирмы Intel® емкостью 16 Мбайт (128 Мбит). Данное ППЗУ может выполнять различные функции в разрабатываемой системе. Во-первых, этот модуль может использоваться в качестве обычной конфигурационной памяти ПЛИС XC3S500E. При этом загрузка конфигурационной последовательности данных в кристалл осуществляется в режимах Byte Peripheral Interface (BPI) Up и BPI Down. Во-вторых, данная память может применяться для одновременного хранения двух различных конфигурационных последовательностей ПЛИС. Таким образом реализуется возможность динамической реконфигурации в кристаллах семейства Spartan-3E. В-третьих, в модуль параллельной Flash-памяти может быть непосредственно записан исполняемый программный код для 32-разрядного микропроцессорного ядра семейства MicroBlaze. В-четвертых, этот модуль может использоваться в качестве энергонезависимой памяти данных в разрабатываемых встраиваемых системах.

Модуль последовательной Flash-памяти с интерфейсом SPI реализован на основе ИС M25P16 фирмы STMicroelectronics® объемом 16 Мбит. Это ППЗУ может исполнять роль альтернативной конфигурационной памяти кристалла семейства Spartan-3E. В этом случае загрузка конфигурационной последовательности данных в ПЛИС производится в режиме SPI. При разработке встраиваемых микропроцессорных систем, выполняемых на базе 32-разрядных ядер семейства MicroBlaze, данный модуль памяти может быть задействован для хранения исполняемого программного кода. Кроме того, на основе этого ППЗУ может быть реализована энергонезависимая память данных встраиваемых систем.

Комплексная схема формирования питающих напряжений включает в себя пять DC/DC-преобразователей, вырабатывающих напряжения требуемых номиналов, и светодиодный индикатор POWER. Три встроенных DC/DC-преобразователя, выполненные на основе интегральной схемы (ИС) TPS75003 фирмы Texas Instruments Incorporated®, формируют напряжения питания 1,2 В для ядра кристалла семейства Spartan-3E, а также напряжения 2,5 В и 3,3 В, используемые в блоках ввода/вывода этой ПЛИС и некоторыми компонентами инструментального модуля. Четвертый DC/DC-преобразователь вырабатывает напряжения 2,5 В и 1,25 В, предназначенные прежде всего для питания микросхемы синхронной динамической памяти DDR SDRAM и других узлов платы. Этот преобразователь реализован на базе ИС LTC3412, выпускаемой фирмой Linear Technology. В качестве входного напряжения для данных преобразователей используется напряжение 5 В, поступающее от сетевого адаптера. Наличие в цепи входного напряжения 5 В выключателя, установленного непосредственно на плате, делает более удобной работу с инструменталь-

ным модулем. Пятый DC/DC-преобразователь, выполненный на основе ИС LTC1844ES5 фирмы Linear Technology, формирует напряжение 1,8 В, которое необходимо для питания интегрированной схемы загрузочного кабеля. На вход этого преобразователя подается напряжение 3,3 В. Светодиодный индикатор POWER, установленный на выходе преобразователя 3,3 В, предназначен для визуального контроля наличия или отсутствия входного напряжения.

Блок индикации инструментального модуля содержит восемь светодиодов. Эти светодиодные индикаторы подключены к пользовательским выводам ПЛИС и могут использоваться в проекте разрабатываемой системы, например, для визуальной оценки выполнения алгоритма ее функционирования или в процессе тестирования инструментального модуля.

Жидкокристаллический дисплей предназначен для отображения алфавитно-цифровой информации в разрабатываемой встраиваемой микропроцессорной системе. Информация может выводиться в виде двух строк, каждая из которых содержит до 16 символов. Данный дисплей позволяет отображать как стандартные символы таблицы ASCII, так и символы, формируемые разработчиком. Информация, выводимая на дисплей, передается со стороны основной ПЛИС посредством 4-разрядной шины данных.

Блок кнопочных переключателей состоит из четырех кнопок без фиксации, сопряженных с пользовательскими входами ПЛИС. Данные кнопки могут использоваться в проектируемых системах для выполнения различных функций, например, сброса, изменения режима. Кроме того, к данному блоку можно отнести кнопочный переключатель, совмещенный с поворотным переключателем.

Блок ползунковых переключателей включает в себя четыре двухпозиционных переключателя, позволяющих устанавливать высокий или низкий логический уровень сигнала на пользовательских входах ПЛИС, к которым они подключены.

Большинство пользовательских выводов кристалла FPGA подключено к контактам разъемов различного типа, установленных на плате инструментального модуля. Тем самым обеспечивается возможность реализации в проекте, выполняемом на основе ПЛИС, ряда наиболее широко применяемых интерфейсов вычислительных систем. Инструментальный модуль предоставляет в распоряжение разработчика разъемы интерфейсов RS-232, PS/2, VGA и Ethernet. Для реализации асинхронного последовательного порта в соответствии с электрическими характеристиками интерфейса RS-232 в состав модуля включена схема преобразования уровней сигналов, выполненная на основе ИС MAX3232 фирмы Maxim. Сопряжение с физическим уровнем интерфейса Ethernet обеспечивает ИС LAN83C185, выпускаемая фирмой Standard Microsystems®.

Часть пользовательских выводов ПЛИС разведена к контактам четырех стандартных разъемов расширения различного типа, обеспечивающих возможность сопряжения с разнообразными внешними периферийными устройствами. Кроме того, конфигурация одного из разъемов расширения позволяет подключать к нему напрямую инструментальный модуль, выпускаемый фирмой Digilent® Inc VDEC1 Video Decoder Board.

Краткая характеристика ПЛИС XC3S500E, используемой в инструментальном модуле Xilinx Spartan-3E Starter Board

Функциональные возможности ПЛИС XC3S500E, используемой в инструментальном модуле Xilinx Spartan-3E Starter Board, характеризуются следующими показателями:

- логическая емкость кристалла составляет 1164 конфигурируемых логических блоков (Configurable Logic Block, CLB) или 10 476 логических ячеек (Logic Cell, LC);
- 232 пользовательских контакта ввода/вывода;
- максимальное количество дифференциальных пар входов/выходов составляет 92 пары;
- высокое быстродействие, допускающее возможность реализации проектов с системными частотами свыше 300 МГц;
- применение четырех цифровых блоков управления синхронизацией (DCM), выполняющих функции умножения, деления и сдвига фаз тактовых частот и обеспечивающих расширенные возможности управления тактовыми сигналами не только внутри кристалла, но и на уровне печатной платы проектируемой системы;
- использование глобальной сети тактовых сигналов предоставляет возможность распределения сигналов синхронизации внутри кристаллов с малыми разбегами фронтов;
- наличие двух видов внутренней оперативной памяти: распределенной Distributed RAM, реализуемой на базе таблиц преобразования (LookUp Table, LUT) конфигурируемых логических блоков, и встроенной блочной памяти Block RAM, которая может быть организована как двухпортовое ОЗУ;
- максимальный объем внутренней распределенной оперативной памяти Distributed RAM составляет 73 кбит;
- предельная информационная емкость встроенной блочной памяти Block RAM, организованной в виде секций двухпортового ОЗУ по 18 кбит, составляет 360 кбит;
- возможность реализации быстрых внутренних интерфейсов к внешним высокопроизводительным элементам памяти (ОЗУ или ПЗУ);
- наличие 20 встроенных аппаратных умножителей, предназначенных для вычисления произведения двух 18-разрядных операндов;

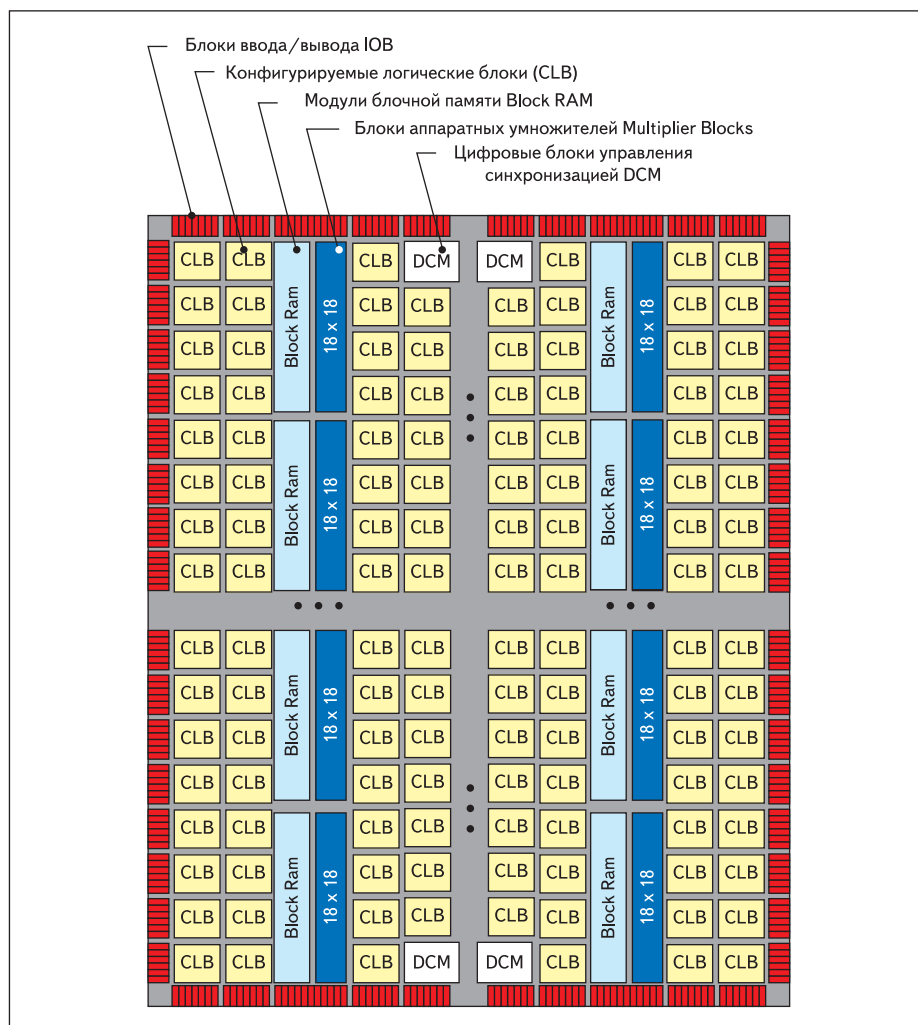


Рис. 7. Структурное представление обобщенной архитектуры ПЛИС семейства Spartan-3E

- использование технологии SelectIO™ позволяет поддерживать широкий спектр однополюсных и дифференциальных цифровых сигнальных стандартов ввода/вывода, в частности, LVTTTL, LVCMOS12, LVCMOS15, LVCMOS18, LVCMOS25, LVCMOS33, SSTL25(I), SSTL18(I), HSTL(I), HSTL(III), PCI 3.3, PCI66_3, PCIX; LVDS, Bus LVDS, mini-LVDS, RSDS, Differential HSTL (1.8V, тип I и III), Differential SSTL (2.5V и 1.8V, тип I), 2.5V LVPECL;
- поддержка расширенной передачи данных с удвоенной скоростью Double Data Rate (DDR), открывающая широкие возможности для реализации высокоскоростных интерфейсов и устройств цифровой обработки сигналов;
- применение специальной логики ускоренного переноса для выполнения высокоскоростных арифметических операций;
- наличие цепочек каскадирования обеспечивает возможность реализации функций с большим количеством входных переменных;
- полная поддержка протокола периферийного сканирования в соответствии со стандартами IEEE Std 1149.1 (JTAG) и IEEE Std 1532;
- возможность использования в качестве конфигурационного ППЗУ широкого спектра Flash-памяти с различными интерфейсами;
- неограниченное количество циклов загрузки конфигурационных данных;
- поддержка семи режимов конфигурирования ПЛИС (Master Serial, Slave Serial, Slave Parallel, JTAG, Serial Peripheral Interface, Byte Peripheral Interface Up и Byte Peripheral Interface Down);
- низкая стоимость в сочетании с высокой производительностью, что позволяет использовать данный тип ПЛИС для реализации серийно выпускаемых устройств и систем.

Основу архитектуры кристаллов Spartan-3E XC3S500E составляет регулярная матрица конфигурируемых логических блоков CLB, окруженных программируемыми блоками ввода/вывода (Input/Output block, IOB) (рис. 7). Кроме того, в нее входят блоки аппаратных умножителей Multiplier Blocks, цифровые блоки управления синхронизацией DCM и блоки выделенной памяти Block RAM. Коммутация всех перечисленных выше архитектурных элементов осуществляется с по-

мощью программируемых трассировочных ресурсов нового поколения, которые имеют иерархическую структуру. Более подробное описание элементов архитектуры кристаллов семейства Spartan-3E можно найти в [14].

Использование инструментального модуля Xilinx Spartan-3E Starter Board

Перед началом работы с инструментальным модулем Xilinx Spartan-3E Starter Board следует подключить USB-кабель, входящий в состав инструментального комплекта, к соответствующим разъемам платы и персонального компьютера, а также необходимые кабели к разъемам, предназначенным для обмена данными с внешними устройствами. После этого можно подать питание на инструментальный модуль, подключив выходной разъем сетевого адаптера и установив выключатель POWER в состояние ON. При первом подключении платы Xilinx Spartan-3E Starter Board к USB-порту персонального компьютера на экран монитора будут выведены сообщения об обнаружении новых устройств, после чего автоматически стартует «мастер» установки драйверов операционной системы Windows для этих устройств. В открывшемся диалоговом окне этого «мастера» рекомендуется выбрать режим автоматического поиска и установки драйверов. После успешного завершения процедуры установки всех необходимых драйверов следует активизировать средства программирования ППЗУ и конфигурирования ПЛИС (программу iMPACT, входящую в состав САПР серии Xilinx ISE). Работа программы iMPACT начинается с процесса обнаружения загрузочного кабеля, после чего производится автоматический поиск и инициализация цепочки периферийного сканирования (включающей в себя ПЛИС и ППЗУ), подключенной к используемому JTAG-порту (рис. 4). Информация об обнаруженной цепочке периферийного сканирования отображается в графической форме в рабочей области основного окна и в текстовом виде в окне регистрации сообщений программы iMPACT. После этого можно приступить к выполнению операций программирования ППЗУ или конфигурирования ПЛИС, а также обратного считывания конфигурационных данных или контрольной информации из ППЗУ. Последовательность всех необходимых для этого процедур подробно рассмотрена в [12].

На этом завершается рассмотрение особенностей и характеристик инструментального модуля Xilinx Spartan-3E Starter Board. Дополнительную информацию об инструментальном комплекте Spartan-3E Starter Kit можно получить, обратившись к официальному дистрибьютору фирмы Xilinx в России, Белоруссии и Украине — ЗАО «КТЦ InlineGROUP™» (www.w.plis.r.u).

1. Зотов В. Проектирование встраиваемых микропроцессорных систем на основе ПЛИС фирмы Xilinx. М.: Горячая линия–Телеком. 2006.
2. Зотов В. PicoBlaze — семейство восьмиразрядных микропроцессорных ядер, реализуемых на основе ПЛИС фирмы Xilinx // Компоненты и технологии. 2003. № 4.
3. Зотов В. Система команд микропроцессорного ядра PicoBlaze, реализуемого на основе ПЛИС семейств Spartan-II, Spartan-III, Virtex, Virtex-E // Компоненты и технологии. 2003. № 5.
4. Зотов В. Особенности микропроцессорного ядра PicoBlaze, предназначенного для применения в проектах, реализуемых на основе ПЛИС семейства Virtex-II // Компоненты и технологии. 2003. № 6.
5. Зотов В. Особенности микропроцессорного ядра PicoBlaze, предназначенного для применения в проектах, реализуемых на основе ПЛИС семейства CoolRunner-II // Компоненты и технологии. 2003. № 7.
6. Зотов В. Особенности микропроцессорного ядра PicoBlaze, предназначенного для применения в проектах, реализуемых на основе ПЛИС семейств Spartan-3, Virtex-II и Virtex-II-Pro // Компоненты и технологии. 2005. №№ 5–6.
7. Зотов В. MicroBlaze — семейство тридцатидвухразрядных микропроцессорных ядер, реализуемых на основе ПЛИС фирмы Xilinx // Компоненты и технологии. 2003. № 9.
8. Зотов В. Система команд микропроцессорного ядра MicroBlaze // Компоненты и технологии. 2004. №№ 1–3.
9. Зотов В. Организация памяти микропроцессорного ядра MicroBlaze // Компоненты и технологии. 2004. № 5.
10. Зотов В. Инструментальный комплект Spartan-3 Starter Kit для практического освоения методов проектирования встраиваемых микропроцессорных систем на основе ПЛИС семейств FPGA фирмы Xilinx // Компоненты и технологии. 2005. № 7.
11. Кузелин М. О., Кнышев Д. А., Зотов В. Ю. Современные семейства ПЛИС фирмы Xilinx. Справочное пособие. М.: Горячая линия–Телеком. 2004.
12. Зотов В. Проектирование цифровых устройств на основе ПЛИС фирмы Xilinx в САПР WebPack ISE. М.: Горячая линия–Телеком. 2003.
13. Зотов В. Embedded Development Kit — система проектирования встраиваемых микропроцессорных систем на основе ПЛИС серий FPGA фирмы Xilinx // Компоненты и технологии. 2004. № 4.
14. Spartan-3E FPGA Family: Complete Data Sheet.