

Моделирование МОП-транзисторов

Методологический аспект

Преодоление полупроводниковой технологией 0,25-микронного рубежа предъявило новые требования к системам моделирования ИС. Теперь даже цифровые ИС требуют детального схемотехнического моделирования с применением точных компактных моделей. В статье описаны методологические проблемы построения компактных моделей МОП-транзисторов.

**Виктор Денисенко,
к. т. н.**

Victor@RLDA.ru

Введение

Пригодность модели для замещения компонента электрической цепи с целью ее машинного моделирования является главным отличительным признаком компактных моделей. Основным противоречием, которое преодолевается при разработке компактной модели, является противоречие между точностью и сложностью. Термин «компактная модель» является общепризнанным в зарубежной литературе и отражает основное требование к таким моделям — требование вычислительной простоты (компактности). В отечественной литературе компактные модели называют также электрическими моделями, подчеркивая тем самым их назначение — моделирование электрических цепей. Используется также термин «компонентная модель», поскольку она служит для моделирования прибора как компонента электрической цепи.

В отличие от физико-технологических моделей, которые отражают физические процессы, протекающие в полупроводниковых приборах, и описываются системой дифференциальных уравнений в частных производных, компактные модели отражают поведение прибора только относительно его внешних зажимов и описываются системой обыкновенных дифференциальных уравнений.

К компактным моделям не относятся также достаточно сложные математические модели, описывающие физические процессы в МОП-транзисторах. Эти модели служат для объяснения и глубокого аналитического исследования транзисторных структур с целью их оптимального конструирования и создания элементной базы нового поколения [1, 2].

Существуют также очень простые модели для ручных аналитических расчетов, которые широко используются для синтеза электрических цепей, для мысленного анализа принципов их работы, для изобретения новых схемных решений [3]. Их также не относят к компактным моделям.

Компактные модели делятся на физические и формальные. Физические модели создаются в результате анализа физических процессов, протекающих в приборе с упрощенной (модельной) геометрией, с упрощенным распределением легирующих примесей, в одномерном, квазидвумерном или квазитрехмерном приближении. При получении таких моделей используется множество других упрощающих пред-

положений: о диапазоне применимости, о погрешности аппроксимации, о постоянстве параметров и др. Детальное исследование физических процессов и строгое обоснование сделанных допущений очень важно для создания простой и одновременно точной компактной модели. Несмотря на множество упрощающих предположений, физические модели сохраняют физический смысл своих параметров и часто позволяют установить связь этих параметров с основными параметрами технологического процесса. Примерами физических моделей являются BSIM3 [4], EKV [5], HSPICE Level 28 [6].

В отличие от физических, формальные модели строятся на основе формального сходства между поведением модели и объекта относительно внешних выводов. При этом уравнения модели выводятся не из физических представлений о работе прибора, а путем экспертного подбора функциональных зависимостей для наилучшей аппроксимации вольт-амперных и вольт-фарадных характеристик. Для получения таких моделей широко используются методы среднеквадратической подгонки параметров уравнений с целью минимизации погрешности моделирования. Примером формальной модели является широко известная малосигнальная модель транзистора в виде линейного четырехполюсника, модель Level 3 программы SPICE [7], кусочно-линейные модели Чуа [8, 9], модель Ангелова [10]. Предельно упрощенными разновидностями формальных моделей являются модели переключательного уровня, которые используются для упрощенного моделирования цифровых СБИС [11].

В практике схемотехнического моделирования долгое время использовались как формальные, так и физические модели, однако последние 10 лет и в настоящее время подавляющее большинство разработчиков СБИС применяют исключительно физические модели, поскольку только они позволяют прогнозировать поведение транзистора при изменении его геометрии и электрофизических параметров.

Особое место занимают табличные модели, которые являются формальными по способу получения, но существенно более точными, чем физические. Табличные модели состоят из таблицы, в которой хранятся экспериментально полученные точки вольт-амперных и вольт-фарадных характеристик, и алгоритма их извлечения и обработки. Основной и трудноразрешимой проблемой табличных моделей является со-

Таблица 1. Свойства моделей различных типов

	Физико-технологические	Физические	Формальные	Табличные	Полунатурные
Масштабируемость	Отличная	Хорошая	Плохая	Плохая	Хорошая
Простота	Плохая	Удовлетворительная	Хорошая	Отличная	Отличная
Предсказательная способность	Отличная	Хорошая	Плохая	Плохая	Удовлетворительная
Точность	Отличная	Хорошая	Хорошая	Хорошая	Отличная
Достоверность	Хорошая	Удовлетворительная	Удовлетворительная	Хорошая	Отличная
Вычислительная эффективность	Плохая	Удовлетворительная	Хорошая	Отличная	Хорошая
Число параметров	Малое	Огромное	Большое	Малое	Малое
Физичность параметров	Отличная	Хорошая	Плохая	Плохая	Хорошая
Простота экстракции параметров	Плохая	Удовлетворительная	Хорошая	Отличная	Отличная
Возможность быстрой разработки	Плохая	Плохая	Хорошая	Отличная	Отличная

кращение требуемого объема памяти, слаживание экспериментальных данных и обеспечение связи результатов моделирования с параметрами техпроцесса и геометрией прибора.

Компактные модели могут быть математическими и полунатурными. Математические модели описываются системой дифференциальных уравнений и реализуются в виде программы, выполняемой компьютером. Полунатурные модели представляют собой реальный прибор (натуру) и программу, обеспечивающую связь реального прибора с программами моделирования электрических цепей. Примером полунатурных моделей являются компоненты, используемые для быстрого макетирования [15], и некоторые другие модели [14].

Компактные модели могут быть программными и аппаратными. Программные модели реализуются на универсальных компьютерах и представляют собой часть программы моделирования, выполненную, например, в виде DLL-библиотеки. Аппаратные модели строятся в виде специализированного устройства, в котором информация о модели отражена в структуре электрических связей между его функциональными блоками. Примером аппаратных моделей являются нейронные модели транзистора [12], табличные аппаратные модели [13], полунатурные модели [14].

Компактные модели можно также разделить на закрытые, частные и открытые. Уравнения закрытых моделей известны только собственнику модели. Уравнения частных моделей доступны всем, но контролируются их собственником, как, например, в случае модели HSPICE Level 28. Открытые модели имеют общедоступные уравнения или исходные тексты программы; каждый может их модифицировать, указав при этом отличие от оригинала. Примером открытых моделей являются модели Level 1–3 и все версии модели BSIM, исходные коды которых, уравнения и отчеты о найденных ошибках можно найти на сайте Калифорнийского университета в Беркли или выписать почтой. Интересно отметить, что именно открытые модели нашли наиболее широкое применение в полупроводниковой индустрии.

Существенное влияние на развитие компактных моделей оказала возможность их автономного описания в виде законченного программного модуля, например, в виде DLL-библиотеки. Это позволило создавать коммерческие версии моделей, не затрачивая усилия на разработку программы схемотехнического проектирования.

Всю историю развития области схемотехнического моделирования, которая насчиты-

вает уже более 30 лет, возможности компактных моделей отставали от быстрорастущих потребностей электронной промышленности. Особенно жесткие требования к ним предъявила 0,25-микронная и последующие технологии, когда оказалось, что огромная индустрия цифровых СБИС и систем на кристалле уже не может использовать упрощенные модели переключательного уровня и должна применять более точные компактные модели и детальное (SPICE-подобное) моделирование [15].

Необходимыми условиями существования компактной модели является ее постоянное финансирование и наличие коллектива, обеспечивающего консультации, обучение, устранение выявленных ошибок и модификацию модели в соответствии с новыми требованиями постоянно изменяющейся технологии. Обычно компактные модели разрабатываются разрозненными исследовательскими группами в университетах, в полупроводниковых компаниях и в госбюджетных организациях.

Задачи, решаемые с помощью компактных моделей

Основной группой пользователей компактных моделей являются схемотехники, проектирующие ИС, и технологи, разрабатывающие процесс ее изготовления. С помощью компактных моделей решаются следующие задачи:

- на этапе проектирования:
 - проверка функционирования электрической цепи;
 - анализ чувствительности цепи к изменению параметров ее элементов;
 - прогнозирование характеристик цепи при изменении техпроцесса и размеров элементов;
- после того, как цепь синтезирована:
 - оптимизация параметров элементов;
 - расчет статистических характеристик цепи при известных статистических характеристиках транзисторов;
- перед передачей проекта в кремниевую мастерскую:
 - верификация проекта с учетом паразитных элементов;
- в кремниевой мастерской:
 - определение стабильности техпроцесса;
 - разработка новых транзисторов;
 - прогнозирование характеристик ИС при изменении техпроцесса и размеров элементов;
- перенос информации о техпроцессе от кремниевой мастерской к проектировщикам ИС.

Для решения каждой из этих задач от модели требуются различные свойства. Проверку функционирования, которая состоит в получении ответа на вопрос, работает устройство или нет, можно выполнить с помощью достаточно простых моделей. Верификация проекта требует более точной модели, поскольку этот этап является заключительным перед изготовлением ИС. Анализ чувствительности требует точного знания характеристик на малом сигнале. Оптимизация требует высокого быстродействия модели. Для статистического моделирования необходимо, чтобы модель точно отражала входящие в нее зависимости от технологических параметров. Технологам желательно, чтобы модель точно предсказывала поведение транзистора при изменении параметров техпроцесса. Группы проектировщиков удалены от кремниевой мастерской на тысячи километров, и технологическая информация между ними циркулирует в виде параметров компактных моделей. Поэтому от модели требуется высокая достоверность — ведь ошибки в передаче информации выливаются в огромные финансовые потери после изготовления фотошаблонов и партии ИС.

Несмотря на различие требований, экономически целесообразнее поддерживать только одну универсальную модель, а не множество разных. Поэтому «хорошая» модель должна быть создана на основе компромисса между многими противоречивыми требованиями.

Взаимодействие между кремниевой мастерской, проектировщиками ИС и разработчиками моделей

Процессы проектирования и производства ИС в большинстве случаев разделены в пространстве: производство выполняется преимущественно в Юго-Восточной Азии (табл. 2), разработка с последующим размещением производства в кремниевых мастерских ведется по всему миру, в том числе и в России, где имеется несколько десятков мелких фирм. Очень распространенной стала организация бизнеса, при которой разработкой ИС занимаются небольшие фирмы, не имеющие своих кремниевых производств (Fabless semiconductor companies).

Таблица 2. Пять крупнейших кремниевых мастерских в 2002 году [69]

Место по итогам 2002 г.	Компания	Объем продаж, млн долл.	Доля рынка	Местоположение заводов
1	TSMC	4650	41,5%	Тайвань
2	UMC	1953	17,4%	Тайвань, Сингапур
3	IBM Micro	700	6,2%	США, Япония, Италия
4	Chartered	485	4,3%	Сингапур
5	Dongbu/Anam	246	2,2%	Южная Корея

Таким образом, между разработчиками и кремниевыми мастерскими должен быть надежный канал передачи информации о проекте и техпроцессе, исключающий возможность изготовления неработоспособных ИС по причине искажения информации.

Информацию о техпроцессе получают с помощью тестовых чипов, которые для от-

работки техпроцесса создает кремниевая мастерская или компания, специализирующаяся на производстве тестовых кристаллов. Часто их разрабатывают сами проектировщики ИС, которые не доверяют данным, полученным из кремниевой мастерской. Тестовый кристалл является первичным источником информации о техпроцессе. Далее его используют для получения параметров компактных моделей, включая статистические параметры [16], которые передаются проектировщикам ИС. Если при моделировании ИС разработчик использует параметры моделей, полученные из кремниевой мастерской, то последняя гарантирует работоспособность спроектированных кристаллов.

Таким образом, параметры моделей являются носителем информации о техпроцессе, а компактная модель играет роль моста между кремниевой мастерской и проектировщиками ИС (см. рисунок).

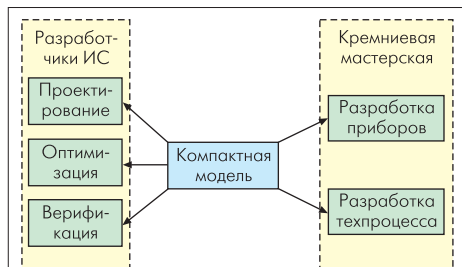


Рис. 1. Компактная модель служит мостом между разработчиками ИС и кремниевой мастерской [23]

Модель может быть использована в трех случаях: когда еще нет технологии, когда технология есть, но еще нет стабильности, и когда технология стабильна [17].

В первом случае используется свойство компактных моделей предсказывать поведение транзистора при изменении техпроцесса. Параметры моделей берут из ранее освоенных сходных техпроцессов и корректируют в них параметры, которые должны измениться для вновь осваиваемого процесса, например, толщину окисла, пороговое напряжение, уход длины и ширины канала от размеров по фотошаблону.

Когда техпроцесс уже отработывается, но еще нет стабильности, модель получается гораздо точнее, поскольку она основана на экспериментальных данных. Эта модель позволяет получить характеристики ИС для наихудшего и наилучшего случаев.

При отлаженном и стабильном техпроцессе компактная модель получается наиболее точной. Она используется схемотехниками и технологами для увеличения выхода годных кристаллов, для проектирования новых ИС, а также для наблюдения за техпроцессом и его дальнейшей отработки.

Встраивание компактных моделей в системы схемотехнического моделирования

Первые коммерческие модели МОП-транзисторов Level 2 и Level 3 были созданы той же командой разработчиков, которая проектировала SPICE, однако в наше время разра-

ботка моделей выполняется отдельными группами специалистов, что вызвано высокой сложностью моделей субмикронных транзисторов.

При встраивании модели в программу схемотехнического моделирования возникают проблемы, вызванные большим объемом и сложностью программного кода. Следствием этого являются ошибки при установке, при внесении поправок в модели, при замене версий и тестировании. Проблема усложняется еще и тем, что модель не может быть скомпилирована самостоятельно, отдельно от программы схемотехнического моделирования. Встраивание в систему и тестирование модели требует несколько человеко-месяцев [18]. Поэтому для установки новых моделей в готовые системы схемотехнического проектирования некоторые фирмы предлагают специальные интерфейсы к компактным моделям [15].

В последнее время появились работы [19, 20] по унификации процесса встраивания модели в программу моделирования. Наиболее интересен подход, основанный на применении языков описания аналоговых и аналого-цифровых схем Verilog-AMS [20, 21] и VHDL-AMS [22]. Эти языки являются стандартными (см. www.accellera.org, www.eda.org/g/verilog-ams) и поддерживаются многими программами схемотехнического моделирования.

Автоматическая генерация моделей

После освоения нанометровой технологии продолжительность разработки компактных моделей стала очень критическим параметром. Внедрение модели в полупроводниковую индустрию требует 3 года [18], а продолжительность ее разработки составляет 10–50 человеко-лет. Поэтому возникает вопрос о поиске компромисса между временем разработки модели и ее вычислительной эффективностью [23].

Одно из возможных направлений автоматического синтеза моделей основано на моделировании уравнений полупроводника электрической цепью [24, 25, 26, 27]. При этом модель автоматически получается физической, с физическими параметрами. Для уменьшения сложности модели при сохранении точности в работах [26, 27] выполняют аналитическое интегрирование уравнений полупроводника в пределах некоторой секции. Параметры, необходимые для интегрирования, находят с помощью численных физико-топологических моделей.

Однако модель, полученная таким способом, оказывается либо сложнее обычной компактной модели, либо требует такого же тщательного анализа, как и при создании компактной модели традиционным способом. Пока трудно судить о перспективности этого подхода, поскольку в работах [26, 27] рассмотрены только модельные задачи, не позволяющие судить о практическом использовании метода для синтеза компактных моделей субмикронных МОП-транзисторов. Вторым недостатком этого метода является применение для идентификации параметров физико-топологических моделей, которые сами по себе имеют много нерешенных про-

блем. К ним относится отсутствие надежной метрологической базы, трудоемкость калибровки моделей, постоянное появление новых физических эффектов, для учета которых требуется переделка или модификация моделирующих программ. К ограничениям этого метода следует отнести также проблематичность (или чрезмерную трудоемкость) моделирования трехмерных эффектов.

К потенциальным достоинствам метода относится возможность быстрого моделирования приборов, для которых еще не создана модель, эффектов внешних воздействий (магнитного поля, радиации), саморазгрева прибора.

Стандартизация моделей

Количество моделей МОП-транзисторов, существующих в настоящее время, превысило 100. Это затрудняет взаимодействие разработчиков с кремниевыми мастерскими, усложняет средства идентификации параметров, не позволяет сконцентрировать финансы на решении наиболее важных проблем моделирования и делает сложным сопровождение моделей поставщиками программ схемотехнического моделирования. Внедрение каждой новой модели в промышленное использование требует около 3 лет [18]. Поэтому в среде разработчиков и пользователей сформировалась потребность в создании единой модели, которая имела бы хорошие качественные показатели и была совместима со средствами идентификации параметров и различными средствами моделирования. Единая модель необходима также для обеспечения информационного обмена между кремниевыми мастерскими и их заказчиками, между технологическими партнерами, а также между группами разработчиков внутри большой компании.

Для решения перечисленных проблем в декабре 1995 года в рамках альянса предприятий полупроводниковой промышленности Electronic Industry Alliance (EIA) был создан Совет по компактным моделям транзисторов (Compact Model Council — CMC) [29], в который вошли лидирующие предприятия полупроводниковой индустрии: AMD, Analog Devices, Avant!, BTA Technology, Cadence Design System, Conexant System, Hewlett Packard, Hitachi, Motorola, IBM, Intel, Lucent Technology, NEC, Philips System, Texas Instruments и TSMC. Целью Совета является стандартизация и решение проблем качества моделей. Ближайшим кандидатом на стандартную модель была выбрана BSIM3v3, и к настоящему времени она стала первой стандартизированной моделью МОП-транзистора. За первые 6 лет работы совета было сделано множество поправок в уравнения моделей, разработаны процедуры их верификации [28]. Работы по усовершенствованию моделей проводятся также в рамках Fables Semiconductor Association (www.fsa.org), членами которой являются 148 компаний полупроводниковой промышленности. Вопросы метрологии, аттестации, верификации и тестирования моделей транзисторов разрабатываются также в отделе полупроводниковой электроники Национального института стандартов США (NIST) (<http://ray.eeel.nist.gov/modval.html>).

Сама концепция стандартизации компактных моделей является необычным делом, поскольку уравнения модели инкапсулированы в программное обеспечение, то есть объект стандартизации непосредственно «не виден». В процессе стандартизации рассматривают такие вопросы, как точность, тестирование, доступность, контроль версий программы, верификация и аттестация, порядок внедрения в промышленное использование. Большинство существующих компактных моделей были разработаны без учета необходимости соответствия перечисленным требованиям и поэтому требуют переработки, чтобы пройти стандартизацию и стать полезными для полупроводниковой индустрии.

СМС сформулировал следующие требования к моделям, которые могут быть выдвинуты в качестве кандидатов для стандартизации [18]:

- общедоступность исходных текстов программ;
- язык программирования модели — С;
- наличие организационной структуры, обеспечивающей техническую поддержку модели;
- подробно документированная методология экстракции параметров;
- полная документированность всей модели;
- соответствие качественным тестам;
- соответствие количественным тестам;
- наличие параметров для регулировки длины и ширины канала.

Общедоступность исходных текстов программы явилась критерием, которому не смогли удовлетворить многие из моделей, представленных на рассмотрение СМС. Наличие исходных текстов модели BSIM3v3 на сайте Калифорнийского университета в Беркли и свободный доступ к исследовательским отчетам во многом способствовали успешному прохождению процедуры стандартизации этой модели.

Для сравнения моделей между собой был выработан комплект качественных и количественных тестов [29]. Модель должна иметь правильное физическое поведение, что определяется по качественным тестам, и иметь хорошую точность по сравнению с измеренными характеристиками. Однако в тестах нет требования по соответствию между тестовым транзистором и характеристиками модели, поскольку погрешность, определенная как максимальное расстояние между ординатами двух кривых, еще не говорит о соответствии модели технологии изготовления ИС. Корректная оценка точности может быть основана только на статистическом описании техпроцесса и модели.

Аттестация модели по требованиям СМС выполняется в три этапа. Первым этапом является аттестация инсталляции модели в программу моделирования. Он выполняется поставщиком средств схемотехнического проектирования по соответствию модели качественным тестам. Результаты моделирования с помощью программы, в которую инсталлирована компактная модель, должны соответствовать результатам моделирования, которые получил разработчик в процессе разработки модели. Соответствие оценивается в широком

диапазоне изменения напряжений, размеров приборов и параметров модели.

Второй этап аттестации состоит в оценке качества параметров модели. После экстракции параметров по предлагаемой разработчиком методике характеристики модели должны быть проверены при различных смещениях, температурах и размерах транзистора. Аномалии поведения модели могут быть в виде отрицательных проводимостей, выбросов, нефизического поведения. Ошибки в параметрах моделей являются одной из распространенных причин получения ошибочных результатов в процессе моделирования ИС.

Заключительный этап аттестации выполняется путем сравнения результатов моделирования ИС и измерений с учетом разброса параметров техпроцесса. При моделировании учитывают все паразитные элементы ИС, включая межсоединения и емкости корпуса. Полное моделирование ИС является лучшим способом проверки качества модели. В частности, оно позволяет протестировать и вычислительные свойства модели, включая сходимость и быстродействие. ■

Продолжение следует

Литература

1. Pao H. C., Sah C. T. Effects of diffusion current on characteristics of metal-oxide(insulator)-semiconductor transistors // Solid-State Electron. Vol. 9. 1966.
2. Brews J. R. A charge-sheet model of the MOSFET // Solid-State Electron. Vol. 21. 1978.
3. Foty D., Binkley D., Bucher M. Startin over: gm/Id-based MOSFET modeling as basis for modernized analog design methodologies. Modeling and Simulation Microsystem, Workshop on Compact Modeling, WCM. 2002.
4. Cheng Y., Hu C., MOSFET modeling & BSIM3 user's guide. Kluwer Academic Publishers. 1999.
5. Enz C. C., Krummenacher F., Vittoz E. A. An analytical MOS transistor model valid in all regions of operation and dedicated to low voltage and low-current applications. J. Analog Integrated Circuit and Signal Processing. Vol. 8. 1995.
6. Foty D. P. MOSFET Modeling with Spice. Principle and Practice. Prentice Hall PTR, NJ. 1997.
7. Liu S., A unified CAD model for MOSFETs, ERL Memorandum No. UCB/ERL M81/31, University of California, Berkeley. May 1981.
8. Chua L. O., Deng A. Canonical piecewise linear representation // IEEE Trans. Circuit Syst. Vol. 35. No. 1. 1988.
9. Chua L. O., Deng A. Canonical piecewise linear modeling // IEEE Trans. Circuit Syst. Vol. CAS-33. No. 5. 1986.
10. Angelov I., Rorsman N., Stenarson J., Garcia M., Zirath H. An Empirical Table-Based FET Model // IEEE Trans. on Microwave Theory and Techniques. Vol. 47. No. 12. December 1999.
11. Acar E., Dartu F., Pileggi L. T. TETA: Transistor-level waveform evaluation for timing analysis // IEEE Trans. on CAD of ICAS. Vol. 21. No. 5. May 2002.
12. Shirakawa K., Shimiz M., Okubo N., Daido Y. A large signal characterization of a HEMT using a multilayered neural network // IEEE Trans. Microwave Theory Technol. Vol. 45. 1997.
13. Lewis D. Device model approximation using 2N trees // IEEE Trans. on CAD. Vol. 9. No. 1. Jan. 1990.
14. Denisenko V. V. An accurate circuit simulation using real MOS transistor instead of its mathematical model // In Proc. 1997 International Symposium on Nonlinear Theory and its Applications (NOLTA'97). Honolulu, USA. 1997.
15. Денисенко В. Проблемы схемотехнического моделирования КМОП СБИС // Компоненты и технологии. 2002. № 3, 4.
16. Денисенко В. Моделирование разброса параметров транзисторов в КМОП СБИС // Компоненты и технологии. 2003. № 8, 9, 10.
17. Bendix P. Spice model quality: Process development viewpoint // Quality Electronic Design, 2001 International Symposium. March 2001.
18. Brooks B., Green K., Krick J., Vrotsos T., Weiser D. Standardization and Validation of compact models, Workshop on Compact Modeling at the 6th International Conference on Modeling and Simulation of Microsystems. San Francisco. Feb. 2002.
19. Booth R.V.H. An extensible compact model description language and compiler // Proc. of the Fifth IEEE Int. Workshop on Behavioral Modeling and Simulation (BMAS) 2001.
20. Lemaitre L., McAndrew C., Hamm S. ADMS — Automatic Device Model Synthesizer // IEEE 2002 Custom Integrated Circuits Conference. 2002.
21. Mierzwinski M., O'Halloran P., Troyanovsky B., Dutton R. Changing the Paradigm for Compact Model Integration in Circuit Simulators Using Verilog-A // Modeling and Simulation Microsystem, Workshop on Compact Modeling, WCM. 2003.
22. Kasulasrinivas V. R., Carter H. W. Modeling and simulating semiconductor devices using VHDL-AMS // Proc. 2000 IEEE/ACM International Workshop on Behavioral Modeling and Simulation. 2000.
23. Chan M., Hu C. The engineering of BSIM for the nano-technology era and beyond // Modeling and Simulation Microsystem, Workshop on Compact Modeling, WCM. 2002.
24. Носов Ю. П., Петросянец К. О., Шилин В. А. Модели элементов интегральной электроники. М.: Советское радио. 1976.
25. Денисенко В. В., Попов В. П. Электронные цепи для моделирования физических процессов в полупроводниковых структурах методом прямых аналогий // Электронное моделирование. 1983. № 6.
26. Luryi S., Pacelli A. Automatic generation of RF compact models from device simulation // Workshop on Compact Modeling at the 6th International Conference on Modeling and Simulation of Microsystems. San Francisco. Feb. 2002.
27. Pacelli A., Mastrapasqua M., Luryi S. Generation of Equivalent Circuits from Physics-Based Device Simulation // IEEE Trans. on CAD of ICAS. Vol. 19. No. 11. Nov. 2000.
28. Benchmarks for Compact MOSFET Models. August 1995. (<http://www.eigroup.org/cmcc/>)
29. Compact Model Council Homepage (<http://www.eigroup.org/cmcc/>).