

# Пользовательская библиотека WNL 80211g в SystemView

Данная статья продолжает знакомить читателя с пользовательскими библиотеками программы SystemView на примере библиотеки WNL 80211g (расширенный вариант библиотеки 80211b WiFi) для моделирования беспроводных сетей, обеспечивающих доступ в локальные сети и Интернет.

Иосиф Златин

zlatin@pochta.ru

В версии программы SystemView 5.0 build 068 появились три новые пользовательские библиотеки, связанные с моделированием беспроводных сетей:

1) Библиотека WNL UWB — Ultra Wideband Library (библиотека сверхширокополосной технологии связи), включающая в себя один функциональный элемент — канал, соответствующий стандарту IEEE P802.15-02/368r5-SG3. Федеральная комиссия по связи США (FCC) 14 февраля 2002 года одобрила положение, разрешающее продажу и коммерческое использование некоторых типов устройств на базе технологии UWB. К UWB-сигналам относятся любые сигналы, имеющие ширину спектра более 500 МГц в диапазоне частот от 3,1 до 10,6 ГГц. Прежде всего, технология UWB может найти широкое применение в качестве средства передачи данных между компьютером и периферийными устройствами. Высокая скорость передачи позволяет передавать видеоизоб-

ражение в реальном времени. Кроме того, технология UWB может использоваться для организации персональных беспроводных сетей. Диалоговое окно этой библиотеки приведено на рис. 1.

2) Библиотека WNL Bluetooth — универсальная технология беспроводной связи разнотипных микропроцессорных устройств локальной сети в диапазоне 2,4 ГГц. Bluetooth создавался как стандарт беспроводной связи и обмена данными для самых разнообразных электронных приборов (компьютеров, сотовых телефонов и др.) на расстояниях до 100 м. Технология Bluetooth была изобретена 5 лет назад компанией Ericsson. Сегодня в состав консорциума, продвигающего на рынок данную технологию, входят 3Com, Agere Systems, Ericsson, IBM, Intel, Microsoft, Motorola, Nokia, Toshiba. Диалоговое окно библиотеки WNL Bluetooth приведено на рис. 2.

3) Библиотека WNL 80211g, описанию которой посвящена данная статья.

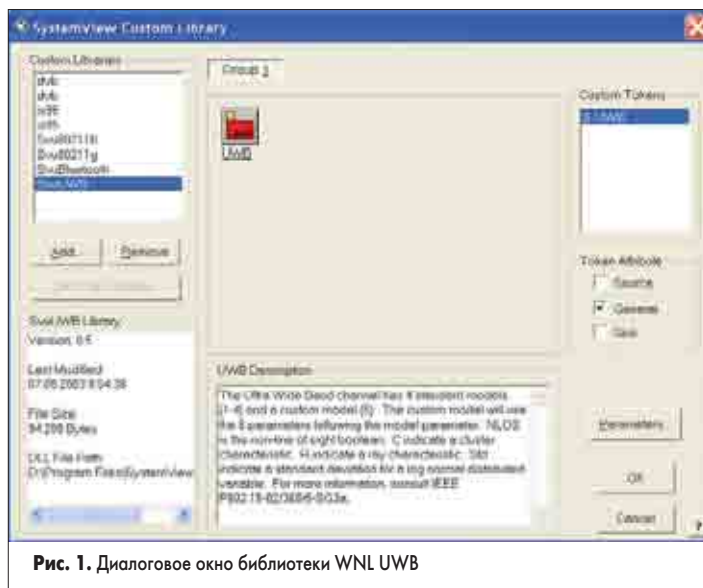


Рис. 1. Диалоговое окно библиотеки WNL UWB

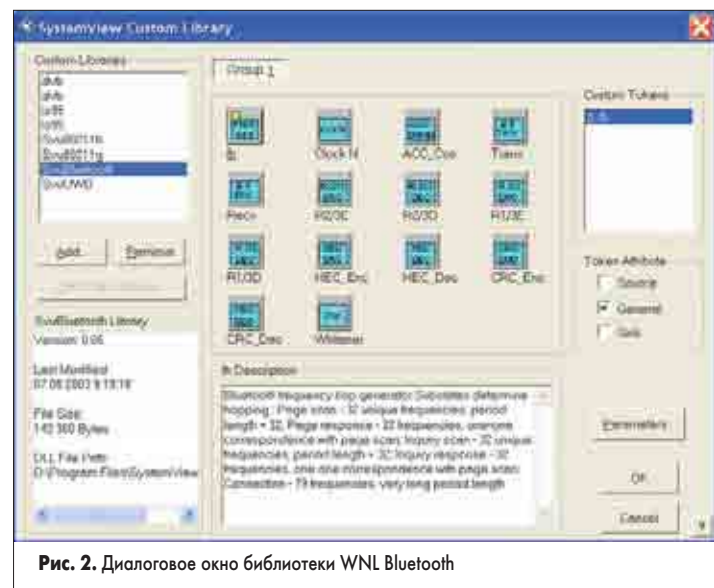


Рис. 2. Диалоговое окно библиотеки WNL Bluetooth

## Краткая историческая справка

Комитет по стандартам сформировал рабочую группу по стандартам для беспроводных локальных сетей 802.11 в 1990 году и в июне 1997 года была ратифицирована первая спецификация 802.11. Стандарт IEEE 802.11b в окончательной редакции был принят в 1999 году и на сегодняшний день является самым распространенным. Этот стандарт представляет собой расширение базового стандарта IEEE 802.11. Стандарт IEEE 802.11b ориентируется на освоенный диапазон 2,4 ГГц, который предназначен для безлицензионного использования. Стандартом IEEE 802.11 предусмотрено два типа радиоканалов — DSSS и FHSS, различающихся способом модуляции, но использующих одну и ту же технологию расширения спектра. Основным принципом технологии расширения спектра SS (Spread Spectrum) заключается в том, чтобы от узкополосного спектра сигнала, возникающего при обычном потенциальном кодировании, перейти к широкополосному спектру, что позволяет значительно повысить помехоустойчивость передаваемых данных.

При использовании метода частотных скачков FHSS полоса 2,4 ГГц делится на 79 каналов по 1 МГц. Отправитель и получатель согласовывают схему переключения каналов (на выбор имеется 22 таких схемы), и данные посылаются последовательно по различным каналам с использованием этой схемы. Каждая передача данных в сети 802.11 происходит по разным схемам переключения, а сами схемы разработаны таким образом, чтобы минимизировать шансы того, что два отправителя будут использовать один и тот же канал одновременно. Метод FHSS позволяет использовать очень простую схему приемопередатчика, однако имеет ограничение максимальной скорости 2 Мбит/с. Это ограничение вызвано тем, что под один канал выделяется ровно 1 МГц, что вынуждает FHSS-систему использовать весь диапазон 2,4 ГГц.

Это означает, что должно происходить частое переключение каналов (например, в США установлена минимальная скорость 2,5 переключения в секунду), что, в свою очередь, приводит к увеличению накладных расходов.

В качестве базовой радиотехнологии в стандарте IEEE 802.11b используется DSSS с 8-разрядными последовательностями Уолша. Метод DSSS делит диапазон 2,4 ГГц на 14 частично перекрывающихся каналов (в США доступно только 11 каналов). Для того чтобы несколько каналов могли использоваться одновременно в одном и том же месте, необходимо, чтобы они отстояли друг от друга на 25 МГц (не перекрывались) для исключения взаимных помех. Таким образом, в одном месте может одновременно использоваться максимум 3 канала. Данные пересылаются с использованием одного из этих каналов без переключения на другие каналы. Чтобы компенсировать посторонние шумы, используется 11-битная последовательность Баркера, когда каждый бит данных пользователя преобразуется в 11 бит передаваемых данных. Такая высокая избыточность для

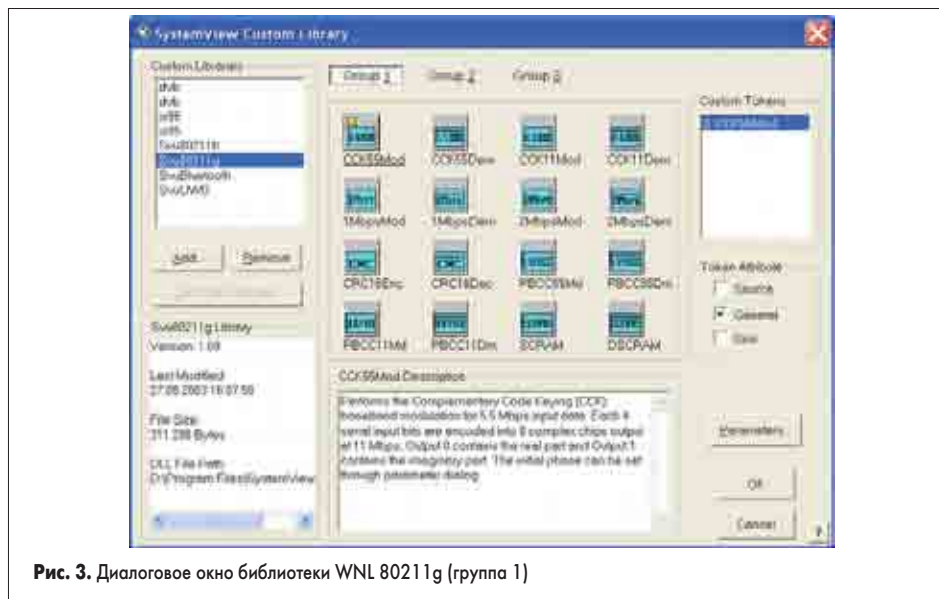


Рис. 3. Диалоговое окно библиотеки WNL 80211g (группа 1)

каждого бита позволяет существенно повысить надежность передачи, при этом значительно снизив мощность передаваемого сигнала. Даже если часть сигнала будет утеряна, он в большинстве случаев все равно будет восстановлен. Тем самым минимизируется число повторных передач данных.

Поскольку оборудование 802.11b, работающее на максимальной скорости 11 Мбит/с, имеет меньший радиус действия, чем на более низких скоростях, то стандартом 802.11b предусмотрено автоматическое понижение скорости при ухудшении качества сигнала. В таком оборудовании устранена большая часть прежних недостатков, а его цена приблизилась к доступному уровню. Пропускная способность от 1 до 6 Мбит/с отвечает требованиям большинства приложений.

Стандарт беспроводных локальных сетей IEEE 802.11a функционирует в частотном диапазоне 5 ГГц. Сети стандарта IEEE 802.11a обеспечивают скорость передачи данных до 54 Мбит/с и примерно в пять раз быстрее сетей стандарта IEEE 802.11b, что позволяет передавать значительно большие объемы информации. Это наиболее широкополосный из семейства стандартов. Данный стандарт имеет три обязательных скорости — 6, 12 и 24 Мбит/с и пять необязательных — 9, 18, 36, 48 и 54 Мбит/с. В качестве метода модуляции сигнала принято ортогональное частотное мультиплексирование (OFDM). Этот метод предполагает параллельную передачу сигнала одновременно на нескольких частотах диапазона, в то время как технологии расширения спектра передают сигналы последовательно.

К недостаткам стандарта IEEE 802.11a относится большая потребляемая мощность радиопередатчиков, а также малый радиус действия.

Сети стандарта IEEE 802.11g функционируют в нелицензируемом частотном диапазоне 2,4 ГГц. Благодаря применению технологии (OFDM) максимальная скорость передачи данных составляет 54 Мбит/с (как в стандарте 802.11a). Стандарт 802.11g содержит компромиссное решение: в качестве базовых применяются технологии OFDM и CCK.

Стандарт 802.11g представляет развитие стандарта 802.11b и обратно совместим с ним. К достоинствам устройств данного стандарта следует отнести малую потребляемую мощность и большой радиус действия. Более подробная информация о стандартах беспроводных сетей семейства 802.11 содержится в статье Сергея Пахомова [6].

## Библиотека WNL 80211g

Библиотека WNL 80211g содержит всесторонний набор инструментальных средств, помогающих в проектировании и моделировании устройств беспроводного доступа к среде передачи.

Для каждого вида модуляции, 1 Мбит/с DSSS, 2 Мбит/с DSSS, 5,5 Мбит/с CCK, 11 Мбит/с CCK, 5,5 Мбит/с PBCC и 11 Мбит/с PBCC, имеются функционально законченные элементы модуляторов и демодуляторов. Также имеются CRC-кодеры и декодеры, шифратор и дешифратор, генератор алгоритма скачкообразной перестройки частоты. Для стандарта 802.11a реализована последовательность обработки сигнала от сверточного кодера до OFDM-модулятора и от OFDM-демодулятора до сверточного декодера. Для стандартов 802.11a и 802.11b имеются полные генераторы пакета и приемники. Имеется описание действия, требуемых пользовательских входов и файлы примеров, которые иллюстрируют использование элемента.

Элементы в библиотеке 802.11b WiFi разбиты на три группы. Диалоговое окно библиотеки WNL 80211g показано на рис. 3.

## Описание функциональных элементов группы 1

В группу 1 входят элементы, используемые для моделирования беспроводных сетей стандарта 802.11b.

**CCK55Mod** — CCK-модулятор (скорость 5,5 Мбит/с). Кодировщик устройства принимает 4-битные данные со скоростью 5,5 Мбит/с и создает 8 комплексных символов со скоростью  $11 \times 10^6$  символов/с.

Биты обозначаются  $d_3, d_2, d_1, d_0$ , где  $d_0$  является первым входным битом. Первый сим-

вол обозначен 0. Элемент сначала создает 4 фазы  $\phi_4 \phi_3 \phi_2 \phi_1$ , определяемые следующим образом:

1. Фаза  $\phi_1$  в любое время  $k$ , получается в соответствии с дифференциальной формулой кодирования:

$$\phi_1(k) = \phi_1(k-1) + [\text{изменение фазы } (k)]$$

Значение [изменение фазы (k)], дается в таблице 1. Для  $k = 0$ ,  $\phi_1(-1)$  — опорная фаза, указываемая во входных параметрах элемента.

Таблица 1

$(d_0, d_1)$	Фазовый сдвиг четных символов	Фазовый сдвиг нечетных символов
00	0	$\pi$
01	$\pi/2$	$3\pi/2$
11	$\pi$	0
10	$3\pi/2$	$\pi/2$

2. Оставшиеся три фазы определяются как  $\phi_2 = \pi d_2 + \pi/2$   
 $\phi_3 = 0$   
 $\phi_4 = \pi d_3$

3. Из этих 4 фаз комплиментарные 8-чиповые комплексные последовательности  $[c_0, \dots, c_7]$  образуются по следующей формуле:

$$[c] = [e^{j(\phi_1+\phi_2+\phi_3+\phi_4)}, e^{j(\phi_1+\phi_3+\phi_4)}, e^{j(\phi_1+\phi_2+\phi_4)}, -e^{j(\phi_1+\phi_4)}, e^{j(\phi_1+\phi_2+\phi_3)}, e^{j(\phi_1+\phi_3)}, -e^{j(\phi_1+\phi_2)}, e^{j\phi_1}]$$

Для случая  $\phi_1 = 0$  первые 4 символа даются в таблице 2.

Таблица 2

$d_2, d_3$	$C_0$	$C_1$	$C_2$	$C_3$	$C_4$	$C_5$	$C_6$	$C_7$
00	J	1	J	-1	J	1	-J	1
01	-J	-1	-J	1	J	1	-J	1
10	-J	1	-J	-1	-J	1	J	1
11	J	-1	J	1	-J	1	J	1

Для  $\phi_1 = \pi/2, \pi, 3\pi/2$  оставшиеся 12 кодовых слов получаются из указанных выше умножением каждого данного на  $j, -1$  и  $-j$  соответственно. Параметры модулятора приведены в таблице 3 (см. также пример 55\_cck.svu).

Таблица 3

Параметр	Назначение
Initial phase (rad)	Начальная опорная фаза для дифференциального кодирующего устройства (рад)
Threshold (v)	Напряжение порога, разделяющего логическую единицу и логический ноль (В)

Модулятор имеет один вход для подачи входных данных со скоростью 5,5 Мбит/с и два выхода: 1) синфазный канал 8-символьных данных ССК  $c_0, \dots, c_7$  со скоростью  $11 \times 10^6$  символов/с, 2) квадратурный канал 8-символьных данных ССК  $c_0, \dots, c_7$  со скоростью  $11 \times 10^6$  символов/с.

**ССК55DeMod** — демодулятор, связанный с ССК-кодирующим устройством со скоростью 5,5 Мбит/с. Демодулятор принимает 8 комплексных символов со скоростью  $11 \times 10^6$  символов/с и создает 4 информационных бита со скоростью 5,5 Мбит/с. Этот декодер не требует знания абсолютного значения фазы сигнала, то есть входные символы могут

иметь произвольный фазовый сдвиг. Параметры элемента ССК55DeMod приведены в таблице 4 (см. также пример 55\_cck.svu).

Таблица 4

Параметр	Назначение
Offset	Число отсчетов, обеспечивающих групповую задержку при моделировании

Демодулятор имеет два входа: синфазный канал данных со скоростью  $11 \times 10^6$  символов/с и квадратурный канал данных со скоростью  $11 \times 10^6$  символов/с, а также один выход — 4-битные данные  $d_0, d_1, d_2, d_3$  со скоростью 5,5 Мбит/с.

**ССК11Mod** — ССК-модулятор со скоростью 11 Мбит/с. Создает из 8-битных данных со скоростью 11 Мбит/с 8 закодированных символов со скоростью передачи данных  $11 \times 10^6$  символов/с.

Из этих 8 символов вычисляются 4 фазы  $\phi_4 \phi_3 \phi_2 \phi_1$ . Фаза  $\phi_1$  вычисляется в манере, идентичной используемой в элементе ССК55Mod. Фаза 1 в любое время  $k$  получается в соответствии с дифференциальной формулой кодирования:

$$\phi_1(k) = \phi_1(k-1) + [\text{изменение фазы } (k)]$$

Значение [изменение фазы (k)], дается в таблице 1. Для  $k = 0$   $\phi_1(-1)$  — опорная фаза, указываемая во входных параметрах элемента. Остальные фазы сгруппированы с парами битов (дибитами), как показано в таблице 5.

Таблица 5

Фаза	Биты
$\phi_2$	$d_2, d_3$
$\phi_3$	$d_4, d_5$
$\phi_4$	$d_6, d_7$

Остальные три дибита 8-битовой последовательности данных определяют оставшиеся фазы, причем значение  $\phi_2$  выбирается по второму дибиту,  $\phi_3$  — по третьему,  $\phi_4$  — по четвертому. Значение сдвига фаз определяется в таблице 6.

Таблица 6

Битовая комбинация $d_i, d_{i+1}$	Фаза
00	$\pi$
01	$3\pi/2$
11	0
10	$\pi/2$

Из этих 4 фаз 8 комплексных ССК-символов создаются точно так, как показано для модулятора ССК55Mod. Параметры элемента ССК11Mod приведены в таблице 3 (см. также пример 11\_cck.svu).

Модулятор имеет один вход для подачи входных данных со скоростью 11 Мбит/с и два выхода: синфазный канал символьных ССК модулированных данных  $c_0, \dots, c_7$  со скоростью  $11 \times 10^6$  символов/с и квадратурный канал символьных ССК модулированных данных  $c_0, \dots, c_7$  со скоростью  $11 \times 10^6$  символов/с.

**ССК11Dem** — демодулятор, связанный с модулятором ССК11Mod. Входные данные — 8-символьные данные с кодированной фазой со скоростью  $11 \times 10^6$  символов/с, а на выходе 8-битные данные со скоростью

11 Мбит/с. Этот демодулятор не требует знания абсолютного значения фазы сигнала, то есть входные символы могут иметь произвольный фазовый сдвиг.

Параметры демодулятора приведены в таблице 4 (см. также пример 11\_cck.svu).

Демодулятор имеет два входа: полученные синфазным каналом комплексные данные со скоростью  $11 \times 10^6$  символов/с и полученные квадратурным каналом комплексные данные со скоростью  $11 \times 10^6$  символов/с, а также один выход — 8-битные данные  $d_0, \dots, d_7$  со скоростью 11 Мбит/с.

**1MbpsMod** — DSSS-модулятор со скоростью 1 Мбит/с. Входные данные со скоростью 1 Мбит/с сначала кодируются дифференциальным кодером согласно таблице 7, а затем расширяются 11-битной последовательностью Баркера.

Таблица 7

Входные биты $d(k)$	Изменение фазы (радианы)
0	0
1	$\pi$

Эта операция создает последовательность фаз:

$$\phi_1(k) = \phi_1(k-1) + [\text{изменение фазы } (k)]$$

Для  $k = 0$  опорная фаза задается входным параметром Initial Phase. Эта операция сопровождается расширением информационных битов следующими 11 чипами кода Баркера 1, -1, 1, 1, -1, 1, 1, 1, -1, -1, -1 со скоростью передачи данных 11 Мбит/с. Последовательность Баркера перемещает каждый чип на дополнительный угол, если чип 1, или дополнительный сдвиг отсутствует, если чип 0. Параметры модулятора приведены в таблице 3 (см. также пример 1\_mbps\_barker.svu).

Модулятор имеет один вход для подачи входных данных со скоростью 1 Мбит/с и два выхода: синфазный канал модулированного и расширенного сигнала со скоростью 11 Мбит/с, а также квадратурный канал модулированного и расширенного сигнала со скоростью 11 Мбит/с.

**1MbpsDem** — демодулятор, связанный с DSSS-модулятором (1 Мбит/с). Входные данные имеют скорость чипа 11 Мбит/с, и выходные данные являются исходными данными со скоростью 1 Мбит/с. Первым шагом является сужение сигнала посредством умножения полученной синфазной и квадратурной составляющих сигнала на исходную последовательность Баркера. Результирующий сигнал со скоростью 11 Мбит/с усредняется для 11 чипов и прореживается к скорости 1 Мбит/с. Окончательно используя комплексную задержку и операцию умножения, выполняют дифференциальное декодирование, восстанавливая исходные данные синфазного канала. Параметры элемента 1MbpsDem приведены в таблице 6 (см. также пример 1\_mbps\_barker.svu). Схема данного примера приведена на рис. 4. Результаты моделирования — на рис. 5.

Демодулятор имеет два входа: полученные синфазным каналом данные со скоростью 11 Мбит/с и полученные квадратурным каналом данные со скоростью 11 Мбит/с, а так-

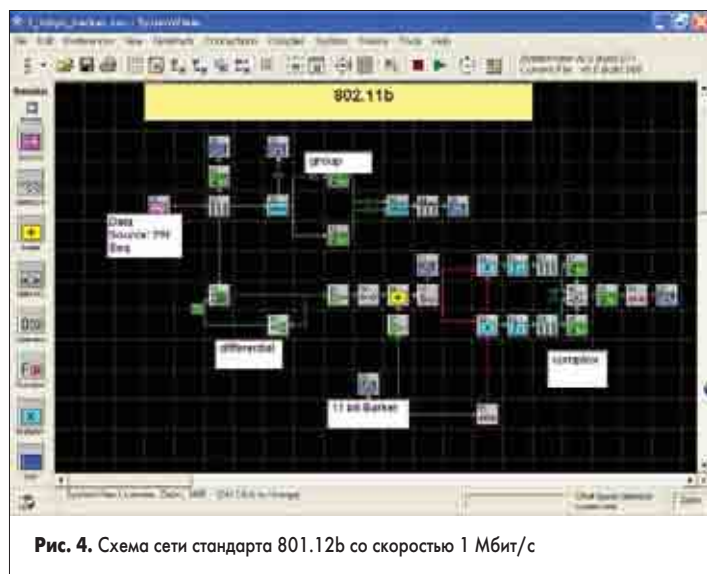


Рис. 4. Схема сети стандарта 801.12b со скоростью 1 Мбит/с

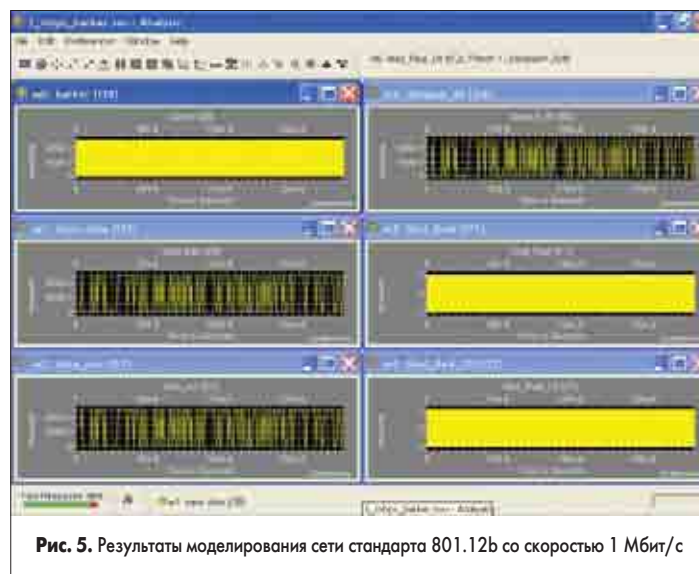


Рис. 5. Результаты моделирования сети стандарта 801.12b со скоростью 1 Мбит/с

же один выход — исходные данные со скоростью 1 Мбит/с.

**2MbpsMod** — DSSS-модулятор со скоростью 2 Мбит/с. Входные данные сначала кодируются дифференциальным кодером в соответствии с таблицей 8 в фазовые символы QPSK со скоростью 1 Мбит/с. 11-битная последовательность Баркера затем расширяет каждый из этих фазовых символов, создавая сигнал со скоростью  $11 \times 10^6$  символов/с.

Таблица 8

$(d_0, d_1)$	Четные символы. Изменение фазы
00	0
01	$\pi/2$
11	$\pi$
10	$3\pi/2$

Это операция создает последовательность фаз со скоростью 1 Мбит/с в соответствии с формулой:

$$\phi_1(k) = \phi_1(k-1) + [\text{изменение фазы}(k)]$$

Для  $k = 0$  опорная фаза задается входным параметром Initial Phase. Это действие сопровождается расширением информационных битов 11 чипами кода Баркера 1, -1, 1, 1, -1, 1, 1, -1, -1, -1 со скоростью передачи данных 11 Мбит/с. Последовательность Баркера смещает каждый чип на дополнительную фазовый угол  $\pi$ , если чип 1, или не добавляет сдвига, если чип 0. Параметры модулятора приведены в таблице 3 (см. также пример 2mbps\_barker.svu).

Модулятор имеет один вход для подачи входных данных со скоростью 2 Мбит/с и два выхода: синфазный канал модулированных данных со скоростью  $11 \times 10^6$  символов/с и квадратурный канал модулированных данных со скоростью  $11 \times 10^6$  символов/с.

**2MbpsDem** — декодер, связанный с DSSS-модулятором со скоростью 2 Мбит/с. Входные данные — комплексная символьная информация DQPSK со скоростью 11 Мбит/с. Выходные данные — исходные данные со скоростью 2 Мбит/с. Демодулятор восстанавливает данные модулятора DSSS со скоростью 2 Мбит/с. Первый шаг — сужение сигнала умножением полученных синфазного и квадратурного сигналов на исходную по-

следовательность Баркера. Результирующие сигналы со скоростью 11 Мбит/с усредняются для 11 чипов и прореживаются к скорости 1 Мбит/с каждый. Наконец, используя комплексную задержку и операцию умножения, выполняется дифференциальное декодирование, создавая исходные фазовые символы QPSK со скоростью 1 Мбит/с, из которых восстанавливаются исходные данные со скоростью 2 Мбит/с. Параметры элемента **2MbpsDem** приведены в таблице 4 (см. также пример 2mbps\_barker.svu).

Демодулятор имеет два входа: синфазный канал данных со скоростью  $11 \times 10^6$  символов/с и квадратурный канал данных со скоростью  $11 \times 10^6$  символов/с, а также один выход — исходные данные со скоростью передачи данных 2 Мбит/с.

**CRC16Enc** — кодирующее устройство CRC-16. Используется для проверки PLCP-заголовка. CRC-генератор кодирует 32-разрядные PLCP-данные, используя полином  $1+x^5+x^{12}+x^{16}$ . Скорость выходных данных может быть увеличена на коэффициент  $48/32 = 1,5$  по отношению к входным данным. Таким образом, 48 выходных битов занимают то же самое время, что и 32 входных бита, а также обеспечивается непрерывный поток входных данных. Параметры кодера **CRC16Enc** приведены в таблице 9. (см. также пример crc\_16.svu).

Таблица 9

Параметр	Назначение
Offset	Число отсчетов, обеспечивающих групповую задержку при моделировании
Threshold (v)	Напряжение порога, разделяющего логическую единицу и логический ноль (В)

Кодер имеет один вход, на который подаются 32-битные данные Signal [8 бит], Service [8 бит] и Length [16 бит] из областей PLCP-заголовка и один выход, с которого снимаются 48 бит PLCP-заголовка.

**CRC16Dec** — декодер CRC-16, связанный с кодирующим устройством CRC-16. CRC-декодер восстанавливает 32-разрядный PLCP-заголовок и обеспечивает индикацию ошибки.

Часть информации 32-разрядного кодируемого заголовка заново кодируется в соответствии с алгоритмом CRC кодирующего устройства. Получающиеся 16 битов четности сравниваются с полученными 16 битами

четности. Если здесь имеется полное совпадение, флаг проверки избыточных битов устанавливается в 0, иначе он устанавливается в 1. Параметры декодера **CRC16Dec** приведены в таблице 9 (см. также пример crc\_16.svu).

Декодер имеет один вход для подачи 48-битного закодированного информационного слова CRC и два выхода: 32 информационных бита из 48-битного слова и флаг проверки избыточных битов.

**PBCC55Mod** — PBCC-модулятор со скоростью входных данных 5,5 Мбит/с. Полный процесс кодирования показан на рис. 6. Данные со скоростью 5,5 Мбит/с сначала кодируются со скоростью 1/2 в сверточном кодере, состоящем из шести запоминающих ячеек (длина кодового ограничения  $K=7$ ). Схема такого кодера показана на рис. 7. При этом каждый бит  $Y_0$  и  $Y_1$ , формируемый сверточным кодером, последовательно подвергается фазовой модуляции. Поскольку каждому входному биту в данном случае соответствует два выходных символа, скорость передачи битов равна половине скорости передачи символов. Поэтому для скорости 5,5 Мбит/с скорость символов составляет  $11 \times 10^6$  символов/с. Для расширения спектра в PBCC-модуляторе применяются вариации возможных сигнальных созвездий QPSK и BPSK (рис. 8). Сигнальные созвездия представляют собой геометрическое отображение возможных выходных состояний сигнала. Выбор между конкретным типом используемого созвездия задается управляющим сигналом S, принимающим значение 0 или 1. Этот сигнал задается псевдослучайной последовательностью с периодом повторения 256 бит, которая формируется из 16-битной базовой последовательности 0011001110001011. Для того чтобы из данной 16-битной последовательности получить 256-битную, используют циклический сдвиг одновременно трех первых символов. Так получают еще пятнадцать 16-битовых последовательностей, что в сумме дает одну 256-битную. Параметры модулятора приведены в таблице 3 (см. также пример 55\_PBCC.svu).

Модулятор имеет один вход для подачи входных данных со скоростью 5,5 Мбит/с и один выход — комплексные PBCC-модулированные символы со скоростью  $11 \times 10^6$  символов/с.

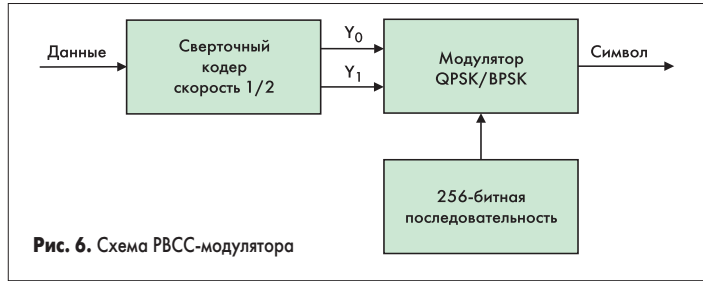


Рис. 6. Схема PBCC-модулятора

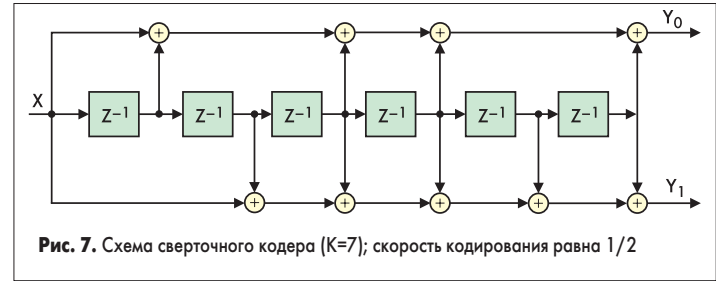


Рис. 7. Схема сверточного кодера (K=7); скорость кодирования равна 1/2

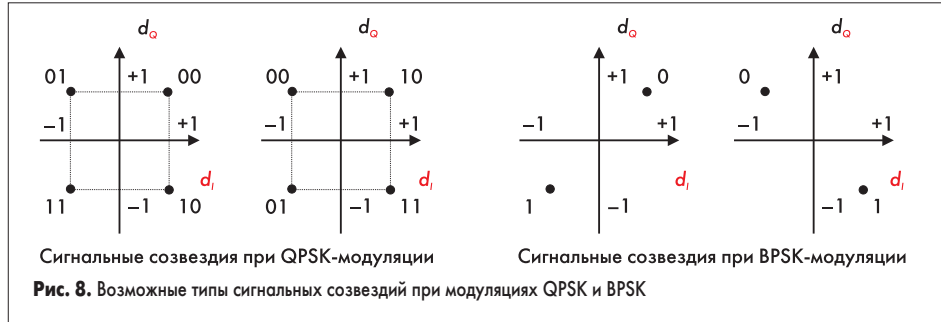


Рис. 8. Возможные типы сигнальных созвездий при модуляциях QPSK и BPSK

**PBCC55Dem** — демодулятор PBCC со скоростью 5,5 Мбит/с. Скорость входных данных — 11 Мбит/с. Встроенный сверточный декодер восстанавливает на выходах сообщение со скоростью 11 Мбит/с. Демодулятор выполняет операции обратные тем, которые выполняет модулятор. Параметры элемента **PBCC55Dem** приведены в таблице 4 (см. также пример 55PBCC.svu).

Демодулятор имеет два входа: комплексный синфазный модулированный сигнал со скоростью 11 Мбит/с и комплексный квадратурный сигнал со скоростью 11 Мбит/с, а также один выход — PBCC-данные со скоростью 5,5 Мбит/с.

**PBCC11Mod** — PBCC-модулятор со скоростью 11 Мбит/с. Его входные данные имеют скорость 11 Мбит/с. После кодирования со скоростью 1/2 сообщение модулируется QPSK, создавая сигнал со скоростью 11 Мбит/с. Параметры модулятора приведены в таблице 3 (см. также пример 11\_PBCC.svu).

Модулятор имеет один вход для подачи входных данных со скоростью 11 Мбит/с и два выхода: синфазный канал комплексных PBCC-модулированных данных со скоростью 11 Мбит/с и квадратурный канал комплексных PBCC-модулированных данных со скоростью 11 Мбит/с.

**PBCC11Dem** — демодулятор, связанный с PBCC-модулятором со скоростью 11 Мбит/с. Входными данными являются кодированные фазовые символы QPSK со скоростью 11 Мбит/с. Демодулятор выполняет

обратные действия PBCC-модулятору со скоростью 11 Мбит/с. Параметры элемента **PBCC11Dem** приведены в таблице 4 (см. также пример 11\_PBCC.svu).

Демодулятор имеет два входа: комплексный синфазный модулированный сигнал со скоростью 11 Мбит/с и комплексный квадратурный модулированный сигнал со скоростью 11 Мбит/с, а также один выход — PBCC-данные со скоростью 11 Мбит/с.

**SCRAM** — шифратор, использующий перемешивание данных PLCP. Скорость передачи данных на входе и выходе шифратора — 1 Мбит/с. Действие шифратора применяется ко всем битам PLCP. Он использует разбивку периода работы на единицы или нули. Действие шифратора показано на рис. 9. Для формата LONG PLCP шифратор инициализируется в соответствии с образцом 1101100, то есть  $Z^1=1, \dots, Z^7=0$ . Для формата SHOT PLCP начальные установки являются обратными (0011011).

Параметры шифратора приведены в таблице 10 (см. также пример scrambler.svu).

**Таблица 10**

Параметр	Назначение
Scrambler type	Переключатель (выбор между длинным и коротким форматом)

Шифратор имеет один вход — входные данные со скоростью 1 Мбит/с и один выход — зашифрованные данные со скоростью 1 Мбит/с.

**DSCRAM** — этот элемент осуществляет дешифровку, связанную с шифратором. Скорость входных и выходных данных —

1 Мбит/с. Дешифратор выполняет функции, обратные действию шифратора. На вход поступают зашифрованные данные, а на выходе получаются исходные данные. Действие дешифратора показано на рис. 10. Дешифратор является самосинхронизирующимся. Независимо от наличия задержки на выходе шифратора относительно входа дешифратора, исходные данные будут правильно созданы с соответствующим групповым временем задержки. Параметры дешифратора приведены в таблице 11 (см. также пример scrambler.svu).

Таблица 11

Параметр	Назначение
Scrambler type	Переключатель (выбор между длинным и коротким форматом)
Offset	Число отсчетов, обеспечивающих групповую задержку при моделировании

Дешифратор имеет один вход — зашифрованные данные со скоростью 1 Мбит/с и один выход — исходные восстановленные данные со скоростью 1 Мбит/с.

Окончание следует

Литература

1. Разевиг В. Д., Лаврентьев Г. В., Златин И. Л. SystemView — Средство системного проектирования радиоэлектронных устройств / Под ред. В. Д. Разевига. М.: Горячая линия-Телеком. 2002.
2. Златин И. Новые возможности SystemView // Компоненты и Технологии. 2003. № 1.
3. Разевиг В. Д., Златин И. Л. Новые возможности SystemView // EDA Express. М.: Издательство ОАО «Родник Софт». 2003. № 7.
4. Златин И. Пользовательские библиотеки и библиотека CDMA в SystemView // Компоненты и Технологии. 2003. № 8.
5. Скляр Б. Цифровая Связь. Теоретические основы и практическое применение. 2-е издание. Пер. с англ. М.: Издательский дом «Вильямс». 2003.
6. Пахомов С. Технологии беспроводных сетей семейства 802.11 // Компьютер Пресс. 2003. № 5.

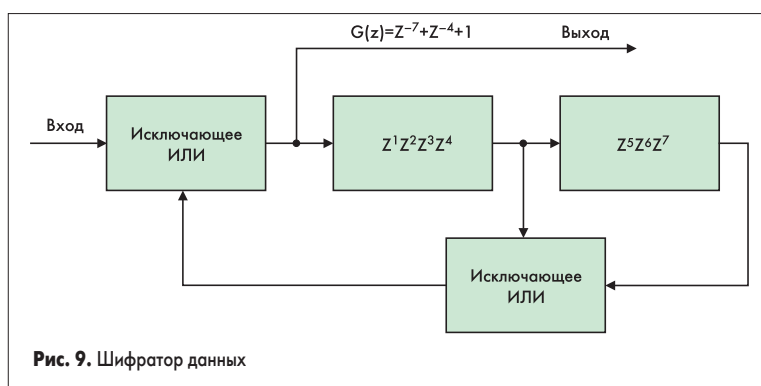


Рис. 9. Шифратор данных

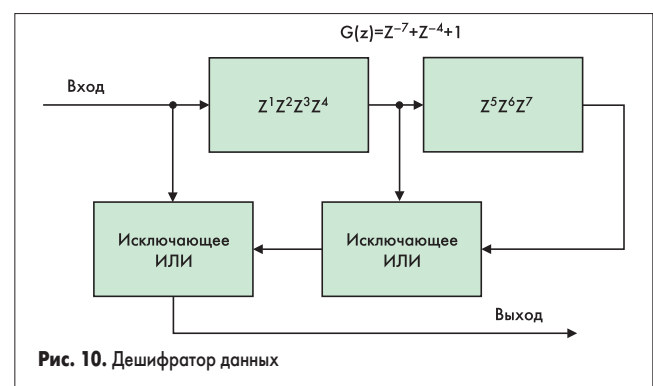


Рис. 10. Дешифратор данных