

Продолжение. Начало в № 2'2003

Программируемые системные приборы фирмы STMicroelectronics

Часть 2. «Классические» и специализированные приборы PSD

В данной статье рассматриваются особенности архитектуры приборов PSD, как «классических», обладающих всеми свойствами и преимуществами архитектуры PSD, так и специализированных, ориентированных на конкретные применения.

Евгений Крылов

belvi@cec-mc.ru

Преимущества, предоставляемые пользователям приборами PSD, и достоинства PSD, в том числе поддержка практически любых 8- и 16-разрядных микроконтроллеров (даже 32-разрядных в 16-разрядном режиме), возможность внутрисистемного программирования (In-System programming — ISP) и программирования в условиях применения (In-Application Programming — IAP) были упомянуты в предыдущей статье. Теперь вкратце рассмотрим особенности архитектуры приборов PSD, их работы и использования.

При рассмотрении архитектуры приборов PSD возьмем за основу прибор серии PSD813F2, как «классический» прибор поддержки 8-разрядных микроконтроллеров.

Блок-схема прибора семейства PSD813F2 представлена на рис. 1.

Приборы семейства PSD8xx содержат:

- блок основной Flash-памяти;
- блок вторичной (загрузочной) памяти Flash или EEPROM;
- блок SRAM;

Таблица 1. Номенклатура приборов серий PSD8xx/9xx и PSD4xxx

Тип прибора	Выводов I/O	Входов PLD	Макроячеек		Выходов PLD	Порт JTAG ISP программирования	Основная Flash-память, кбит (8 секторов)	Вторичная (загрузочная) Flash-память, кбит (4 сектора)	SRAM кбит	Напряжение питания ¹ , В
			Входа	Выхода						
Приборы серий PSD8xx/9xx. Поддержка 8-разрядных микроконтроллеров										
PSD913F1	27	57	–	–	19	Есть	1024	2562	16	5/3
PSD913F2	27	57	–	–	19	Есть	1024	256	16	5/3
PSD934F2	52	57	–	–	19	Есть	2048	256	64	5/3
PSD935G2	27	57	–	–	24	Есть	4096	256	64	5/3
PSD954F2	27	57	–	–	19	Есть	2048	256	256	5/3
PSD813F1	27	73	24	16	19	Есть	1024	2562	16	5/3
PSD813F2	27	73	24	16	19	Есть	1024	256	16	5/3
PSD813F3	27	73	24	16	19	Есть	1024	–	16	5/3
PSD813F4	27	73	24	16	19	Есть	1024	256	–	5/3
PSD813F5	27	73	24	16	19	Есть	1024	–	–	5/3
PSD833F2	27	73	24	16	19	Есть	1024	256	64	5/3
PSD834F2	27	73	24	16	19	Есть	2048	256	64	5/3
PSD835F23	52	81	24	16	24	Есть	4096	256	64	5/3
PSD853F2	27	73	24	16	19	Есть	1024	256	256	5/3
PSD854F2	27	73	24	16	19	Есть	2048	256	256	5/3
Приборы серии PSD4xxx. Поддержка 16-разрядных микроконтроллеров										
PSD4135G2	52	66	–	–	24	Есть	4096	2562	64	5/3
PSD4235G2	52	82	24	16	24	Есть	4096	256	64	5/3
PSD4156G6	52	66	–	–	24	Есть	8192	512	256	5/3
PSD4256G6	52	82	24	16	24	Есть	8192	512	256	5/3

1) У приборов с напряжением 3 В к типу прибора добавляется символ «V». Например, PSD913F1V.

2) Приборы с индексом F1 вместо Flash вторичной памяти оснащены EEPROM.

3) Приборы PSD835F2, как и приборы PSD4xxx, работают с 16-разрядной шиной данных.

4) Приборы серии PSD9xx не рекомендуются для использования в новых разработках.

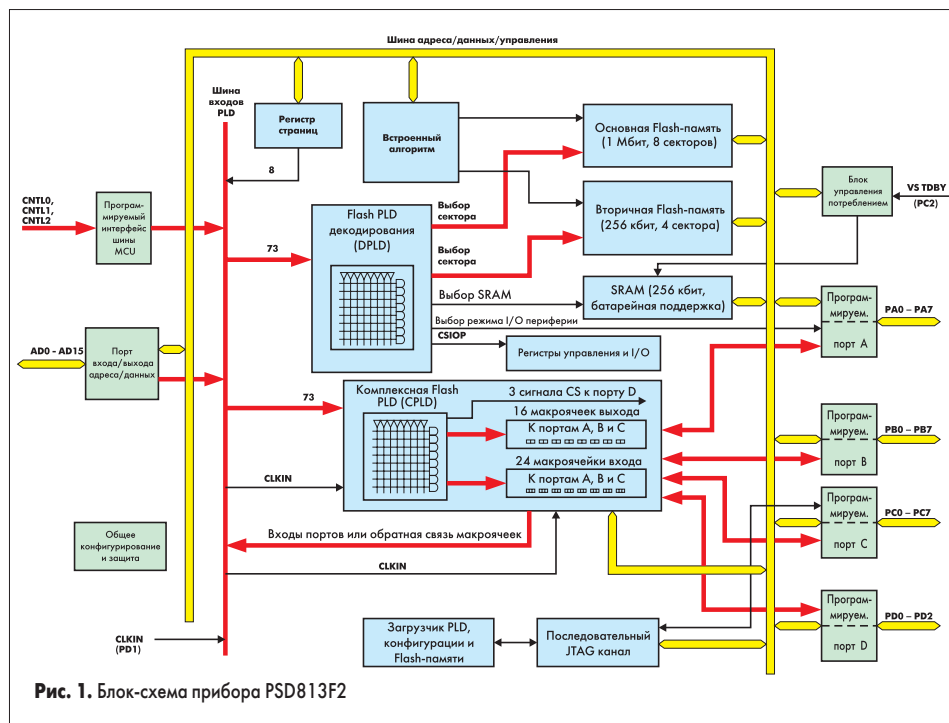


Рис. 1. Блок-схема прибора PSD813F2

- два блока программируемой Flash-логики (DPLD и CPLD);
- регистр страниц;
- средства входа-выхода;
- средства управления потреблением;
- две встроенные шины — шина адреса-данных-управления и шина входов блоков программируемой логики.

Кроме этого, важными элементами архитектуры являются: канал последовательного JTAG-программирования, загрузчик конфигурации программируемой логики и Flash-памяти и блок встроенного алгоритма программирования Flash-памяти.

Интерфейс с используемым микроконтроллером (с сигналами, формируемыми микроконтроллером для управления памятью, средствами I/O и периферийными устройствами) автоматически конфигурируется средствами пакета PSDsoft.

Разработчику необходимо лишь подсоединить соответствующие выводы сигналов управления микроконтроллера к входным выводам CNTL0-CNTL2 и выводу порта D прибора PSD, а соответствующие линии шины адресов-данных к выводам ADIO0-ADIO15. В зависимости от особенностей микроконтроллера, например, использования немultiplexируемой шины, использования диапазона адресов свыше 16 разрядов или возможности работы в пакетном режиме, в качестве выводов входа дополнительных разрядов адреса или данных могут быть использованы выводы порта A.

Полученный на выводах прибора PSD адрес вместе с сигналами управления поступает на блок программируемой логики декодирования (Decode PLD — DPLD). На вход матрицы AND PLD декодирования прибора PSD813F2 поступает 73 сигнала, в том числе и сигналы управления и адреса (рис. 2). В PLD декодирования адреса декодируются и выходы PLD декодирования адресуют соответствующие сектора основной Flash-памяти, вторичной памяти или SRAM. Гибкость адресации

каждого сектора памяти обеспечивают по три термина произведений на каждый сектор. Расширение диапазона адресов обеспечивается 8-разрядным регистром страниц, позволяющим до 256 крат увеличить диапазон адресации. Посредством регистра страниц может быть адресована не только встроенная память и I/O прибора PSD, но и внешняя память и устройства внешней периферии. Логические связи PLD декодирования конфигурируются средствами пакета PSDsoft.

Комплексная PLD (Complex PLD — CPLD) — другая матрица программируемой логики прибора PSD, принимающая самое активное участие в организации обращения к внешней памяти и устройствам внешней периферии, в организации обмена информацией (как адресами, так и данными) на выводах портов прибора PSD. Для комплексной PLD, в отличие от простой PLD (Simple PLD — SPLD), используемой в приборах серий

PSD9xx и PSD41xx в основном для формирования сигналов выбора внешних кристаллов, характерно использование, кроме матрицы AND, макроэчеек входа и выхода. Через макроэчейки выхода комплексной PLD адресуются и управляются периферийные устройства, а микроконтроллер принимает необходимую ему информацию; через макроэчейки входа в прибор PSD поступает информация от внешних устройств. Кроме того, комплексная PLD может быть использована для реализации системных логических функций, таких, как загружаемые счетчики и регистры сдвига, системные почтовые ящики, протоколы процедур установления связи, конечные автоматы и произвольная логика. В CPLD формируются и сигналы выбора внешних кристаллов, направляемых на выводы выхода прибора PSD. Сигнал выбора внешнего кристалла может быть сформирован любой макроэчейкой выхода, однако наперед заложенные сигналы выбора внешних кристаллов не занимают ни одной макроэчейки вывода.

Шестнадцать макроэчеек выхода (OMC), на каждую из которых от матрицы AND поступают до 4 термов произведений, располагают триггерами, конфигурируемыми в PSDsoft как D-, T-, JK- или SR-типа. Термами произведений матрицы AND управляются входы сигналов тактирования триггеров, предустановки и сброса. Кроме собственных термов произведений макроэчейка может использовать и заимствованные термы, не задействованные другими макроэчейками. Распределением термов управляет блок распределения термов произведений. Макроэчейка выхода реализует как последовательную логику, так и комбинаторную, что определяется мультиплексором, управляющим выводом порта и организующим обратную связь макроэчейки выхода с входами матрицы AND. Выходной сигнал макроэчейки выхода направляется на один или два, в зависимости от серии PSD, порта I/O. И макроэчейки выхода и порты I/O имеют прямую входную-выходную связь с внутренней шиной адресов-данных и, следовательно, взаимодействуют с подклю-

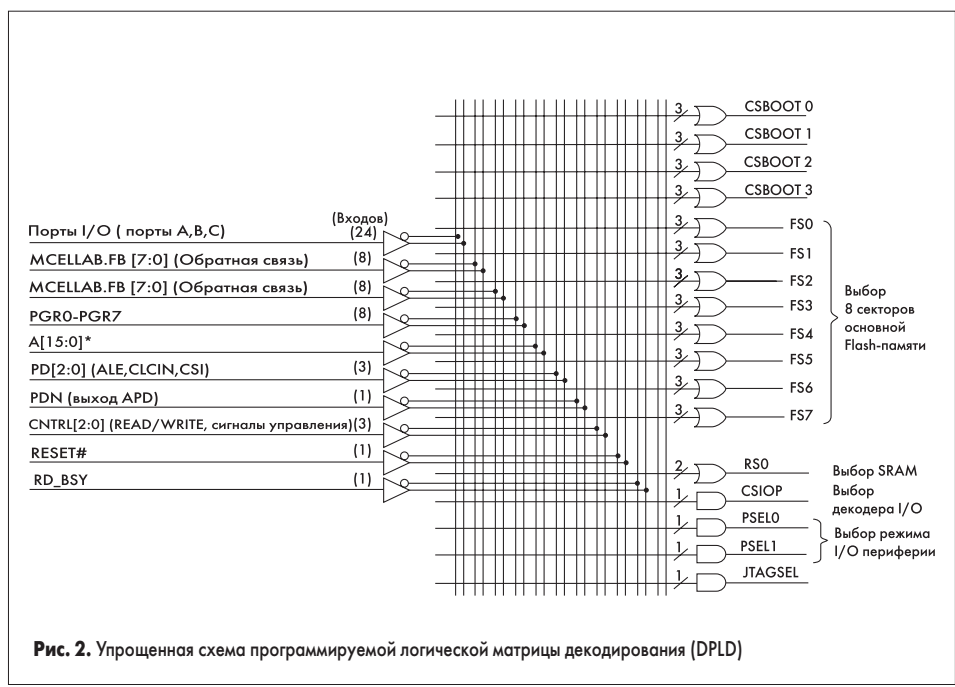
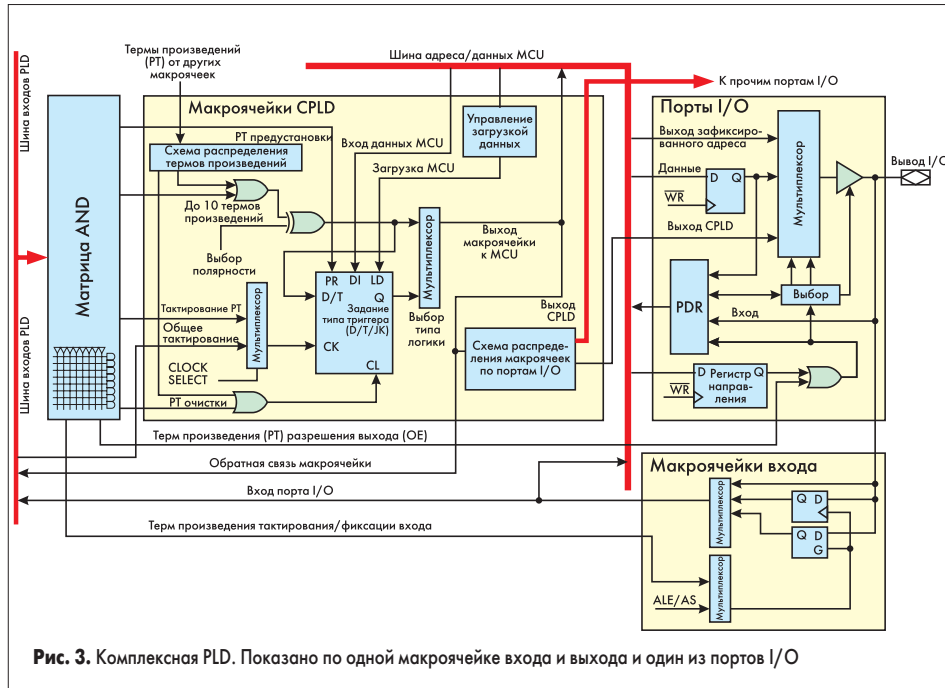


Рис. 2. Упрощенная схема программируемой логической матрицы декодирования (DPLD)



ченным к PSD микроконтроллером. Отметим наличие обратной связи каждой из макроэчек выхода с шиной входов PLD.

Приборы PSD располагают большим количеством портов I/O общего назначения (в зависимости от серии — от 19 до 52 портов), используемых для подсоединения шин адреса-данных, для взаимодействия с внешними устройствами. Такое количество портов I/O позволяет расширить ограниченные возможности I/O микроконтроллеров. В большинстве случаев порты объединены в 8-разрядные порты А, В, С и т. д., с определенной степенью универсальности. Порты I/O приборов PSD оснащаются драйверами двух типов. Первый тип драйверов может быть сконфигурирован как драйвер CMOS или драйвер с открытым стоком, которому необходим подтягивающий резистор. Второй тип драйвера — это драйвер с возможностью установления высокой или низкой скорости нарастания сигнала.

Порты I/O могут работать в нескольких режимах, задаваемых как при использовании пакета PSDsoft, так и записью микроконтроллером в регистры управления в пространстве CSIOP. Некоторые режимы могут быть заданы обоими способами. Один из портов может быть конфигурирован как порт JTAG-программирования. Задаваемые только PSDsoft режимы программируются в прибор и не могут быть изменены без повторного программирования (перепрограммирования) прибора.

Изменяемые микроконтроллером режимы могут быть изменены динамически — во время работы микроконтроллера. I/O PLD, порты данных, вход адреса и режим I/O периферии — это те режимы, которые должны быть заданы перед программированием устройства. Все другие режимы могут быть микроконтроллером изменены во время его работы.

Режим I/O микроконтроллера. В этом режиме микроконтроллер использует блок портов I/O для расширения своих собственных портов. Установкой в пространстве CSIOP порты приборов PSD отображаются в адресном пространстве микроконтроллера.

Режим I/O PLD. Режим I/O PLD использует порты как входы в макроэчки входа CPLD (IMC) и (или) как выходы макроэчек выхода CPLD (OMC). Выход может быть с тремя состояниями и сигналом управления.

Режим вывода адреса (Address Out). При использовании микроконтроллеров с мультиплексируемой шиной адреса-данных, режим вывода адреса может использоваться для фиксации адреса на выводах порта. Эти выводы порта могут в свою очередь управлять внешними устройствами. В немультимплексируемом 8-разрядном режиме шины сигналы адреса (A7-A0) поступают на порт В в режиме вывода адреса.

Режим входа адреса (Address In). У микроконтроллеров, имеющих более 16 разрядов адреса, самые старшие разряды адреса могут быть поданы на порты А, В, С и D. Вход адреса может быть зафиксирован в макроэчке входа (IMC) стробом адреса (ALE/AS). Любой вход, включенный в выражение PLD декодирования (DPLD) SRAM, основной или вторичной Flash-памяти, рассматривается как вход адреса.

Режим порта данных. Один из портов, в зависимости от серии приборов, при работе с микроконтроллером с немультимплексируемой шиной адреса-данных, может быть использован как порт шины данных. Этот порт подсоединяется к шине данных микроконтроллера.

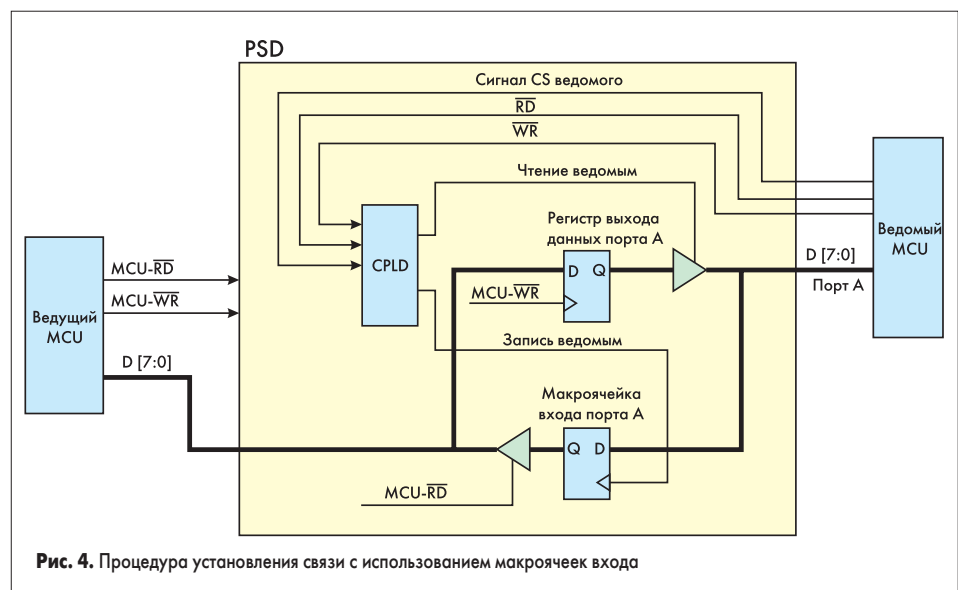
Режим I/O периферии. Режим I/O периферии используется для организации интерфейса с внешними устройствами. В этом режиме весь порт, выполняющий данную функцию, работает как двунаправленный буфер данных микроконтроллера с тремя состояниями.

К 24 портам I/O, в том числе и соединенным с макроэчками выхода, подсоединено по макроэчке входа (IMC). Каждая макроэчка входа может быть индивидуально конфигурирована и использована для фиксации входного сигнала, для передачи поступающего на порт сигнала на шину входов PLD. Выходы макроэчек входа могут быть считаны микроконтроллером через внутреннюю шину адресов-данных. Разрешение фиксации и сигнал тактирования управляются мультиплексором, на который поступают терм произведения матрицы AND CPLD и строб адреса микроконтроллера ALE/AS.

Макроэчки входа (IMC) особенно полезны при выполнении процедур установления связи, где два процессора обмениваются данными через общий почтовый ящик. На рис. 4 показана типовая конфигурация, где главный микроконтроллер выполняет запись в регистр вывода данных порта А. Порт А в свою очередь может быть считан ведомым микроконтроллером через активацию термина произведения разрешения выхода «Чтение ведомым».

Ведомый может также выполнять запись в макроэчки входа порта А, и тогда ведущий может напрямую считывать макроэчки входа (IMC). Отметим, что сигналы «Чтение ведомым» и «Запись ведомым» — термы произведений, полученные от входов строба чтения (RD, CNTL1) строба записи (WR, CNTL0) и выбора ведомого кристалла (Slave_CS) ведомого микроконтроллера.

Выше уже говорилось о конфигурировании прибора PSD средствами пакета PSDsoft. Интерфейс с выбранным микроконтроллером



конфигурируется автоматически и в процессе работы системы не изменяется, однако начальная конфигурация и функционирование других элементов прибора могут быть заданы при конфигурировании в PSDsoft с последующим их изменением микроконтроллером в процессе работы системы. Так изменяются функции портов I/O, работа макроячеек выхода и входа, распределение адресов памяти и т. д. За задание как начальных, так и соответствующих решаемой задаче установок отвечают регистры, размещенные с определенным смещением в пространстве CSIOIP. Пространство CSIOIP, по сути, отдельный блок энергонезависимой памяти объемом 256 байт, размещаемый в пространстве адресов микроконтроллера и обеспечивающий, следовательно, адресацию микроконтроллером всех размещенных в этом пространстве регистров. В рамках данной статьи ограничимся только перечислением регистров:

- регистр управления — выбирает режим между режимом I/O микроконтроллера и выводом данных;
- регистр входа данных — в режиме I/O микроконтроллера обеспечивает чтение порта;
- регистр выхода данных — в режиме I/O микроконтроллера обеспечивает сохранение данных для вывода;
- регистр направления — конфигурирует вывод порта на вход или выход;
- регистр выбора драйвера вывода — конфигурирует драйвер вывода как CMOS или с открытым стоком, как вывод с высокой или низкой скоростью нарастания сигнала;

- регистр чтения макроячейки входа;
- регистр чтения разрешения выхода;
- два регистра чтения-записи макроячеек выхода;
- два регистра масок макроячеек выхода;
- регистры идентификации и защиты основной и вторичной Flash-памяти;
- регистр разрешения порта JTAG;
- регистр страниц;
- регистр размещения областей памяти прибора в пространстве программ и данных;
- два регистра управления потреблением.

Микроконтроллер, имея доступ к регистрам, может изменять состояния битов, управляя конфигурированием элементов прибора, за исключением тех, которые были задействованы в логических выражениях PSDsoft.

Каждый PSD-прибор располагает основной Flash-памятью, вторичной Flash-памятью (в некоторых типах приборов вместо Flash используется EEPROM) и памятью SRAM, сохранность данных которой может быть обеспечена за счет внешней батареи поддержки. Основная Flash-память подразделена на 8 равных по объему секторов, а вторичная Flash-память разделена на 4 равных сектора. Каждый сектор любого блока памяти может быть отдельно защищен от стирания и программирования. Очистка Flash-памяти может быть выполнена как полностью, так и по секторам. При этом очистка (стирание) сектора Flash может быть отложена на время чтения данных других секторов блока и затем вновь продолжена.

Текущее состояние Flash-памяти во время циклов программирования или очистки может

быть выведено на вывод Ready/Busy. Функция этого вывода устанавливается с использованием PSDsoft. Получив сигналы адреса, матрица PLD декодирования (DPLD) формирует сигнал выбора внутренних блоков памяти. Каждому из восьми секторов основной Flash-памяти и вторичной памяти соответствует свой сигнал выбора сектора (FS0-FS7)/(CSBOOT0-CSBOOT3), соответственно, который может содержать до трех термов произведений. Наличие трех термов произведений для каждого сигнала выбора позволяет отображать данный сектор в различных областях системной памяти. При использовании микроконтроллера с отдельными пространствами программ и данных эти гибкие сигналы выбора позволяют динамически переотображать сектора из одного пространства памяти в другое.

Основная Flash-память и вторичная память адресуются посредством интерфейса шины микроконтроллера. Микроконтроллер может обращаться к основной и вторичной памяти двумя способами:

- Микроконтроллер выполняет типовую операцию чтения-записи — такую же, как при доступе к RAM или ROM, используя стандартные циклы шины.
- Микроконтроллер может выдать специальную команду, состоящую из нескольких операций чтения-записи. Для этого необходимо записывать определенные шаблоны данных по специальным адресам в пределах Flash-памяти, вызывая встроенный алгоритм.

Как правило, микроконтроллер может читать Flash-память, используя такие же опера-

Основные характеристики PSD-приборов серий PSD8xx/PSD9xx и PSD4xxx

Память

Два массива Flash-памяти, обеспечивающих программирование в условиях применения (IAP).

До 4 Мбит (PSD8xx/ PSD9xx) и до 8 Мбит (PSD4000) основной Flash-памяти программ.

- Версии со временем обращения 70, 90 и 120 нс.
- Версии с напряжением питания 5 и 3 В.

256 кбит (PSD8xx/ PSD9xx) и до 512 кбит (PSD4000) вторичной (параллельной) загрузочной памяти Flash или EEPROM.

SRAM емкостью до 256 кбит. Поддержка внешней батареи.

Программируемая логика

PLD декодирования (DPLD).

- Логика декодирования внутренних адресов.
- Гибкое распределение памяти и выбор кристаллов в любой области адресного пространства. PLD общего назначения.
- Приборы семейства PSD9xx и PSD41xxG располагают простой комбинаторной PLD с количеством выходов до 24.
- Приборы семейства PSD8xx располагают сложной PLD с количеством выходов до 82 и 16 выходами, а также макроячейками с 24 входами и 24 выходами.

Порты I/O

До 52 выводов портов, конфигурируемых индивидуально как:

- I/O микроконтроллеров;
- I/O PLD;

- выходы зафиксированных адресов;
- I/O специальных функций;
- выходы с открытым стоком.

Регистр страниц

8-разрядный регистр страниц в 256 раз расширяет адресуемое пространство.

Интерфейс шин микроконтроллеров

Приборы серий PSD8xx/PSD9xx конфигурируются под 8-разрядные микроконтроллеры с мультиплексируемыми и немultipлексируемыми шинами адресов-данных.

Приборы серии PSD4000 конфигурируются под 16-разрядные микроконтроллеры с мультиплексируемыми и немultipлексируемыми шинами адресов-данных. Обеспечивается работа с 32-разрядными микроконтроллерами в 16-разрядном режиме шины.

Модуль управления потреблением (PMU)

Распознает активность микроконтроллера для переключения автоматического режима Power Down.

Ток в режиме Standby не превышает 75 и 25 мкА (PSD8xx/PSD9xx), 100 и 50 мкА (PSD4000) у приборов с напряжением питания 5 и 3 В соответственно.

JTAG-порт внутрисистемного программирования

Стандартный 4-выводной или расширенный 6-выводной JTAG-совместимый (IEEE 1149.1) интерфейс.

- Быстрое начальное программирование (от 10 до 30 с в зависимости от объема Flash) установленных на плату приборов.

- Исключает складское хранение заранее запрограммированных приборов.

- Исключает использование дорогих и относительно ненадежных установочных панелек.

Программирование в условиях применения (IAP)

- Дистанционное обновление программных средств удаленного устройства в условиях применения практически по любому каналу связи.

- Параллельная Flash-память поддерживает режим одновременного чтения-записи Flash-памяти.
- Автоматическое распределение памяти.

- Позволяет организовать разделение пространств памяти программ и данных, характерное для ряда микроконтроллеров.

Количество циклов стирания-записи

Flash-память — минимум 100 000.

PLD — минимум 1000.

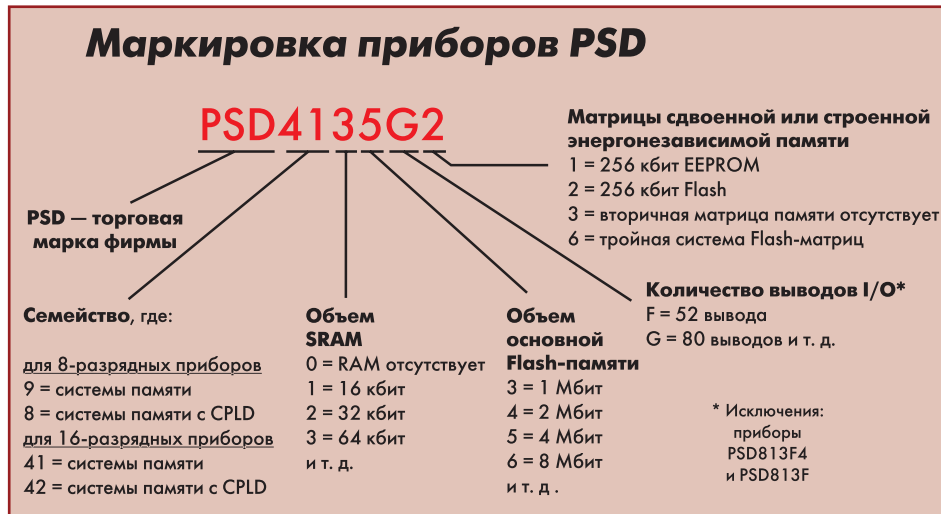
Диапазон рабочих температур

Коммерческий: от 0 до 70 °С, промышленный: от -40 до 85 °С, автомобильный: от -40 до 125 °С.

Корпуса

52-выводные корпуса PLCC и PQFP, 80-выводной корпус TQFP у приборов серий PSD8xx/PSD9xx.

80-выводной корпус TQFP (12×12 мм) у приборов серии PSD4000.



ции чтения, что и при чтении ROM. Однако Flash-память может быть изменена только при использовании специальных команд — Erase и Program. Например, микроконтроллер не может записать отдельный байт непосредственно во Flash-память, поскольку произойдет запись байта в RAM. Для записи байта во Flash-память микроконтроллер должен выполнить команду Program, проверив затем состояние цикла программирования. Этот тест состояния выполняется операцией чтения или опросом вывода Ready/Busy. С полным набором специальных команд и средств, используемых при программировании Flash-памяти, можно ознакомиться в DataSheet на PSD-приборы.

SRAM разрешается сигналом выбора SRAM (RS0), который может содержать до двух термов производства, обеспечивая гибкое управление памятью. При потере питания содержимое SRAM может быть сохранено поддержкой внешней батареей, подключаемой к выводу Voltage Stand-by (VSTBY). Один из выводов прибора может быть сконфигурирован как вывод, указывающий на питание от батареи поддержки.

Выбор SRAM (RS0), резервирование напряжения (VSTBY) и индикация включения батареи (VBATON) конфигурируются с использованием PSDsoft.

Все сигналы выбора сектора (FS0-FS7, CSBOOT0-CSBOOT3) и выбора SRAM (RS0) формируются PLD декодирования. Сигналы устанавливаются путем записи для них уравнения в PSDsoft. В выражениях для этих сигналов используется ряд правил, касающихся перекрытия областей памяти, среди которых:

- Пространства SRAM, I/O и I/O внешней периферии не должны перекрываться.
- Сектор вторичной Flash-памяти может перекрывать сектор основной Flash-памяти. В случае перекрытия приоритет дается сектору вторичной Flash-памяти.
- SRAM, I/O и I/O внешней периферии могут накладываться на любой другой сектор памяти. Приоритет дается SRAM, I/O или I/O внешней периферии.

На рис. 5 показаны уровни приоритета всех компонентов памяти. Любой компонент на более высоком уровне может накладываться и имеет приоритет перед любым компонентом более низкого уровня. Компоненты с одинаковым уровнем приоритета не должны пе-

рекрываться. Первый уровень имеет самый высокий приоритет, уровень 3 имеет самый низкий приоритет.

Возможность управления потреблением мощности определенных функциональных блоков с учетом предъявляемых к системе требований предоставляет пользователю модуль управления питанием (PMU).

Все приборы PSD располагают конфигурируемыми функциями энергосбережения, используемыми как отдельно, так и в сочетаниях.

Во всех блоках памяти приборов PSD (основная и вторичная Flash-память, SRAM) в дополнение к специальной технологии производства реализована функция управления потреблением. При отсутствии изменений состояний входов адреса-данных в течение некоторого времени эта функция автоматически переводит память в режим standby. При обнаружении изменения состояния на каком-либо входе адресуемая память «активируется», изменяет и фиксирует состояния выводов и вновь возвращается в режим standby. Матрицы PLD при отсутствии изменений состояний входов также могут переходить в режим standby, в соответствии с установками, задаваемыми в регистрах управления потреблением.

Блок автоматического Power Down (APD), как и технология управления потреблением, позволяет приборам PSD автоматически понижать потребляемый ток до уровня standby. Блок APD может блокировать сигналы адреса-данных от поступления на память и матрицы PLD. Встроенная логика ведет мониторинг активности строга адреса микроконтроллера. При отсутствии активности строга в течение некоторого времени (микроконтроллер «спит») блок APD инициирует режим Power Down (если он разрешен), в котором запреще-



но поступление на память и матрицы PLD всех сигналов адреса-данных. Это позволяет и памяти и матрицам PLD оставаться в режиме standby, даже если сигналы адреса-данных изменят состояние под внешним воздействием (шум, другие устройства на шине микроконтроллера и т. д.).

Для запрета внутренней памяти должен быть использован вход PSD Chip Select (CSI). При этом не блокируются никакие внутренние сигналы, не запрещаются матрицы PLD, что является хорошей альтернативой использованию блока APD.

Управление потреблением может быть установлено микроконтроллером в процессе работы путем изменения состояний битов регистров управления потреблением.

Как утверждают специалисты фирмы STMicroelectronics, внутрисистемное JTAG программирование (JTAG ISP) впервые в отрасли было реализовано именно в приборах PSD. Этот последовательный интерфейс позволяет выполнить полное программирование запаянного в систему прибора PSD без участия микроконтроллера. Может быть запрограммирован полностью пустой прибор. Сигналы JTAG (TMS, TCK, TSTAT, TERR, TDI, TDO) поступают на выводы порта, которые впоследствии могут быть использованы как порты I/O общего назначения. Через порт JTAG может быть выполнена очистка Flash-памяти прибора и ее корректировка.

Наличие двух блоков памяти — основной и вторичной, как это уже отмечалось выше, позволяет обновлять программные средства системы и в условиях применения. При этом связь с системой может быть выполнена через любую среду коммуникации, связанную с системой, сам процесс обновления (корректировки) программных средств идет под управлением микроконтроллера, который в то же время продолжает выполнять свои основные задачи.

Описанная выше архитектура за некоторыми исключениями, связанными с ориентацией некоторых серий на применения, характерна для всех приборов PSD. По этой же архитектуре выполнены и однократно программируемые приборы (ОП) серий PSD3xx/ZPSD3xx, ориентированные на критичные к стоимости применения. Однако ОП-приборы не перепрограммируются в условиях применения и, следовательно, не имеют блока вторичной памяти. У этих приборов отсутствует и комплексная PLD.

Приборы PSD, в особенности серии PSD4xxx, с одинаковым успехом могут работать как с микроконтроллерами, так и с цифровыми сигнальными процессорами. Тем не менее, фирмой STMicroelectronics были разработаны приборы серии DSM21xx, ориентированные на использование с DSP фирмы Analog Devices. Основное отличие этих приборов от «классических» заключается в отсутствии SRAM и комплексной PLD, что позволило в некоторой степени снизить их стоимость. Используются эти приборы в первую очередь как системная память загрузки быстродействующей RAM DSP-процессора. Все остальные

Таблица 2. Номенклатура однократно программируемых приборов серий PSD3xx/ZPSD3xx

Тип прибора	Формат шины, разрядов	EPROM, кбайт	RAM, кбайт	Входов PLD	Термов производений	Выходов PLD	8-разрядный регистр страниц	Выходов I/O	Напряжение питания, В
PSD303B	8/16	128	2	16	40	11	Есть	19	4,5-5,5
PSD313B	8	128	2	16	40	11	Есть	19	4,5-5,5
ZPSD303B	8/16	128	2	16	40	11	Есть	19	4,5-5,5
PSD312B	8	64	2	16	40	11	Есть	19	4,5-5,5
ZPSD302B	8/16	64	2	16	40	11	Есть	19	4,5-5,5
PSD311B	8	32	2	12	40	11	Есть	19	4,5-5,5
ZPSD301B	8/16	32	2	12	40	11	Есть	19	4,5-5,5

Таблица 3. Номенклатура приборов серии DSM2xxx

Тип прибора	Выходов GPIO	Входов PLD	Макроячеек		Выходов PLD	Порт JTAG ISP программирования	Основная Flash-память, кбит (8 секторов)	Вторичная (загрузочная) Flash-память, кбит (4 сектора)	SRAM, кбит	Напряжение питания, В
			Входа	Выхода						
DSM2150F5V	16	82	24	16	24	Есть	4096	256	-	3
DSM2190F4V	16	73	24	16	19	Есть	2048	256	-	3
DSM2180F3V	16	73	24	16	19	Есть	1024	256	-	5
DSM2180F3V	16	73	24	16	19	Есть	1024	256	-	3

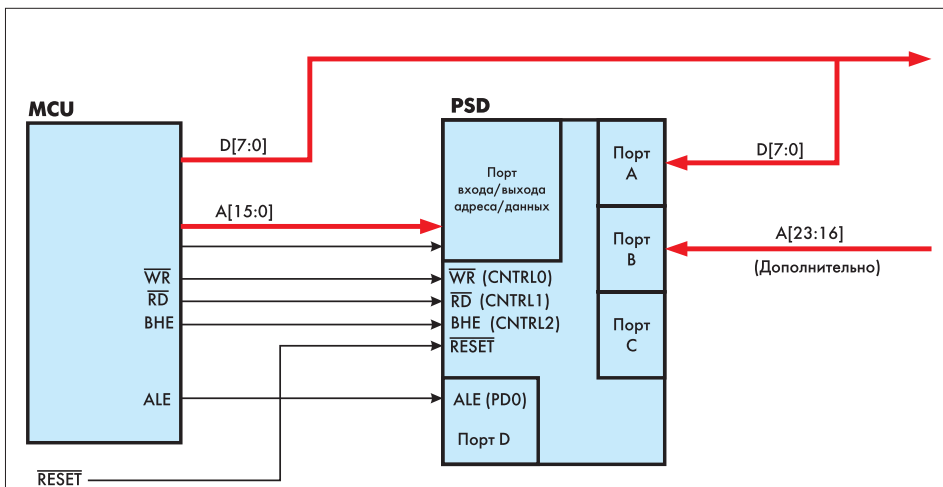


Рис. 6. Схема типового интерфейса с 8-разрядной немultipлексруемой шиной

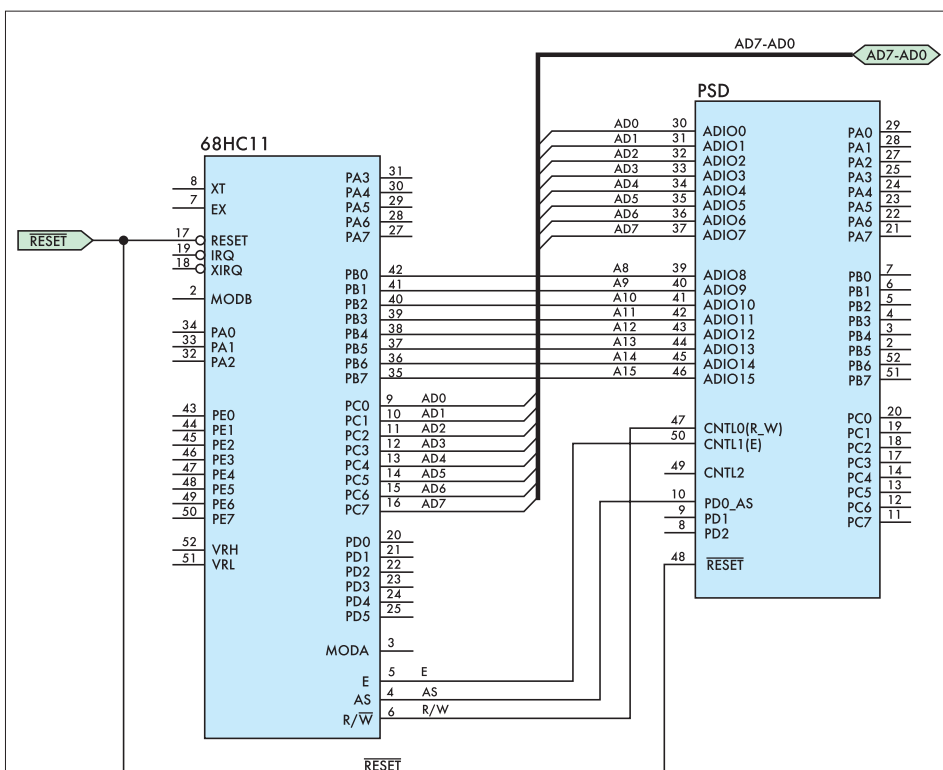


Рис. 7. Интерфейс с 8-разрядной multipлексруемой шиной микроконтроллера 68HC11

достоинства PSD приборы этой серии сохранили (табл. 3).

По требованию заказчика фирма STMicroelectronics разработала на базе архитектуры PSD прибор SSM1105, ориентированный на совместное использование с контроллером ЖК-дисплея Pixelworks. Архитектура PSD-приборов расширена 4 каналами ШИМ (Pulse Width Modulation — PWM), обеспечивающими управление уровнем подсветки, уровнями напряжений и т. п.; двумя каналами данных дисплея (Display Data Channels — DDC) и двумя каналами интерфейса I²C для управления периферией.

Схемы подключения приборов PSD к микроконтроллерам также имеют много общего. В то же время необходимо распределять сигналы интерфейса микроконтроллера по выводам прибора PSD в соответствии с особенностями интерфейса микроконтроллера. Такими особенностями могут быть, например, multipлексруемая или немultipлексруемая шина адреса-данных, формат шины адреса и другие особенности.

Схема типового интерфейса показана на рис. 6, и в качестве примера на рис. 7 приведена схема интерфейса прибора PSD с микроконтроллером 68HC11.

Формат статьи не позволяет полностью отразить особенности и характеристики всех упомянутых серий PSD-приборов. Желающие получить более подробную информацию могут скачать файлы DataSheet с сайта фирмы STMicroelectronics (www.st.com/psd) или с сайта фирмы КТЦ-МК (www.ccc-mc.ru), где ряд материалов по PSD-приборам представлен на русском языке.