

Инструментальный комплект *SET-StarterKit*

для освоения методов проектирования цифровых устройств на основе ПЛИС семейств FPGA фирмы Xilinx

Продолжая начатое в прошлом номере журнала ознакомление с инструментальными средствами, которые могут использоваться в процессе самостоятельного освоения технологии разработки цифровых устройств на основе ПЛИС фирмы Xilinx® [1], переходим к рассмотрению модулей, выполненных на основе кристаллов FPGA (Field Programmable Gate Array). ЗАО Scan Engineering Telecom®, специализирующееся на разработке и производстве встраиваемых устройств, выпускает серию универсальных модулей на основе ПЛИС семейств FPGA. В настоящей публикации основное внимание уделяется характеристикам и структуре инструментального модуля *SET-StarterKit™*, выполненного на основе кристаллов семейства Spartan™-II.

Валерий Зотов

walerry@euro.ru

Назначение и основные характеристики инструментального модуля *SET-StarterKit*

Инструментальный комплект *SET-StarterKit* предназначен, в первую очередь, для практического изучения методов проектирования цифровых устройств на основе ПЛИС семейств FPGA фирмы Xilinx и разработки прототипов встраиваемых микропроцессорных систем. Функциональные возможности и конструктивное исполнение инструментального модуля позволяют не только выполнять отладку проектов, реализуемых на основе ПЛИС семейства Spartan-II, но и использовать его в качестве промышленного серийного варианта разрабатываемого устройства. Рассматриваемый модуль можно рекомендовать для аппаратной реализации проектируемой системы при жестких требованиях, предъявляемых ко времени ее разработки. Применение готового модуля позволяет значительно сократить суммарную длительность этого процесса за счет исключения этапов проектирования и изготовления печатной платы разрабатываемого устройства и монтажа компонентов.

Инструментальный модуль *SET-StarterKit* может использоваться для реализации автономных систем управления, сбора и обработки цифровой информации, встраиваемых цифровых устройств с шинами ISA и PCI, соответствующих стандартам PC-104 и PC-104+, в том числе устройств сопряжения шин (мостов) PCI-ISA. Кроме того, данный модуль целесообразно применять в учебных лабораториях для изучения функционирования и проектирования микропроцессорных систем с различной архитектурой. Тестовый проект, включенный в состав комплекта, содержит наглядный пример описания микропроцессора, совместимого с архитектурой и системой команд PIC-контроллеров серии 16C5x фирмы Microchip®.

В состав комплекта *SET-StarterKit* входят:

- плата инструментального модуля *SET-StarterKit*;
 - сетевой адаптер с выходным стабилизированным напряжением 5 В и максимальным током нагрузки 1,2 А для питания инструментального модуля;
 - универсальный загрузочный JTAG-кабель, предназначенный для конфигурирования ПЛИС семейств CPLD, FPGA и ППЗУ серии XC18V00, подключаемый к параллельному порту компьютера;
 - кабель для подключения платы к последовательному порту RS-232 с разъемами DB-25 и DB-9;
 - CD-ROM, содержащий новую версию системы проектирования WebPACK™ ISE™, особенности которой были рассмотрены ранее [2], тестовый проект, иллюстрирующий применение ПЛИС семейств FPGA для реализации «системы на кристалле», и необходимую документацию.
- Характерными особенностями инструментального модуля *SET-StarterKit* являются:
- использование ПЛИС из семейства Spartan-II с объемом от 50 000 до 200 000 системных вентилей в корпусе FG256, логические и трассировочные ресурсы которых в сочетании с большим количеством пользовательских выводов позволяют применять их не только в качестве основы проектируемой системы, но и для реализации разрабатываемого устройства в целом;
 - конструктивное исполнение в формате PC-104+ с разъемами (устанавливаемыми по заказу), соответствующими стандартам PCI и ISA в версии PC-104;
 - возможность поддержки на уровне проектов интерфейсов PCI и ISA (в версии PC-104);
 - подключение 53 пользовательских выводов ПЛИС к контактам (контактным отверстиям) разъема, соответствующего стандарту PCI в версии PC-104+;
 - разводка 87 пользовательских выводов кристалла к контактными отверстиям, предназначенным для монтажа разъемов, соответствующих стандарту ISA в версии PC-104;
 - банк внешнего высокоскоростного статического ОЗУ с организацией 64К×16, расширяющий возможности оперативной памяти ПЛИС;

- банк внешнего Flash-ППЗУ объемом 4 Мбит или 8 Мбит (в зависимости от версии инструментального модуля);
- применение в качестве ППЗУ для хранения конфигурационных данных ПЛИС Flash-PROM серии XC18V00, программируемой в системе;
- наличие интегрированной схемы загрузочного кабеля JTAG-интерфейса, позволяющей выполнять операции конфигурирования ПЛИС и программирования ППЗУ через разъем параллельного порта с помощью унифицированного параллельного кабеля, используемого для связи двух ПК;
- применение кварцевого генератора с частотой 80 МГц для формирования внешнего тактового сигнала ПЛИС, позволяющего выполнять на основе инструментального модуля проекты с внутренними частотами синхронизации до 320 МГц;
- включение в схему модуля преобразователя уровней RS-232 для непосредственного подключения к последовательному порту через разъем DB-9, установленный на плате (при реализации универсального асинхронного приемопередатчика UART на основе ПЛИС);
- наличие разъема DB-25, предоставляющего возможность подключения к параллельному порту (LPT) с помощью стандартного кабеля (при поддержке соответствующего интерфейса в проекте, загружаемом в ПЛИС);
- присутствие на плате элементов индикации, обеспечивающих возможность визуального контроля напряжения питания, процесса конфигурирования кристалла и функционирования разрабатываемого устройства;
- наличие восьмипозиционного DIP-переключателя, который может использоваться, например, для ручной установки режима работы реализуемой системы или в процессе отладки проектируемого устройства, а также для тестирования инструментального модуля;
- использование комплексной схемы управления питанием, выполняющей функции формирования и контроля напряжений, необходимых для питания компонентов модуля, в том числе для блоков ввода-вывода и ядра кристалла FPGA и конфигурационного ППЗУ;
- наличие кнопки, обеспечивающей реализацию режима принудительной загрузки конфигурационной последовательности в ПЛИС;
- полная совместимость со всем семейством систем проектирования и программирования кристаллов фирмы Xilinx (WebPACK ISE, Base™ ISE, Foundation™ ISE и Alliance™ ISE).

Структура инструментального модуля SET-StarterKit

Внешний вид инструментального модуля SET-StarterKit показан на рис. 1. Компоненты модуля смонтированы на шестислойной печатной плате с двухсторонним размещением компонентов.



Рис. 1. Внешний вид инструментального модуля SET-StarterKit

Основными элементами структуры модуля SET-StarterKit являются (рис. 2):

- ПЛИС из семейства Spartan-II в корпусе FG256, на основе которой реализуется проектируемое устройство;
- программируемое в системе ППЗУ серии XC18V00, предназначенное для хранения конфигурационных данных ПЛИС;
- кварцевый генератор, предназначенный для формирования сигнала внешней синхронизации;
- схема управления питанием;
- блок загрузки конфигурационных данных;
- внешнее высокоскоростное ОЗУ с организацией 64К×16 разрядов;
- внешнее ППЗУ, выполненное на основе Flash-памяти, объемом до 8 Мбит;
- элементы индикации и управления;
- блок преобразования уровней сигналов интерфейса RS-232;
- стандартные разъемы шин PCI и ISA в версии PC-104, последовательного и параллельного порта.

Функциональные возможности инструментального модуля в значительной степени определяются типом используемых ПЛИС. Основные технические характеристики уста-

навливаемых кристаллов рассматриваются далее, в разделе, посвященном особенностям ПЛИС семейства Spartan-II.

Большинство пользовательских выводов кристалла FPGA подключено к контактам разъемов различного типа, установленных на плате инструментального модуля. Тем самым обеспечивается возможность реализации в проекте, выполняемом на основе ПЛИС, ряда наиболее широко применяемых интерфейсов для обмена данными с внешними устройствами.

Внешний тактовый сигнал, формируемый кварцевым генератором, подается на GCK1 (вывод R8 для корпуса FG256) — один из четырех специально выделенных контактов кристалла, сопряженных с глобальными буферными элементами. Так как выход каждого глобального буфера связан с первичными глобальными цепями синхронизации и схемой цифровой автоподстройки задержек (Delay Locked Loop, DLL), такое решение оптимальным образом обеспечивает возможность применения модуля DLL для получения сетки внутренних тактовых частот, соответствующих требованиям реализуемого проекта. Модуль цифровой автоподстройки задержек позволяет сформировать сигналы синхронизации со сдвигом фаз на 90°, 180° и 270°, с удвоенной частотой и с одним из возможных коэффициентов деления (1,5, 2, 2,5, 3, 4, 5, 8, 16) по отношению к входному тактовому сигналу. Кроме того, применение схемы DLL позволяет устранить временной перекокс при распространении сигналов синхронизации как внутри кристалла, так и на уровне печатной платы инструментального модуля. Пример построения блока внутренней синхронизации, используемого в тестовом проекте, показан на рис. 3. В этом примере задействована функция деления частоты, выполняемая модулем DLL. Требуемое значение коэффициента деления частоты указывается в файле ограничений UCF (User Constraints File). В тестовом проекте формируются два тактовых сигнала с частотами 20 и 80 МГц.

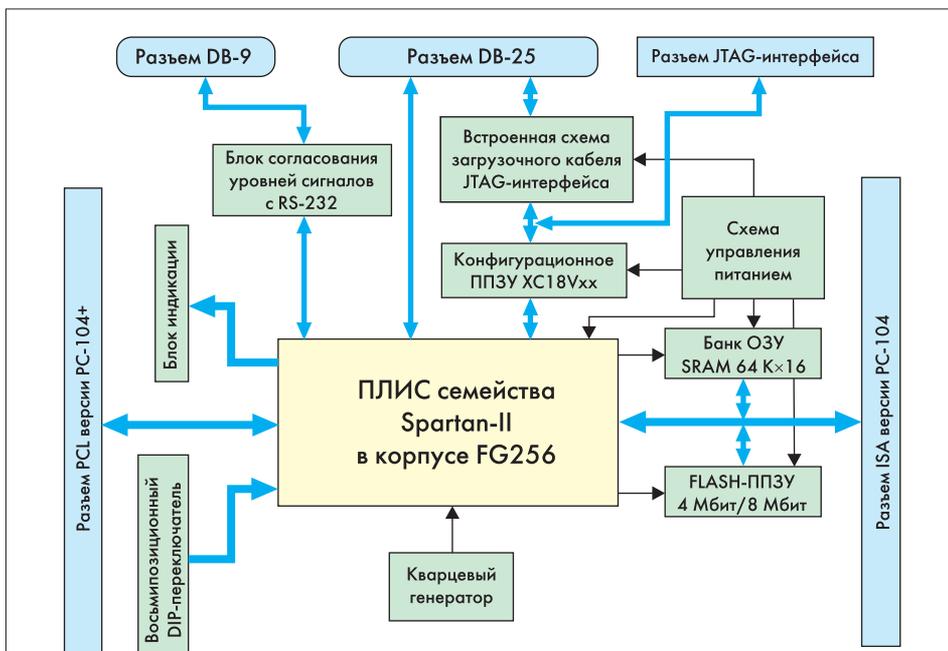
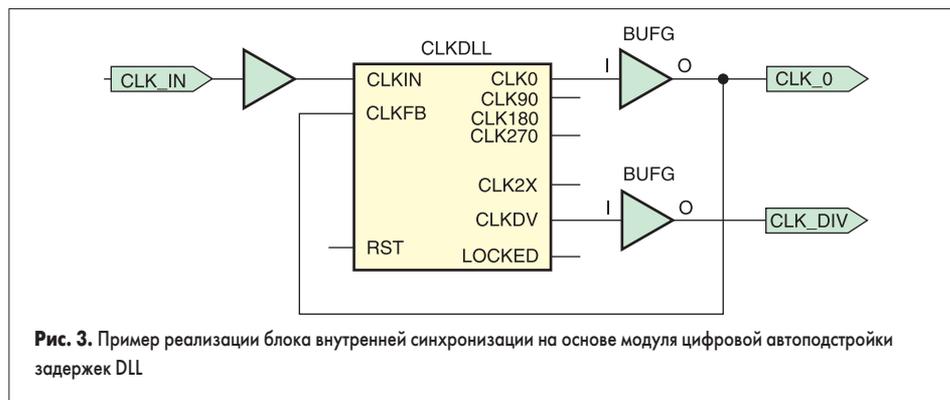


Рис. 2. Структурная схема инструментального модуля SET-StarterKit



Для получения сигналов синхронизации со сдвигом фаз или с удвоенной частотой следует воспользоваться соответствующими выходами компонента CLKDLL (рис. 3).

Блок загрузки конфигурационных данных включает в себя разъем для присоединения внешнего JTAG-кабеля, подключенный к выводам соответствующего порта ППЗУ и ПЛИС, и встроенную схему загрузочного кабеля JTAG-интерфейса, предоставляющую дополнительные возможности программирования и обратного считывания данных из кристаллов через разъем параллельного порта. Схема встроенного загрузочного кабеля выполнена на основе ИС 74HC125, элементы которой выполняют функцию согласования (буферизации) сигналов параллельного порта со входами JTAG-порта ППЗУ и ПЛИС. Выводы JTAG-портов конфигурационного ППЗУ и ПЛИС инструментального модуля соединены так, что образуют единую цепочку периферийного сканирования, подключенную одновременно к разъему JTAG-интерфейса и встроенной схеме загрузочного кабеля. Таким образом, разработчику предоставляется возможность программирования ППЗУ и загрузки конфигурационных данных непосредственно в ПЛИС с компьютера через один разъем. Режим конфигурирования ПЛИС из компьютера целесообразно использовать на этапе отладки проекта. Основным способом загрузки конфигурационной последовательности является использование входящего в комплект JTAG-кабеля, подключаемого к параллельному порту (LPT) персонального компьютера (Parallel Download Cable).

Комплексная схема управления питанием включает в себя два DC/DC-преобразователя и супервизор вырабатываемых напряжений. Встроенные DC/DC-преобразователи формируют напряжения 2,5 В для питания ядра кристалла семейства Spartan-II и 3,3 В для блоков ввода-вывода ПЛИС и других компонентов инструментального модуля. В качестве входного напряжения используется напряжение 5 В, поступающее от сетевого адаптера. Супервизор выполняет функции контроля выходных напряжений DC/DC-преобразователей и при их отклонении от номинальных значений, превышающем допустимые нормы, вырабатывает соответствующий сигнал, который отображается визуально с помощью светодиода блока индикации. Контроль напряжений питания необходим, прежде всего, в процессе загрузки конфигурационной последовательности из ППЗУ в ПЛИС, который характеризуется повышенным потреблением тока.

Блок индикации инструментального модуля содержит десять светодиодов. Два из них используются для визуального контроля наличия напряжения питания 5 В и соответствия значений выходных напряжений DC/DC-преобразователей требуемым величинам (2,5 и 3,3 В). Еще два светодиода предназначены для отображения хода процесса конфигурирования кристалла. Остальные шесть светодиодов могут использоваться разработчиком в проекте разрабатываемого устройства, например, для визуальной оценки выполнения алгоритма его функционирования или в процессе тестирования инструментального модуля.

Перед началом работы с инструментальным модулем следует подключить загрузочный кабель к разъему JTAG-интерфейса платы, а также необходимые кабели к разъемам, предназначенным для обмена данными с внешними устройствами. В частности, при реализации прилагаемого тестового проекта нужно подключить коммуникационный кабель, входящий в состав комплекта, к разъему последовательного порта DB-9 модуля и разъему соответствующего COM-порта компьютера. После этого можно подать питание на инструментальный модуль, подключив выходной разъем сетевого адаптера, и активизировать средства программирования (программу *iMPACT* пакета WebPACK ISE). При успешном выполнении указанных операций после обнаружения загрузочного кабеля производится автоматический поиск и инициализация подключенной к JTAG-порту цепочки периферийного сканирования (включающей в себя ПЛИС и ППЗУ). Информация об обнаруженной цепочке периферийного сканирования представлена в графической форме в рабочей области основного окна и в текстовом виде в окне регистрации сообщений программы *iMPACT*. После этого можно приступить к выполнению операций программирования ППЗУ или конфигурирования ПЛИС, а также обратного считывания конфигурационных данных или контрольной информации из ППЗУ. Последовательность необходимых для этого процедур подробно рассмотрена в описании САПР WebPACK ISE [3-6].

Краткая характеристика ПЛИС семейства Spartan-II, используемых в модуле SET-StarterKit

Семейство Spartan-II представлено шестью типами кристаллов, выпускаемых по технологии 0,18 или 0,22 мкм с шестислойной металлизацией. Из них только четыре типа

ПЛИС производится в корпусе FG256. Поэтому в качестве основы инструментального модуля SET-StarterKit в различных версиях могут использоваться кристаллы XC2S50, XC2S100, XC2S150 и XC2S200. Функциональные возможности ПЛИС этой группы характеризуются следующими показателями:

- диапазон логической емкости кристаллов составляет от 384 до 1176 конфигурируемых логических блоков;
- 176 пользовательских контактов ввода-вывода;
- высокая производительность, допускающая реализацию проектов с системными частотами до 200 МГц;
- применение четырех специальных схем цифровой автоподстройки задержек (DLL), выполняющих функции умножения, деления и сдвига фаз тактовых частот, обеспечивает расширенные возможности управления синхронизацией не только внутри кристалла, но и на уровне печатной платы проектируемого устройства;
- использование четырех глобальных сетей предоставляет возможность распределения сигналов синхронизации внутри кристаллов с малыми разбегами фронтов;
- наличие двух видов внутренней оперативной памяти: распределенной Distributed RAM, реализуемой на базе 4-входовых таблиц преобразования (LookUp Table, LUT) конфигурируемых логических блоков (Configurable Logic Block, CLB), и встроенной блочной памяти Block SelectRAM, которая может быть организована как синхронное 2-портовое ОЗУ;
- максимальный объем внутренней распределенной оперативной памяти Distributed RAM составляет от 24 до 75 кбит;
- предельная информационная емкость встроенной блочной памяти Block SelectRAM, организованной в виде секций ОЗУ по 4 кбит, составляет от 32 до 56 кбит;
- возможность реализации быстрых внутренних интерфейсов к внешним высокопроизводительным элементам памяти (ОЗУ или ПЗУ);
- применение специальной логики ускоренного переноса для выполнения высокоскоростных арифметических операций;
- специальная поддержка реализации умножителей;
- наличие цепочек каскадирования обеспечивает возможность реализации функций с большим количеством входных переменных;
- совместимость со стандартами PCI 3,3 В 66 МГц;
- поддержка функции Hot-swap для Compact PCI;
- наличие внутренних шин с тремя состояниями;
- полная поддержка протокола периферийного сканирования в соответствии со стандартом IEEE Std 1149.1;
- использование технологии SelectI/O™ позволяет поддерживать шестнадцать цифровых сигнальных стандартов по вводу-выводу, в частности, LVTTTL, LVCMOS2, PCI33_5, PCI66_5, PCI33_3, PCI66_3, GTL, GTL+, SSTL2(I), SSTL2(II), SSTL3(I), SSTL3(II), HSTL(I), HSTL(III), HSTL(IV), AGP, CTT;

- неограниченное количество циклов загрузки конфигурационных данных;
- четыре режима конфигурирования ПЛИС (Slave-serial, Master-serial, Slave, Boundary-scan mode).

Основу архитектуры кристаллов Spartan-II составляет массив конфигурируемых логических блоков CLB, окруженных программируемыми блоками ввода-вывода IOB (рис. 4). Кроме того, в нее входят схемы цифровой автоподстройки задержек DLL и блоки выделенной памяти Block SelectRAM. Все соединения между основными архитектурными элементами ПЛИС осуществляются с помощью иерархической структуры трассировочных ресурсов.

Конфигурируемый логический блок ПЛИС семейства Spartan-II состоит из двух секций, каждая из которых включает в себя две однотипные логические ячейки (Logic Cell, LC). В состав логической ячейки входит четырехвходовый функциональный генератор (таблица преобразований), триггерный элемент и логика ускоренного переноса. Кроме того, конфигурируемый логический блок содержит дополнительную логику, позволяющую конфигурировать ресурсы функциональных генераторов для реализации функций пяти и шести переменных. Основными элементами иерархической структуры трассировочных ресурсов являются: трассировочные ресурсы общего назначения, включающие главные трассировочные матрицы (General Routing Matrix, GRM) и коммутационные цепи различного типа, локальные трассировочные линии VersaBlock, окружающие каждый конфигурируемый логический блок, и дополнительные трассировочные ресурсы для коммутации блоков ввода-вывода VersaRing.

Более подробное описание элементов архитектуры кристаллов семейства Spartan-II представлено в соответствующей литературе [10, 11].

Функциональные возможности инструментального модуля наглядно демонстрирует тестовый проект. Ряд элементов этого проекта, как, например, описания последовательного и параллельного портов, микропроцессорного ядра могут использоваться разработчиками в качестве готовых решений в собственных проектах. Поэтому далее кратко рассматривается структура и основные характеристики компонентов тестового проекта.

Описание структуры тестового проекта

Тестовый проект представляет собой образец выполнения разработки «системы на кри-

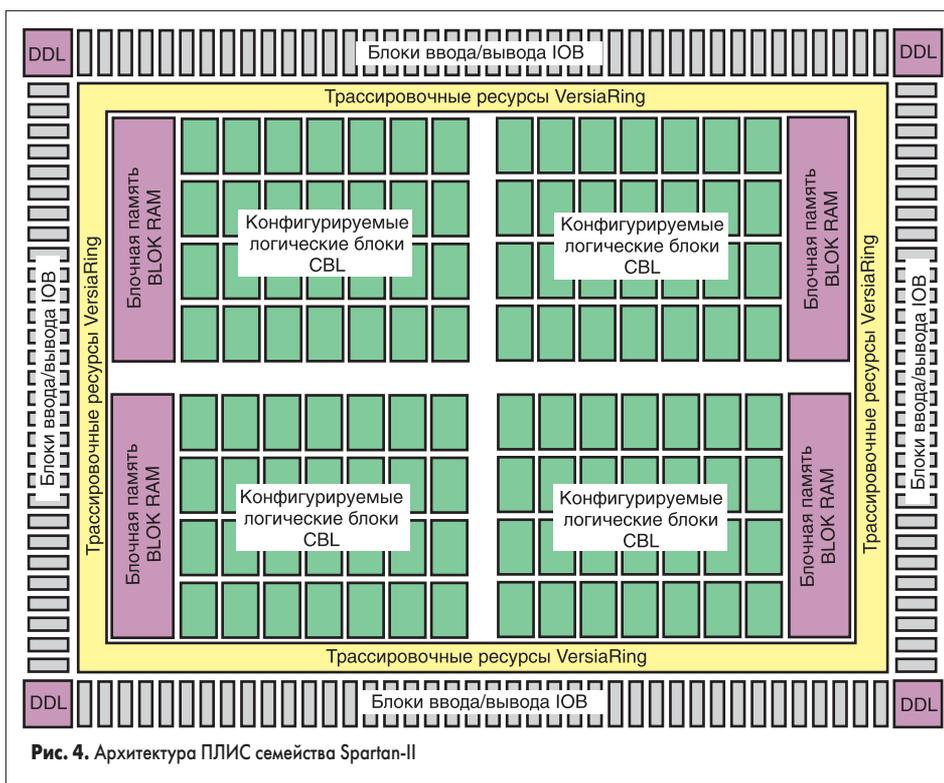


Рис. 4. Архитектура ПЛИС семейства Spartan-II

сталле» (System-on-Chip), реализующей в одном корпусе ПЛИС функции процессора и периферийных устройств. Структура системы, проектируемой на основе ПЛИС (рис. 5). В состав тестового проекта входят следующие элементы:

- микропроцессорное ядро PIC16C5x;
- модуль универсального асинхронного приемопередатчика UART (Universal Asynchronous Receiver-Transmitter);
- модуль параллельного интерфейса ввода-вывода Parallel I/O.

После записи битовой последовательности тестового проекта в конфигурационное ППЗУ инструментальный модуль SET-StarterKit может использоваться в качестве автономного устройства сбора, предварительной обработки и передачи цифровых данных через последовательный интерфейс (например, в COM-порт персонального компьютера). Наличие внешних банков ОЗУ и ППЗУ предоставляет разработчику дополнительные возможности для хранения и обработки данных.

Ядро микропроцессора представляет собой синтезируемое VHDL-описание микроконтроллера, совместимого с архитектурой и системой команд микроконтроллеров серии PIC 16C5x фирмы Microchip.

Отличительными особенностями микропроцессорного ядра являются:

- восьмиразрядное АЛУ, реализующее логические функции, операции сложения, вычитания и сдвига;
- поддержка 33 команд;
- восемь регистров специального назначения;
- реализация внутреннего ОЗУ в виде регистрового файла, состоящего из 73 восьмиразрядных регистров общего назначения;
- 2-уровневый аппаратный стек;
- прямой, косвенный и относительный режимы адресации;
- 24 линии ввода-вывода;
- восьмиразрядный таймер с предварительным делителем;
- реализация памяти программ микропроцессора с логической емкостью 2048×12 бит на основе ресурсов блочной памяти ПЛИС. Модуль UART представляет собой синтезируемое VHDL-описание универсального асинхронного приемопередатчика, предназначенного для организации обмена данными между микропроцессорным ядром и внешними устройствами (в частности, последовательным портом ПК) через интерфейс RS-232.

Основные характеристики модуля UART:

- максимальная скорость приема-передачи информации составляет 115 200 кбит/с;
- формат передаваемых данных включает в себя стартовый бит, восемь информационных бит, один стоповый бит.

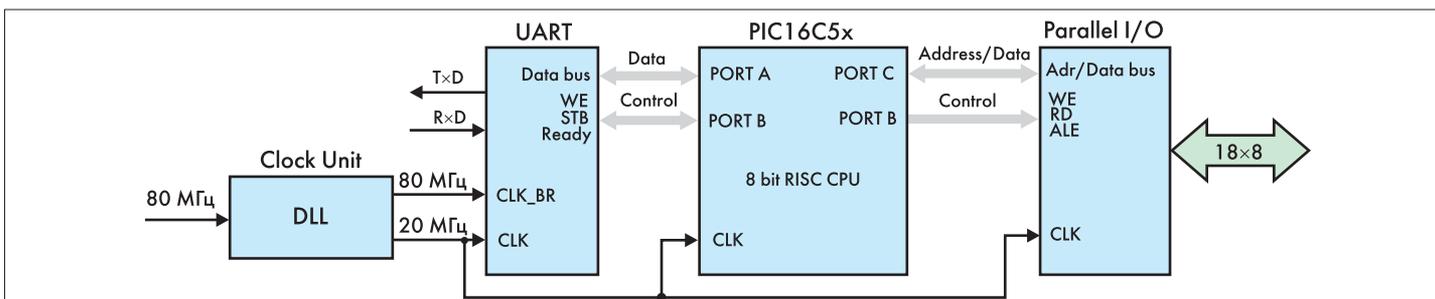


Рис. 5. Структура тестового проекта, реализуемого на основе ПЛИС инструментального модуля SET-StarterKit

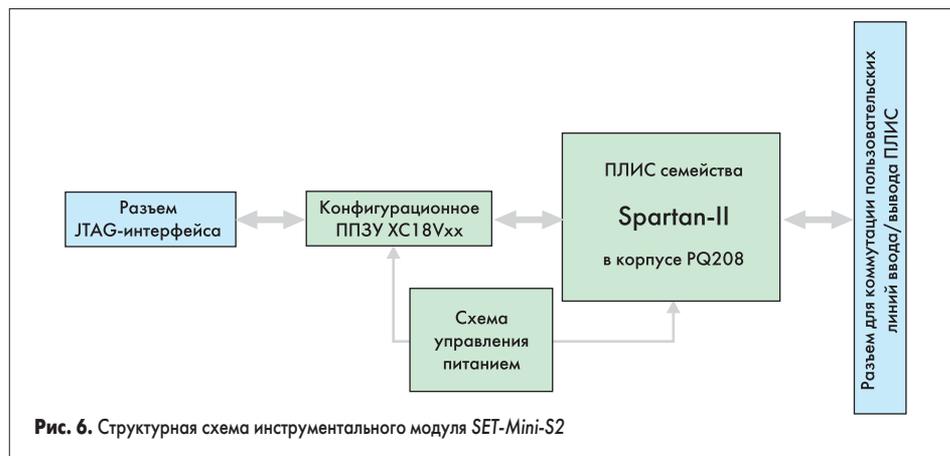


Рис. 6. Структурная схема инструментального модуля SET-Mini-S2

Модуль VHDL-описания параллельного интерфейса, используемого для расширения пространства ввода-вывода микропроцессорного ядра PIC 16C5x, характеризуется следующими особенностями:

- совместимость со стандартом шины 8051;
- восемнадцать восьмиразрядных портов ввода-вывода.

Следует обратить внимание на то, что в состав тестового проекта включены файлы, необходимые для его моделирования с помощью системы ModelSim XE, которая включена в САПР WebPACK ISE [7–9].

Другие модули для освоения методов проектирования цифровых устройств на основе ПЛИС семейств FPGA

Кроме рассмотренного выше инструментального модуля SET-StarterKit на базе кристаллов семейства Spartan-II выпускается плата SET-Mini-S2™ (рис. 6). В отличие от SET-StarterKit она не содержит внешних элементов памяти.

Основные технические данные модуля SET-Mini-S2:

- использование в качестве основы модуля ПЛИС серии Spartan-II объемом от 50 000 до 200 000 системных вентилях в корпусе PQ208 (XC2S50, XC2S100, XC2S150, XC2S200);
- возможность реализации проектов с системными тактовыми частотами до 200 МГц;
- наличие от 8 до 14 встроенных в ПЛИС банков 2-портового ОЗУ с информационной емкостью по 4 кбит;
- возможность формирования в ПЛИС внутренних тактовых сигналов с частотами, в 2 или 4 раза превышающими частоту внешней синхронизации, при использовании встроенных схем DLL;
- доступ к 140 пользовательским выводам ПЛИС через разъемы модуля;
- совместимость с 5-вольтовыми периферийными блоками;
- применение программируемого в системе ППЗУ серии XC18V00 для хранения конфигурации ПЛИС объемом 2 Мбит;
- одно внешнее напряжение питания 5 В;
- встроенные источники питания ядра ПЛИС 2,5 В и периферии 3,3 В;
- наличие схемы контроля формируемых напряжений питания 2,5 и 3,3 В;

- габаритные размеры инструментального модуля — 48×60×7 мм;
- варианты реализации модуля в коммерческом и промышленном исполнении (для температурного диапазона от –40 до +85 °С).

Еще два автономных инструментальных модуля выполнены на основе кристаллов семейства Virtex™. Плата SET-Mini-V™ имеет ту же структуру, что и модуль SET-Mini-S2, отличаясь только типом используемых ПЛИС и ППЗУ. В составе платы SET-Mini-V применяются кристаллы серии Virtex с объемом от 400 000 до 800 000 системных вентилях в корпусе FG676. В качестве конфигурационного ППЗУ используется один или два элемента PROM с информационной емкостью 4 Мбит. Основные технические характеристики платы SET-Mini-V практически те же, что и у модуля SET-Mini-S2. Отличия заключаются в ресурсах и, соответственно, возможностях используемых кристаллов. ПЛИС, применяемые в модуле, содержат от 2400 до 4700 конфигурируемых логических блоков и от 80 до 112 кбит встроенной блочной памяти.

Инструментальный модуль SETCORE-1M™ (рис. 7) предоставляет разработчику более широкие возможности его применения по сравнению с SET-Mini-S2, обусловленные установкой дополнительных компонентов.

Характеристики используемых ПЛИС серии Virtex и открытая архитектура модуля позволяют использовать его не только в процессе

обучения, но и эффективно реализовывать на базе SETCORE-1M широкий спектр устройств в области цифровой обработки сигналов (в частности, фильтров, корреляторов, БПФ) и телекоммуникаций, а также многофункциональных специализированных контроллеров.

Модуль SETCORE-1M характеризуется следующими особенностями:

- широкий спектр устанавливаемых кристаллов семейства Virtex с емкостью от 50 000 до 800 000 вентилях (XCV50 — XCV800) и системной тактовой частотой до 180 МГц;
- наличие от одного до трех банков внешнего высокоскоростного ОЗУ, выполненных на основе SRAM с организацией 64К×32 разряда;
- применение Flash-памяти емкостью до 8 Мбит для хранения конфигурации ПЛИС;
- трассировка 110 пользовательских линий ввода-вывода кристалла FPGA к двум 64-контактным штыревым разъемам с шагом 2,54 мм;
- применение встроенного контроллера, реализованного на базе кристалла CPLD XC95144XL, для загрузки конфигурации ПЛИС из Flash-памяти модуля;
- формирование внешнего тактового сигнала ПЛИС с частотой 80 МГц с помощью кварцевого генератора, установленного на плате;
- использование комплексной схемы управления питанием, обеспечивающей формирование и контроль напряжений 2,5 и 3,3 В;
- наличие разъема DB-9, сопряженного с микросхемой преобразователя уровней сигналов интерфейса RS-232, предоставляет возможность организации обмена данными с внешними устройствами (в том числе и с ПК) через последовательный (COM) порт при реализации UART в составе проекта;
- разъем JTAG-интерфейса для программирования Flash ППЗУ и конфигурирования ПЛИС.

Дополнительную информацию об инструментальных модулях и ядрах, разработанных ЗАО Scan Engineering Telecom для реализации в пользовательских проектах, можно получить на сайте www.setltd.com.

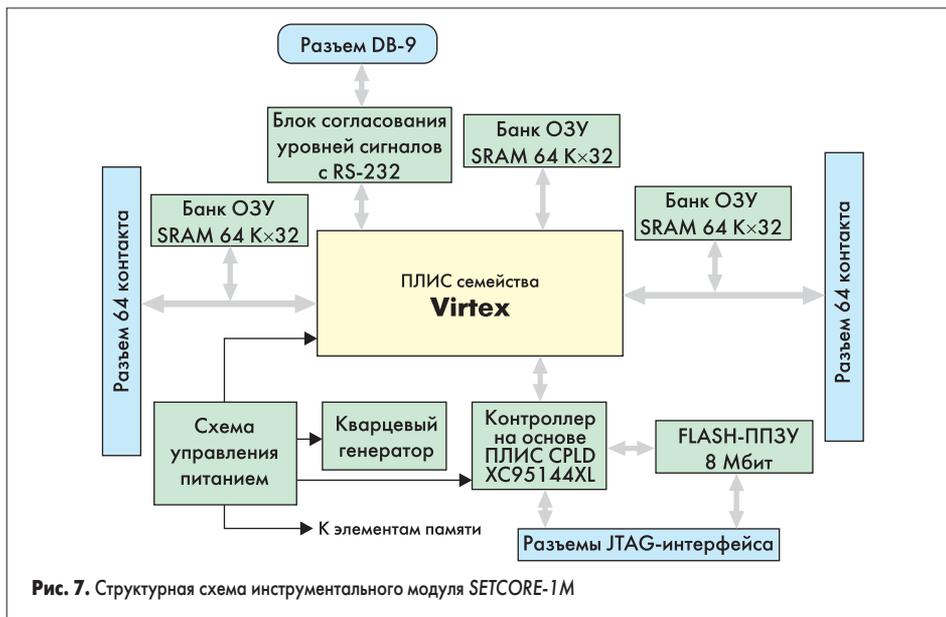


Рис. 7. Структурная схема инструментального модуля SETCORE-1M

Литература

1. Зотов В. Инструментальный комплект *CoolRunner-II Design Kit* для практического освоения методов программирования ПЛИС семейств CPLD фирмы Xilinx // Компоненты и технологии. 2003. № 2.
2. Зотов В. Новая версия свободно распространяемого пакета проектирования WebPACK ISE фирмы Xilinx // Компоненты и технологии. 2003. № 1.
3. Зотов В. Синтез проектов, реализуемых на базе ПЛИС FPGA фирмы Xilinx, в САПР WebPACK ISE // Компоненты и технологии. 2002. № 3.
4. Зотов В. Реализация проектов на базе ПЛИС семейств FPGA фирмы Xilinx в САПР WebPACK ISE // Компоненты и технологии. 2002. № 4.
5. Зотов В. Конфигурирование ПЛИС семейств FPGA фирмы Xilinx в САПР WebPACK ISE // Компоненты и технологии. 2002. № 5.
6. Зотов В. Программирование ПЛИС семейств CPLD фирмы Xilinx в САПР WebPACK ISE // Компоненты и технологии. 2002. № 2.
7. Зотов В. ModelSim — система HDL-моделирования цифровых устройств // Компоненты и технологии. 2002. № 6.
8. Зотов В. Функциональное моделирование цифровых устройств, проектируемых на базе ПЛИС фирмы Xilinx в среде САПР WebPACK ISE // Компоненты и технологии. 2002. № 7.
9. Зотов В. Временное моделирование цифровых устройств, проектируемых на базе ПЛИС фирмы Xilinx в среде САПР WebPACK ISE // Компоненты и технологии. 2002. № 8.
10. Кнышев Д. А., Кузелин М. О. ПЛИС фирмы Xilinx: описание структуры основных семейств. М.: Издательский дом «Додэка-XXI». 2001.
11. Кузелин М. ПЛИС фирмы Xilinx: семейство Spartan-II // Компоненты и технологии. 2001. № 3.