

Двойной радиочастотный синтезатор частот

с дробным коэффициентом деления ADF4252

Мы продолжаем серию статей о синтезаторах частот производства Analog Devices Inc., являющихся базовыми элементами любых систем связи, навигации, кабельного и спутникового телевидения. В серии будут рассмотрены синтезаторы частот с импульсно-фазовой автоподстройкой частоты (PLL).

Сергей Дмитриев

sergey@eltech.spb.ru

Юрий Никитин,

к. т. н.

syntez@loniir.ru

Компания Analog Devices Inc. выпускает микросхему двойного цифрового синтезатора частоты с дробным коэффициентом деления (fractional-N) по высокочастотному (RF) входу и с целочисленным коэффициентом деления (integer-N) по низкочастотному (IF). Синтезатор относится к се-

рии ADF4000, изготавливается по современной BiCMOS-технологии 0,35 мкм и может работать в интервале питающих напряжений 2,7–3,3 В в промышленном диапазоне рабочих температур –40... +85 °С.

Сдвоенный RF/IF-синтезатор ADF4252 позволяет реализовать современные гетеродины с повышением и понижением RF-частоты. В сочетании с внешними ГУН и петлевыми фильтрами микросхема образует законченную систему PLL гетеродинов.

Итак, в высокочастотном RF-тракте синтезатора ADF4252 минимальный коэффициент деления частоты опорного колебания $R_{\text{мин}} = 1$ может быть изменен пользователем с шагом 1 до $R_{\text{макс}} = 15$. В низкочастотном IF-тракте $R = 1, 2, \dots, 32767$.

При использовании синтезаторов fractional-N шаг сетки синтезируемых частот всегда меньше частоты сравнения. Это удобно, а зачастую и необходимо в случае мелкого шага сетки при высокой выходной частоте, то есть при больших значениях N коэффициента деления делителя с дробным переменным коэффициентом деления (ДДПКД). В большинстве таких синтезаторов максимальное значение дробности F/M может быть установлено в пределах 1/16... 15/16.

Способ формирования дробного коэффициента деления

Идея дробного деления заключается в чередовании целочисленных коэффициентов деления по определенному закону. Так, если необходимо получить коэффициент деления $N = 1000,3$, то на интервале 10 выходных импульсов устанавливают 3 раза коэффициент $N = 1001$ и 7 раз $N = 1000$. В итоге среднее значение коэффициента деления будет $N = (1001 \times 3 + 1000 \times 7) / 10 = 1000,3$.

Но интервал наблюдения увеличивается (в нашем примере в 10 раз). Такое увеличение приводит к появлению помех дробности, частота которых ниже частоты сравнения в кольце. Структурная схема кольца ИФАП с ДДПКД приведена на рис. 1.

Фирма Analog Devices решила проблему дробного коэффициента деления кардинальным образом. Она предлагает двойной синтезатор ADF4252 класса (рис. 2):

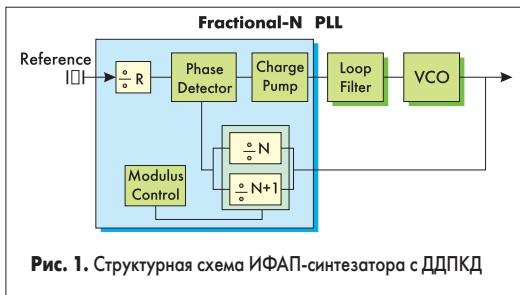


Рис. 1. Структурная схема ИФАП-синтезатора с ДДПКД

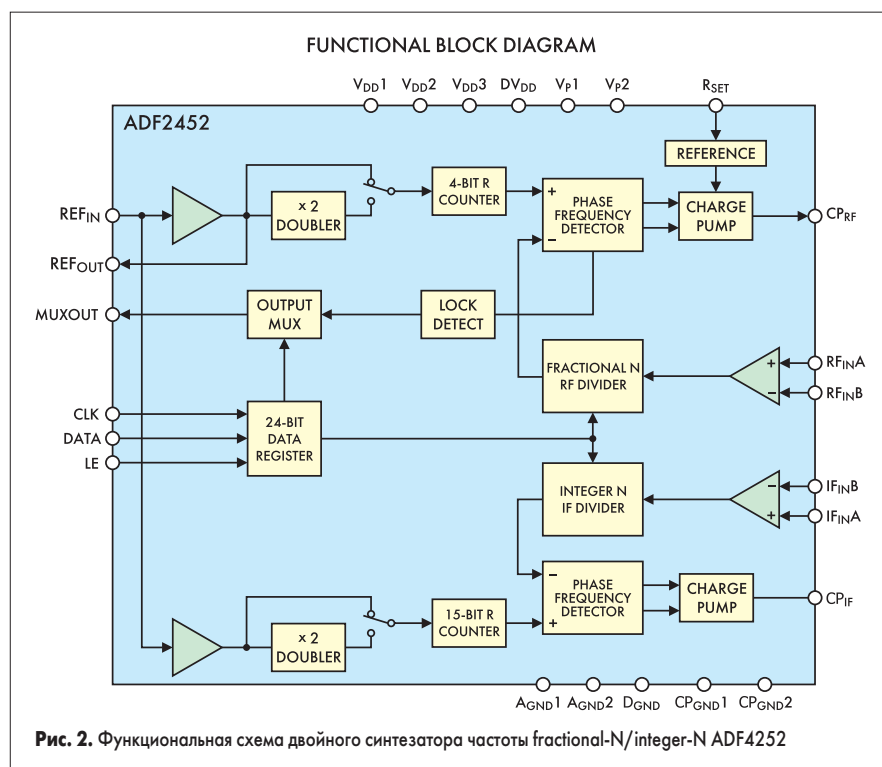


Рис. 2. Функциональная схема двойного синтезатора частоты fractional-N/integer-N ADF4252

- основной синтезатор RF — fractional-N;
 - вспомогательный синтезатор IF — integer-N.
- Значение дробности M в основном синтезаторе можно изменять в широких пределах — от $\ast/2$ до $\ast/4095$.

Низкочастотный синтезатор микросхемы относится к классу синтезаторов с целочисленным коэффициентом деления на N (integer-N). Иными словами, в таких синтезаторах приведение частоты перестраиваемого генератора к частоте сравнения производится с помощью делителей с целочисленным коэффициентом деления. В этом случае шаг сетки синтезируемых частот и частота сравнения одна и та же.

Программирование производится при помощи стандартного последовательного трехпроводного интерфейса. Два программируемых двухмодульных предварительных делителя (прескалера IF и RF) имеют коэффициенты деления: IF — 8/9, 16/17, 32/33, 64/65; RF — 4/5, 8/9.

Оба канала содержат частотно-фазовые детекторы (ЧФД) с программируемыми источниками тока и общий выходной мультиплексор. Секция fractional-N дополнительно содержит программируемый модуль-интерполятор и F-регистр.

Кроме того, пользователь может устанавливать выходной ток фазового детектора в высокочастотном канале с ДДПКД ($f_{\text{макс}} = 3 \text{ ГГц}$):

- с помощью внешнего резистора;
- внутри выбранного интервала программно (до 4 значений).

RF-канал представляет собой синтезатор fractional-N. Регистры INT и F задают коэффициент деления делителя N, который определяется из следующего соотношения:

$$N = (\text{INT} + (F/M)) \quad (1)$$

где INT — значение целочисленного регистра Integer; F — значение дробного регистра Fractional; M — значение модуля-интерполятора.

Если в integer-N синтезаторах коэффициент деления N в цепи обратной связи целочисленный и определялся как

$$\text{RF}/F_{\text{PFD}} = N \quad (2)$$

где RF — частота на выходе синтезатора (входная частота VCO), F_{PFD} — частота на входе фазового детектора, то в синтезаторах Fractional-N он будет определяться как

$$\text{RF}/F_{\text{PFD}} = \text{INT} + (F/M) \quad (3)$$

Формула для вычисления выходной частоты fractional-N канала будет иметь вид:

$$F_{\text{OUT}} = F_{\text{PFD}} \times [\text{INT} + (F/M)] \quad (4)$$

где F_{OUT} — выходная частота внешнего VCO (ГУН); F_{PFD} — частота на входе фазового детектора, которая, в свою очередь, будет определяться из выражения:

$$F_{\text{PFD}} = \text{REF}_{\text{IN}} \times (1 + D)/R \quad (5)$$

где REF_{IN} — входная опорная частота; R — значение 4-разрядного опорного счетчика-де-

лителя (для IF-канала значение R будет 14-разрядным); D — значение удвоителя опорной частоты.

Так, если значение D равно 0, то удвоения частоты REF_{IN} не будет происходить, а частота F_{PFD} будет равна REF_{IN} (при условии, что R = 1). Если это значение равно 1, то будет происходить удвоение входной опорной частоты.

Коэффициенты деления 8-разрядного регистра INT находятся в диапазоне от 1 до 255. Дробный регистр F является 12-разрядным, и его коэффициенты деления находятся в диапазоне от 1 до 4095. Модуль-интерполятор также 12-разрядный, и, соответственно, имеет такой же диапазон коэффициентов, как и регистр F. Важно также заметить, что F может принимать значение, равное 0, и должно выполняться условие $0 \leq F < M$.

Программные регистры синтезатора ADF4252

Программирование регистров и режимов работы ИМС этого семейства, как было сказано выше, схоже с программированием ИМС семейства ADF4000. Некоторое отличие состоит в том, что ADF4252 имеет большее число программных регистров, для выбора которых используются не два (как в ADF4000), а три последних младших бита C2, C1, C0 во входном регистре сдвига 24-BIT DATA REGISTER, при этом используются семь программных регистров-защелок:

1. Регистр RF N DIVIDER REG программирует 8-разрядный регистр INT установки целой части коэффициента деления N и 12-разрядный регистр F установки дробной части коэффициента деления N.
2. Регистр RF R DIVIDER REG программирует выбор коэффициента деления (модуля) RF-прескалера, режим подключения или режим обхода удвоителя частоты опорного сигнала, коэффициент деления 4-разрядного делителя опорной частоты RF и размер 12-разрядного модуля-интерполятора.
3. Регистр RF CONTROL REG устанавливает величину выходного тока ЧФД RF и режим третьего состояния его выхода, полярность (наклон характеристики) фазового детектора RF, спящий режим синтезатора RF, режим перезагрузки счетчиков синтезатора RF, режим способа компенсации помех дробности и уровня фазовых шумов.
4. Регистр MASTER REG программирует выход мультиплексора, общий спящий режим, режим установки сброса счетчиков COUNTER RESET, общий режим третьего состояния для источников тока, подключение внутреннего или внешнего источника опорного колебания.
5. Регистр IF N DIVIDER REG программирует коэффициент деления (модуль) IF-прескалера, 6-разрядный счетчик A и 12-разрядный счетчик B тракта IF, а также переключение величины тока ЧФД IF — с минимального на максимальный и обратно.

Таблица 1. Описание функций и обозначение выводов синтезаторов ADF4252

Обозначение	Выполняемая функция
REF _{OUT}	Выход частоты опорного колебания
CP _{RF}	Выход схемы поддержания заряда RF-секции ЧФД. При включении обеспечивает выходной ток $\pm I_{\text{ср}}$ для внешнего петлевого фильтра, который управляет внешним RF-ГУН
CP _{IF}	Выход схемы поддержания заряда IF-секции ЧФД. При включении обеспечивает выходной ток $\pm I_{\text{ср}}$ для внешнего петлевого фильтра, который управляет внешним IF-ГУН
CP _{GND1}	Аналоговая «земля» RF-секции ЧФД
CP _{GND2}	Аналоговая «земля» IF-секции ЧФД
A _{GND1}	Аналоговая «земля» RF-секции синтезатора
A _{GND2}	Аналоговая «земля» IF-секции синтезатора
RF _{IN} A	ВЧ-вход RF-прескалера. Этот вход для малых сигналов подключается к выходу RF-ГУН
RF _{IN} B	Комплементарный RF-вход. Подключается к «земле» через конденсатор 100 пФ
IF _{IN} A	ВЧ-вход IF-прескалера. Этот вход для малых сигналов подключается к выходу IF-ГУН
IF _{IN} B	Комплементарный IF-вход. Подключается к «земле» через конденсатор 100 пФ
V _{DD} 3	Питание цифровых цепей RF-секции. Можно подавать +3 В \pm 10%. Развязывающие конденсаторы к шине аналоговой «земли» RF необходимо размещать как можно ближе к этому выводу. Потенциалы V _{DD} 2, V _{DD} 3 и DV _{DD} должны быть одинаковыми
V _{DD} 2	Питание цепей IF-секции, цифровых и интерфейсных трактов. Можно подавать +3 В \pm 10%. Развязывающие конденсаторы к шине аналоговой «земли» IF необходимо размещать как можно ближе к этому выводу. Потенциалы V _{DD} 1, V _{DD} 3 и DV _{DD} должны быть одинаковыми
V _{DD} 1	Питание аналоговых цепей RF-секции. Можно подавать +3 В \pm 10%. Развязывающие конденсаторы к шине аналоговой «земли» IF необходимо размещать как можно ближе к этому выводу. Потенциалы V _{DD} 2, V _{DD} 3 и DV _{DD} должны быть одинаковыми
REF _{IN}	Вход опорной частоты. Это КМОП-вход с порогом V _{DD} /2 и эквивалентным сопротивлением 100 кОм. Входной сигнал может быть TTL-, КМОП-уровневый или синусоидальный, подаваемым через разделительный конденсатор
D _{GND}	«Земля» цифровых цепей дробного интерполятора
CLK	Вход тактовой частоты. Тактовая частота используется для тактирования последовательного ввода данных в регистры. Данные запоминаются в 24-разрядном регистре сдвига по фронту тактового импульса
DATA	Последовательный вход данных. Данные загружаются СЗР вперед, с тремя МЗР в качестве контрольных. Это высокоомный КМОП-вход
IE	КМОП-вход разрешения загрузки. Высокий уровень загружает данные, хранящиеся в регистрах сдвига, в один из семи регистров-защелок, который выбирается с помощью разрядов управления (контрольных битов) C0, C1, C2
MUX _{OUT}	Выход мультиплексора позволяет вывести наружу либо сигнал контроля синхронизма, либо приведенную частоту опорного колебания, либо приведенную частоту RF-ГУН, либо приведенную частоту IF-ГУН (см. рис. 9)
DV _{DD}	Питание цифровой части дробного интерполятора. Развязывающие конденсаторы к шине цифровой «земли» необходимо размещать как можно ближе к этому выводу. Величина DV _{DD} должна быть равна величине V _{DD} 2 и V _{DD} 3
V _F 1	Питание схемы поддержания заряда RF ЧФД. Должно быть больше или равно V _{DD} 1
V _F 2	Питание схемы поддержания заряда IF ЧФД. Должно быть больше или равно V _{DD} 2

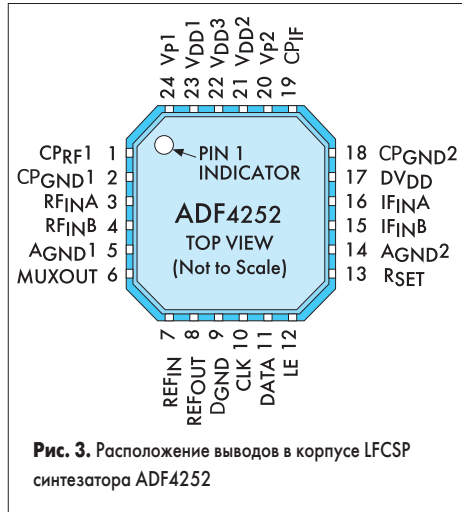


Рис. 3. Расположение выводов в корпусе LFCSP синтезатора ADF4252

- Регистр **IF R DIVIDER REG** программирует коэффициент деления 15-разрядного делителя опорной частоты IF, а также режим работы удвоителя частоты опорного колебания в тракте IF.
- Регистр **IF INIT REG** устанавливает величину тока и режим третьего состояния ЧФД IF, полярность фазового детектора IF, спящий режим синтезатора IF, режим перезагрузки счетчиков синтезатора IF, синхронизацию фазы RF-тракта после переключения частоты.

Фазовые шумы синтезатора частоты ADF4252

На рис. 4 показана зависимость уровня фазового шума на выходе Charge Pump RF ЧФД от частоты сравнения в кольце ИФАП. Из анализа графика следует, что в диапазоне частот сравнения от 100 кГц до 10 МГц выбор частоты сравнения не принципиален — уровень фазового шума на выходе ГУН будет постоянным.

Действительно, если мы уменьшим частоту сравнения, например, с 10 МГц до 1 МГц, то есть в 10 раз, то будем вынуждены увеличить коэффициент деления N во столько же раз для того, чтобы синтезировать сетку в выбранном выходном диапазоне.

Фазовые шумы детектора мы уменьшим на $10 \lg 10 = 10$ дБ, но на столько же увеличим коэффициент деления N. Лишь на частотах сравнения ниже 100 кГц падение уровня шума ЧФД замедляется, вследствие чего выходной шум синтезатора начинает расти.

В низкочастотном канале (IF) с ДПКД ($f_{\text{макс}} = 1,2$ ГГц) интервалы управляющего тока также

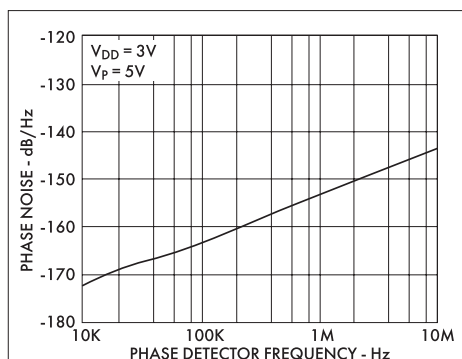


Рис. 4. Уровень фазовых шумов на выходе ЧФД как функция частоты сравнения в кольце ИФАП

Таблица 2. Описание способа установки тока ЧФД в двойном синтезаторе ADF4252

Обозначение способа установки	Выполняемая функция
Аналоговая RSET и цифровая установка тока	<p>Подключение резистора между этим выводом и AGND устанавливает максимальный выходной ток схемы поддержания заряда ЧФД. Взаимосвязь между I_{CP} и R_{SET} приведена ниже:</p> $I_{CP \text{ max}} = \frac{1.6875}{R_{set}}$ <p>Например, при $R_{SET} = 2,7 \text{ кОм}$, $I_{CP \text{ max}} = 0,625 \text{ mA}$</p> <p>Установка тока RF ЧФД производится битами DB10-DB9 в регистре «RF control register»; Установка тока IF ЧФД производится битами DB10-DB8 в регистре «IF control register».</p>

устанавливаются внешним резистором Rset (рис. 3), а внутри выбранного интервала ток можно изменять программно (до 8 значений).

Дробность в RF-тракте реализована в соответствии со структурной схемой, приведенной на рис. 7. Модуль-интерполятор представляет собой накапливающий сумматор (НС) с цепью интерполяции третьего порядка. В отечественной литературе его еще называют накопительным сумматором или цифровым интегратором.

Емкость НС F можно изменять, а во входной регистр сумматора записывать число M F. За каждый такт частоты сравнения в НС происходит суммирование кода числа M с теку-

щим кодом. При переполнении НС на его выходе появляется сигнал переноса, который составляет счетчик N увеличивая коэффициент пересчета на единицу. Последовательное соединение трех НС в дробном интерполяторе позволяет увеличить частоту переполнения и сместить спектр помех дробности в более высокочастотную область.

Компенсация помех дробности в RF-тракте

Следует сказать несколько слов о компенсации помех дробности в RF-тракте. Отметим, кстати, что в синтезаторе ADF4252 час-

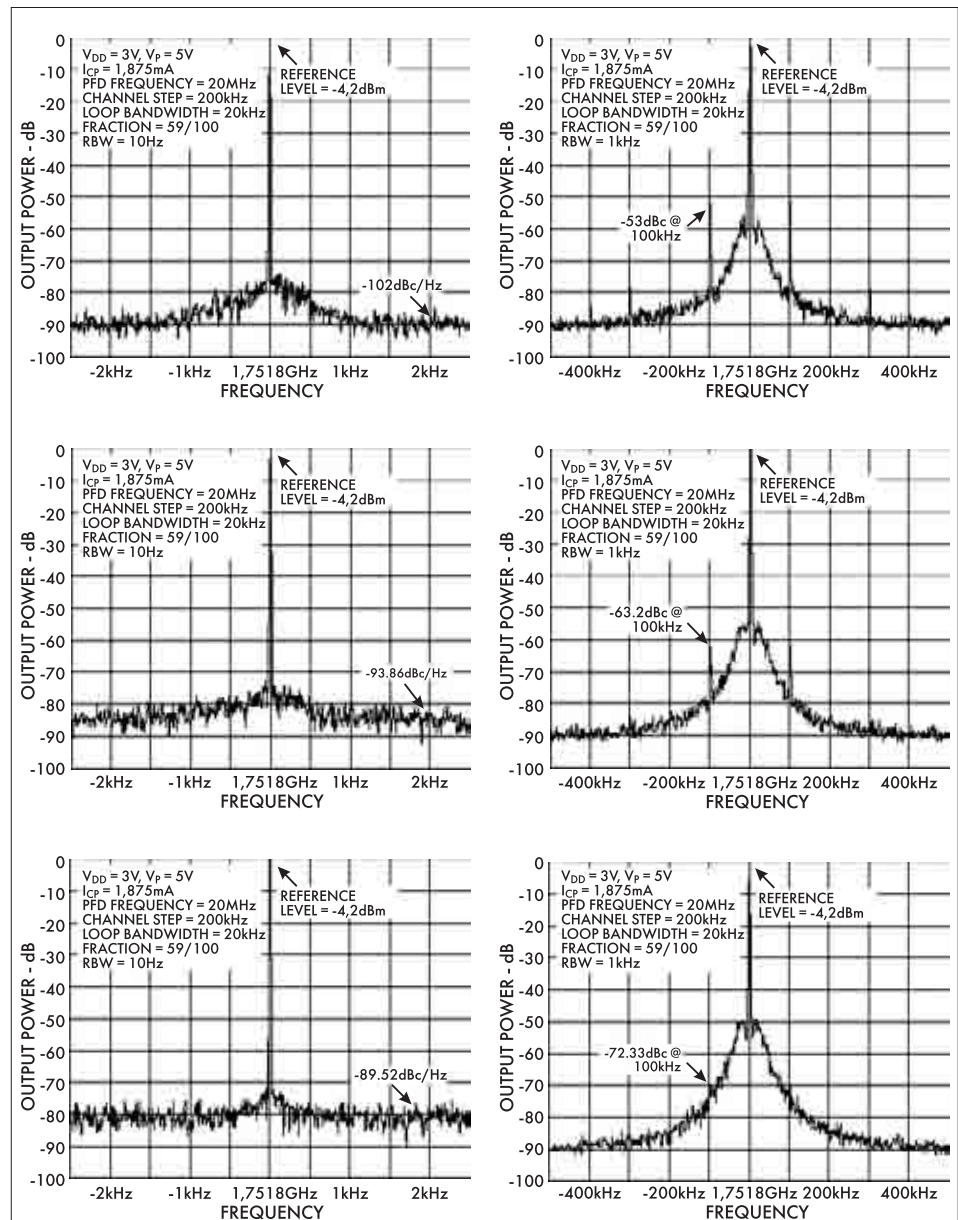


Рис. 5. Фазовые шумы синтезатора частоты ADF4252 в зоне малых (слева) и средних (справа) отстроек от несущей при различных режимах компенсации помех дробности

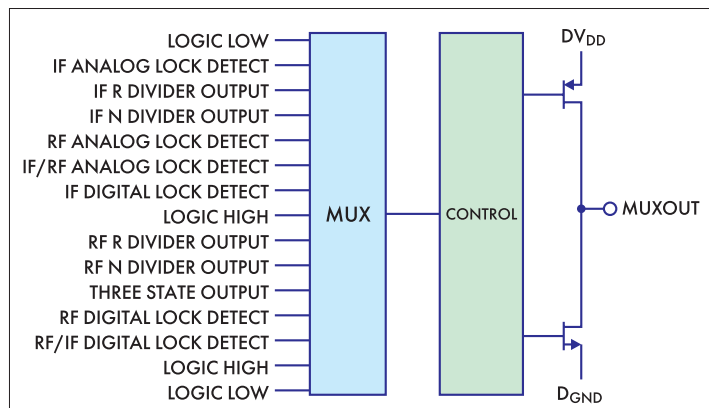


Рис. 6. Мультиплексор микросхемы ADF41252

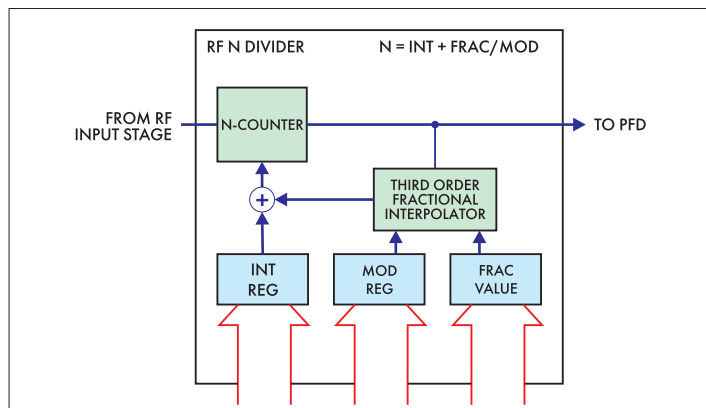


Рис. 7. Структурная схема ДДПКД в RF-синтезаторе ADF4252

тока помех дробности в два раза ниже частоты шага сетки.

В первом варианте компенсации (верхний график на рис. 8 и нижняя пара графиков на рис. 5) производится рандомизация с нулевым средним параметров модуля-интерполятора. Положительный эффект достигается запуском псевдослучайной последовательности (ПСП) большой длины. В результате дискретные побочные спектральные составляющие (ПСС) значительно уменьшаются по амплитуде, но пьедестал спектральной линии велик.

К сожалению, в этом случае число дискретных ПСС также резко возрастает, а их частоты смещаются в низкочастотную область спектра управляющего напряжения ЧФД, то есть в область малых отстроек от несущей. В соот-

ветствии с рекомендациями Analog Devices необходимо обеспечить широкую полосу петлевого фильтра, то есть высокую частоту среза кольца ИФАП.

При втором способе компенсации помех дробности рандомизацию отключают. Для достижения максимального эффекта компенсации компания также рекомендует обеспечить широкую полосу прозрачности кольца. Фазовые шумы в этом случае немного возрастают, пьедестал существенно снижается, но увеличивается уровень дискретных ПСС. Поэтому и результаты получаются средними (средний график на рис. 8 и средняя пара графиков на рис. 5).

Наконец, при третьем способе компенсации помех дробности (нижний график на рис.

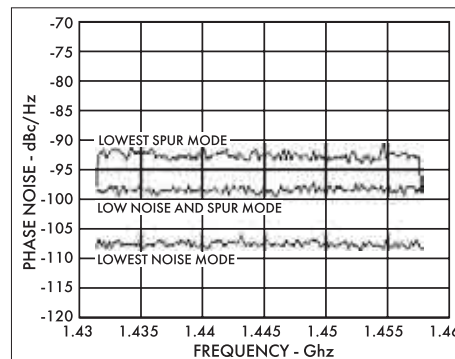


Рис. 8. Зависимость уровня фазовых шумов синтезатора частоты ADF4252 от способов компенсации помех дробности

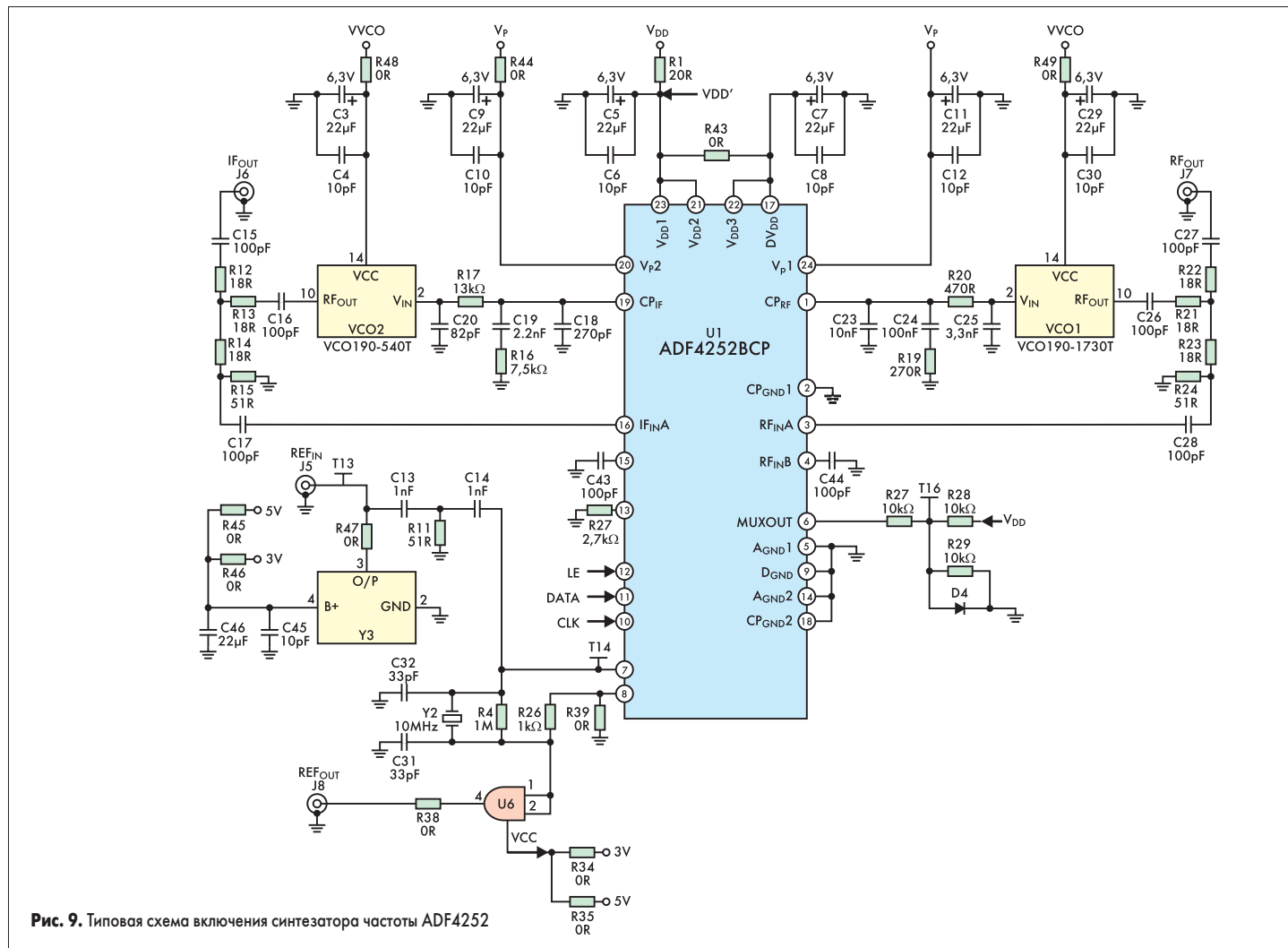



Рис. 9. Типовая схема включения синтезатора частоты ADF4252

8 и верхняя пара графиков на рис. 5) ЧФД переводят в оптимальный режим. В этом случае фазовые шумы минимальны, но максимален уровень дискретных ПСС. Обратите внимание, что графики на рис. 5 приведены для постоянной полосы прозрачности замкнутого кольца. Для дополнительного уменьшения уровня дискретных ПСС необходимо скорректировать амплитудно-частотную характеристику — максимально сузить кольцо ИФАП.

Типовая схема включения синтезатора ADF4252 приведена на рис. 9.

Заметим также, что в режиме ресинхронизации (**RF Phase Resync**) производится син-

хронизация накапливающего сумматора и счетчика N при установке нового значения N и завершении переходного процесса в кольце.

Компания Analog Devices имеет на своем сайте страничку [w **www.analog.com/pll**](http://www.analog.com/pll) и осуществляет техническую поддержку как через e-mail, так и в режиме он-лайн. 

Литература

M. Curtin, P. O Bien. PLL for HF receivers and Transmitters. Part 1, 2, 3. Analog Dialog. 1999. Volume 33.