

Инструментальный комплект CoolRunner-II Design Kit

для практического освоения методов программирования ПЛИС семейств CPLD фирмы Xilinx

В настоящей публикации рассматриваются особенности инструментального комплекта CoolRunner-II Design Kit и приводится информация, необходимая в процессе его практического использования.

Валерий Зотов

walerry@euro.ru

После самостоятельного изучения методики применения свободно распространяемого пакета САПР WebPACK™ ISE™ (Integrated Synthesis Environment) в процессе разработки цифровых устройств на основе ПЛИС фирмы Xilinx®, описанной в предыдущих номерах «КиТ» [1–12], рекомендуется на практике закрепить полученную информацию, выполнив полный цикл проектирования, включая этап аппаратной реализации. Для этого нужно подготовить печатную плату под соответствующий корпус кристалла, после чего выполнить монтаж ПЛИС и необходимых элементов в цепях питания и программирования. Кроме того, потребуется загрузочный кабель, который можно изготовить самостоятельно, воспользовавшись схемой, представленной в онлайн-документации по адресу: http://www.plis.ru/pic/zip/JTAG_cable.pdf и http://www.xilinx.com/support/sw_manuals/xilinx5/download/pac.zip. Процесс изготовления аппаратной части требует дополнительных временных затрат. Чтобы ускорить переход к практической стадии проектирования, можно воспользоваться готовыми универсальными инструментальными модулями, выполненными на основе ПЛИС семейств CPLD и FPGA. Ознакомление с их возможностями начнем с отладочного модуля, построенного на базе кристаллов CPLD семейства CoolRunner-II.

Основные характеристики инструментального модуля Digilab XC2

Инструментальный комплект *CoolRunner-II Design Kit*, выпускаемый фирмой Digilent Inc., предназначен для практического изучения методов проектирования цифровых устройств на основе ПЛИС семейств CPLD компании Xilinx и последующего программирования кристаллов. В дальнейшей работе инструментальный модуль может применяться в качестве отладочной платы. Использование аппарат-

ного модуля позволяет параллельно проводить отладку проекта, реализуемого на основе ПЛИС, и разработку печатной платы создаваемого устройства, что в конечном итоге позволяет значительно сократить общее время разработки.

В состав комплекта *CoolRunner-II Design Kit* помимо инструментального модуля *Digilab XC2* входят: кабель для подключения платы к параллельному порту компьютера, компакт-диск с новой версией системы проектирования WebPACK ISE, особенности которой рассмотрены в прошлом номере журнала [13], и CD-ROM, содержащий примеры тестовых проектов и информационно-справочные материалы.

Характерными особенностями отладочной платы *Digilab XC2* являются:

- использование ПЛИС XC2C256 из семейства CoolRunner-II в корпусе TQ144, обладающей достаточным количеством ресурсов и пользовательских выводов для реализации проектов средней сложности;
- наличие контактных площадок для подключения дополнительного кристалла из семейства CoolRunner-II в корпусе VQ44, позволяющего расширить функциональные возможности модуля;
- одиннадцать линий, напрямую соединяющих пользовательские выводы кристаллов, предоставляют возможность организации высокоскоростного обмена данными между ПЛИС, которые используются в инструментальном модуле;
- переключаемая схема распределения сигналов JTAG-интерфейса, позволяющая реализовать режимы раздельного и совместного программирования ПЛИС в составе цепочки периферийного сканирования;
- применение интегрированной схемы загрузочного кабеля JTAG-интерфейса в составе модуля делает возможным выполнение операций программирования кристаллов и считывания конфигурационных данных через параллельный порт компьютера

с помощью обычного параллельного кабеля, используемого для связи двух ПК;

- наличие специального разъема JTAG-интерфейса позволяет использовать для записи и считывания конфигурационной последовательности унифицированные загрузочные кабели различного типа;
- использование гибкой схемы подачи питания, обеспечивающей реализацию различных режимов работы для блоков ввода-вывода кристалла XC2C256;
- полная разводка всех пользовательских выводов ПЛИС к контактным отверстиям, предназначенным для подключения дополнительных разъемов расширения;
- возможность замены кварцевого генератора, применяемого для формирования внешнего тактового сигнала ПЛИС, позволяет выполнять на основе инструментального модуля проекты с частотами синхронизации в диапазоне от 32 до 120 МГц (изначально на плате установлен кварцевый генератор с частотой 1,8432 МГц);
- наличие монтажного поля, выполненного в виде массива размерностью 18×46 отверстий с шагом 0,1", предоставляет широкие возможности для размещения «внешних» элементов проектируемого устройства;
- возможность подключения к последовательному порту компьютера через разъем параллельного порта модуля, используемый для программирования кристаллов;
- применение светодиодов для визуального контроля напряжения питания и функционирования разрабатываемого устройства;
- наличие кнопки, подключенной к специальным выводам ПЛИС, обеспечивает возможность реализации некоторых функций «ручного» управления, например, сброса устройства;
- габаритные размеры печатной платы инструментального модуля составляют 133×133 мм;
- полная совместимость со всем спектром средств проектирования и программирования фирмы Xilinx (WebPACK ISE, Base ISE, Foundation ISE и Alliance ISE).

Структура инструментального модуля Digilab XC2

Внешний вид инструментального модуля Digilab XC2 показан на рис. 1. Компоненты модуля смонтированы на четырехслойной печатной плате.



Рис. 1. Внешний вид инструментального модуля Digilab XC2

Основными элементами структуры модуля Digilab XC2 являются (рис. 2):

- ПЛИС XC2C256 из семейства CoolRunner-II в корпусе TQ144, на основе которой реализуется проектируемое устройство;
- кварцевый генератор, предназначенный для формирования сигнала синхронизации;
- схема управления питанием;
- блок загрузки конфигурационных данных;
- элементы индикации и управления.

Кроме перечисленных элементов в структуру модуля могут входить дополнительные компоненты, которые устанавливаются пользователем:

- ПЛИС семейства CoolRunner-II в корпусе VQ44;
- четыре разъема для подключения ленточных кабелей.

На структурной схеме эти элементы показаны штриховыми линиями.

Все пользовательские выводы кристаллов, установленных на плате инструментального модуля, подключены к контактным отверстиям, предназначенным для установки двухрядных 40-контактных штырьевых разъемов. Такое решение позволяет выполнить коммутацию входов и выходов устройства, реализованного на базе ПЛИС, с компонентами, которые установлены на монтажном поле, и внешними цепями с помощью ленточных кабелей. Кроме того, три пользовательских контакта кристалла XC2C256 подключены непосредственно к выводам разъема DB-25 (B14-B16), который, прежде всего, предназначен для загрузки и считывания конфигурационных данных ПЛИС. Тем самым разработчику предоставляется возможность организации обмена данными проектируемого устройства с последовательным портом компьютера через разъем DB-25. Схема разводки пользовательских выводов ПЛИС приведена на рис. 3.

Тактовый сигнал, формируемый кварцевым генератором, подается на контакты GCK2 кристаллов (соответственно на вывод 38 для корпуса TQ144 и на вывод 1 для корпуса VQ44). Такое подключение обеспечивает возможность применения внутреннего делителя частоты ПЛИС семейства CoolRunner-II для получения сетки внутренних тактовых частот и методики Cool CLOCK для снижения потребляемой мощности. Для изменения частоты внешнего тактового сигнала ПЛИС достаточно извлечь ИС кварцевого генератора из панели и установить на ее место однотипный элемент с требуемым номиналом. Эта операция должна выполняться только при выключенном питании инструментального модуля и строгом соблюдении назначения выводов устанавливаемой ИС.

Схема управления питанием включает в себя три разъема для подключения различных источников, коммутационные переключки JP1 — JP4, используемые для выбора режима, и два DC/DC-преобразователя, формирующие напряжения питания ядра и блоков ввода-вывода ПЛИС (рис. 4).

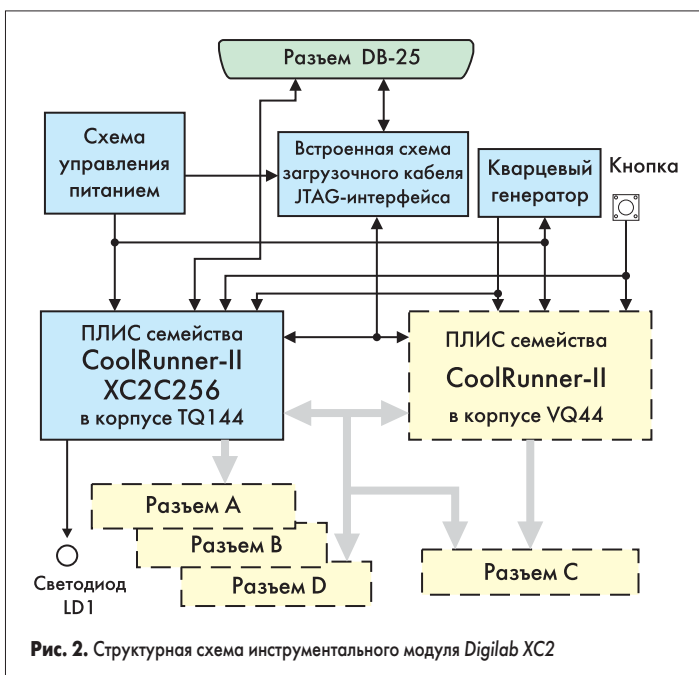


Рис. 2. Структурная схема инструментального модуля Digilab XC2

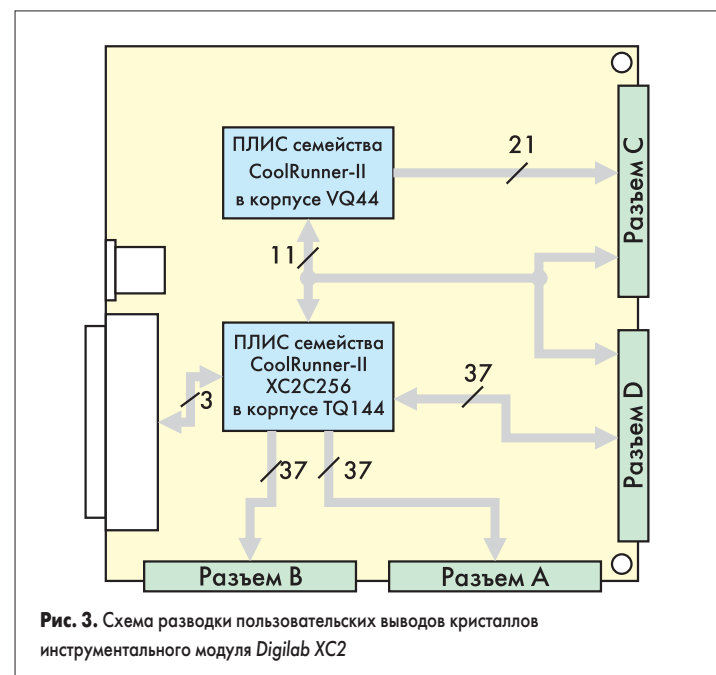
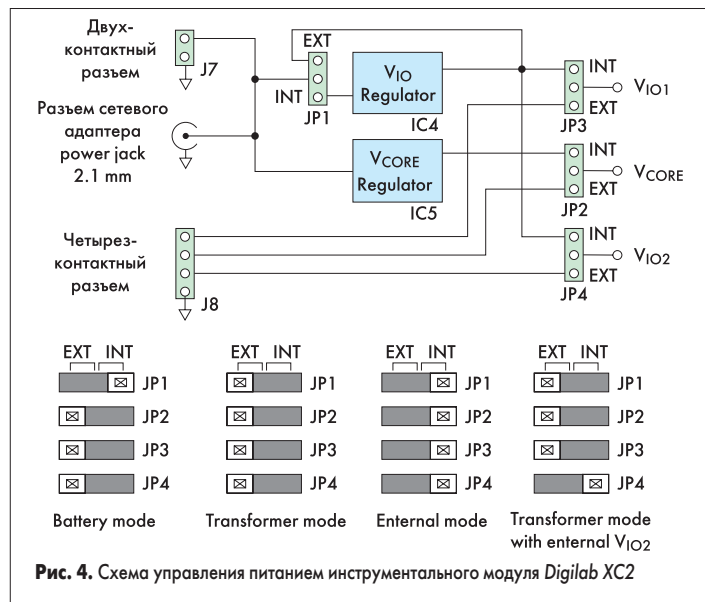


Рис. 3. Схема разводки пользовательских выводов кристаллов инструментального модуля Digilab XC2



Блок загрузки конфигурационных данных содержит встроенную схему загрузочного кабеля JTAG-интерфейса, переключаемые перемычки JP5, JP6, позволяющие изменять состав цепочки микросхем ПЛИС, доступных для программирования, разъем DB-25, предназначенный для подключения интегрированной схемы загрузочного кабеля к параллельному порту компьютера, и специализированный разъем JTAG-интерфейса, предоставляющий возможность использования внешних унифицированных загрузочных кабелей. Средства программирования пакета WebPACK ISE, как и других пакетов этой серии, поддерживают следующие типы загрузочных кабелей:

- JTAG-кабель, подключаемый к параллельному порту (LPT) персонального компьютера (Parallel Download Cable);
- универсальный кабель MultiLinx, подключаемый к последовательному порту (COM) персонального компьютера (MultiLinx Download Cable RS-232);
- универсальный кабель MultiLinx, подключаемый к шине USB персонального компьютера (MultiLinx Download Cable USB). Светодиод LD1, подключенный через резистор к выводу 92 кристалла XC2C256, может использоваться в разрабатываемых проектах как элемент индикации. Состояние светодиода LD2 указывает на отсутствие или наличие питающего напряжения инструментального модуля (только при установке перемычки JP1 в положение INT).

Подключение кнопки к контактам GSR обеих ПЛИС (к выводу 143 корпуса TQ144 и к выводу 30 корпуса VQ44) позволяет использовать ее для общего сброса проектируемого устройства. Если эта кнопка должна выполнять другие функции, то указанные выводы кристаллов должны конфигурироваться как обычные пользовательские контакты ввода-вывода.

Работу с инструментальным модулем следует начинать с установки перемычек, предназначенных для выбора режима питания и состава цепочки периферийного сканирования ПЛИС. Далее нужно подключить кабель к разъему DB-25 отладочной платы и параллельному порту компьютера. После этого

можно подать питание на инструментальный модуль и активизировать средства программирования (программу *iMPACT* пакета WebPACK ISE). При успешном выполнении указанных операций после обнаружения загрузочного кабеля производится автоматический поиск и инициализация цепочки периферийного сканирования ПЛИС, подключенной к выбранному JTAG-порту. Информация об обнаруженной цепочке периферийного сканирования ПЛИС отображается в графической форме в рабочей области основного окна и в текстовом виде в окне регистрации сообщений программы *iMPACT*. После этого можно приступать к выполнению операций программирования кристаллов или обратного считывания конфигурационных данных, подробно рассмотренных ранее [5].

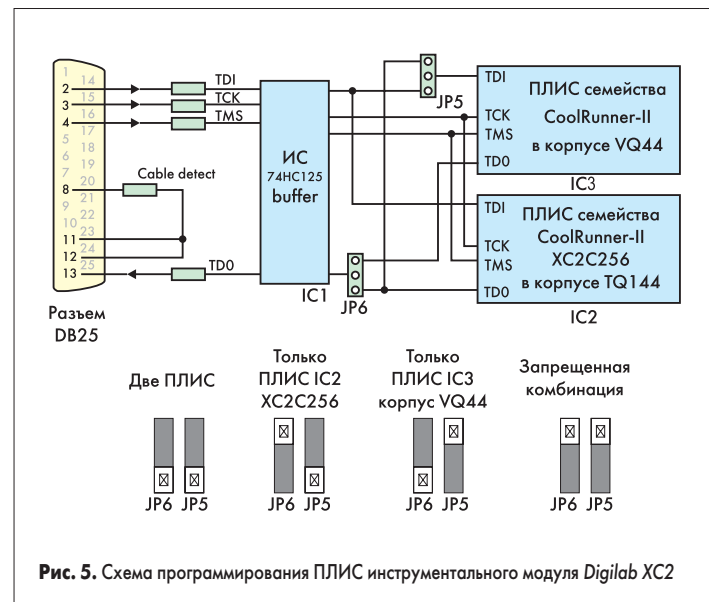
Организация питания инструментального модуля Digilab XC2

В качестве источника питания инструментального модуля Digilab XC2 могут использоваться:

- батарея элементов с общим напряжением от 3 до 4 В, подключаемая к 2-контактному разъему J7 (в состав комплекта входит адаптер для подключения батареи, составленной из двух элементов типа AA);
- сетевой адаптер, формирующий на выходе напряжение постоянного тока в диапазоне от 5 до 9 В, которое подается на разъем питания power jack, подключенный параллельно разъему J7;
- три внешних источника постоянного тока, один из которых имеет выходное напряжение 1,8 В, а два других — в диапазоне от 1,5 до 3,3 В, подключаемых к 4-контактному разъему J8.

При использовании одного из перечисленных источников необходимо строго соблюдать полярность подключения, указанную на печатной плате инструментального модуля, чтобы избежать выхода из строя его компонентов.

Для питания ядра кристаллов CoolRunner-II необходимо напряжение 1,8 В, которое форми-



руется с помощью встроенного DC/DC-преобразователя Vcore Regulator или поступает от внешнего источника через контакт VCR разъема J8. Напряжение питания блоков ввода-вывода ПЛИС семейства CoolRunner-II в зависимости от требований проекта может находиться в пределах от 1,5 до 3,3 В. Это напряжение может вырабатываться интегрированным DC/DC-преобразователем Vio Regulator инструментального модуля, поступать непосредственно от батареи, подключаемой к разъему J7, или подаваться от внешнего источника через контакты VIO1, VIO2 разъема J8. Пользовательские контакты кристалла XC2C256 организованы в виде двух банков ввода-вывода, которые могут иметь раздельные источники питания Vio1 и Vio2 с различным напряжением. Инструментальный модуль Digilab XC2 позволяет реализовать четыре возможных режима питания ПЛИС, используя перемычки JP1-JP4:

- применение батареи элементов (Battery mode);
- режим использования встроенных DC/DC-преобразователей (Transformer mode);
- применение внешних источников (External mode);
- режим совмещенного использования встроенных DC/DC-преобразователей и внешнего источника Vio2 (Transformer mode with external Vio2).

В режиме Battery mode напряжение питания ядра кристаллов CoolRunner-II поступает с выхода встроенного DC/DC-преобразователя Vcore Regulator, а на банки ввода-вывода подается одно и то же напряжение непосредственно с батареи, подключенной к разъему J7. Режим Transformer mode в первую очередь предназначен для случая применения внешнего сетевого адаптера. В этом режиме питание ядра и блоков ввода-вывода осуществляется напряжениями, вырабатываемыми интегрированными DC/DC-преобразователями Vcore Regulator и Vio Regulator. Режим Transformer mode может быть реализован и при использовании батареи элементов питания. В режиме External mode возможна реализация смешанного питания банков ввода-вывода двумя различными напряжениями. В этом случае для питания ядра и блоков

ввода-вывода ПЛИС применяются три внешних источника, подключенных к разъему J8. Режим Transformer mode with external Vio2 также позволяет реализовать различное питание блоков ввода-вывода, принадлежащих к разным банкам. При этом питание ядра и блоков ввода-вывода первого банка осуществляется напряжениями, поступающими с выходов встроенных DC/DC-преобразователей Vcore Regulator и Vio Regulator, а второго банка — от внешнего источника, подключенного к контакту Vio2 разъема J8.

Положение переключателей для каждого из рассмотренных режимов питания инструментального модуля показано на рис. 4. Особое внимание следует обратить на то, что при использовании сетевого адаптера с выходным напряжением 5–9 В в качестве источника питания переключатель JP1 должна находиться в позиции INT. Несоблюдение этого предупреждения (установка переключателя JP1 в позицию EXT при подключении сетевого адаптера) приводит к повреждению элементов инструментального модуля.

Формирование цепочки периферийного сканирования ПЛИС в составе инструментального модуля

Схема блока загрузки конфигурационных данных инструментального модуля Digilab XC2 показана на рис. 5.

Основой схемы встроенного загрузочного кабеля является ИС 74НС125, элементы которой выполняют функцию согласования (буферизации) 5-вольтовых сигналов параллельного порта со входами JTAG-порта ПЛИС, которые соответствуют стандарту 3,3 В. Блок загрузки предоставляет возможность как отдельного программирования ПЛИС, установленных на плате инструментального модуля, так и совместного конфигурирования в составе цепочки периферийного сканирования. Положение переключателей JP5, JP6 для каждого режима загрузки или считывания конфигурационной последовательности приведено на рис. 5. Если цепочка периферийного сканирования включает два кристалла, то первым является XC2C256.

Краткая характеристика ПЛИС семейства CoolRunner-II

Семейство CoolRunner-II представляет собой новое поколение ПЛИС с архитектурой XPLA3 (eXtended Programmable Logic Array), использующих технологию FZP.

В состав семейства CoolRunner-II входят шесть типов ПЛИС емкостью от 32 до 512 макроячеек (соответственно от 800 до 12800 эквивалентных логических вентилей), выпускаемых по технологии EEPROM 0,18 мкм.

Кристаллы этого семейства характеризуются следующими особенностями:

- применение технологии FZP (Fast Zero Power), обеспечивающее достижение минимального уровня потребляемой мощности в сочетании с высоким быстродействием;
- возможность реализации проектов с системными частотами до 303 МГц;

- ультранизкое значение мощности, потребляемой в статическом режиме (не более 100 мкА);
- минимальная задержка распространения сигнала от входного контакта до выходного через комбинационную логику — 5 нс;
- функция раздельного управления длительностью фронтов выходных сигналов для каждого вывода ПЛИС, позволяющая снизить уровень помех на выходах кристалла;
- оптимизированная архитектура, обеспечивающая повышение эффективности процесса логического синтеза;
- увеличение быстродействия проектируемых устройств за счет использования триггеров, тактируемых фронтом и спадом сигнала синхронизации;
- применение усовершенствованной коммутационной матрицы Advanced Interconnect Matrix (AIM) обеспечивает высокую скорость переключений при низкой потребляемой мощности;
- наличие встроенного делителя тактового сигнала с коэффициентами деления 2, 4, 6, 8, 10, 12, 14, 16;
- использование методики Cool CLOCK, позволяющей добиться снижения потребляемой мощности за счет сочетания деления тактовой частоты и применения триггеров, тактируемых фронтом и спадом сигнала синхронизации;
- организация блоков ввода-вывода в виде банков в кристаллах с большим количеством ячеек;
- в блоках ввода-вывода имеется возможность выборочной установки во входных цепях триггеров Шмитта, обеспечивающих снижение влияния помех;
- применение технологии DataGATE позволяет добиться дополнительного уменьшения потребляемой мощности за счет блокировки неактуальных или неизменяющихся сигналов в ячейках ввода-вывода;
- четыре независимых уровня защиты конфигурационных данных от несанкционированного копирования, обеспечивающие охрану прав интеллектуальной собственности;
- расширенные возможности фиксации пользовательских выводов перед выполне-

- нием этапа реализации (Implementation) в сочетании с полной трассировкой проекта;
 - наличие сигнала разрешения синхронизации в каждой макроячейке;
 - возможность асинхронного сброса или установки триггера макроячейки;
 - возможность комплексного асинхронного тактирования элементов проектируемого устройства с использованием тактовых сигналов, формируемых внутри логического блока, и 4 глобальных тактовых сигналов, поступающих с выводов кристалла;
 - не менее 1000 циклов перепрограммирования;
 - гарантированный срок хранения запрограммированной конфигурации не менее 20 лет;
 - полная поддержка протокола периферийного сканирования в соответствии со стандартом IEEE Std 1149.1 (JTAG);
 - поддержка конфигурирования по стандарту IEEE Std 1532;
 - совместимость блоков ввода-вывода с логическими уровнями стандартов цифровых сигналов 1,5, 1,8, 2,5 и 3,3 В позволяет реализовывать устройства со смешанным питанием;
 - возможность формирования выходов с открытым стоком;
 - расширенный типовой ряд используемых корпусов, включающий Chip Scale Package (CSP), BGA, Fine Line BGA, TQFP, PQFP, VQFP и PLCC;
 - возможность перепрограммирования в системе с напряжением питания 1,8 В;
 - напряжение питания ядра кристалла составляет 1,8 В;
 - все кристаллы обладают совместимостью по выводам при использовании одинаковых корпусов;
- На рис. 6 представлена общая архитектура ПЛИС семейства CoolRunner-II. В структурном отношении она практически не отличается от типовой архитектуры семейств CPLD и включает в себя блоки ввода-вывода (Input/Output block, IOB), функциональные блоки (Function Block, FB) и быстродействующую переключающую матрицу AIM. Принципиальные отличия состоят в способе реализации этих структурных элементов.

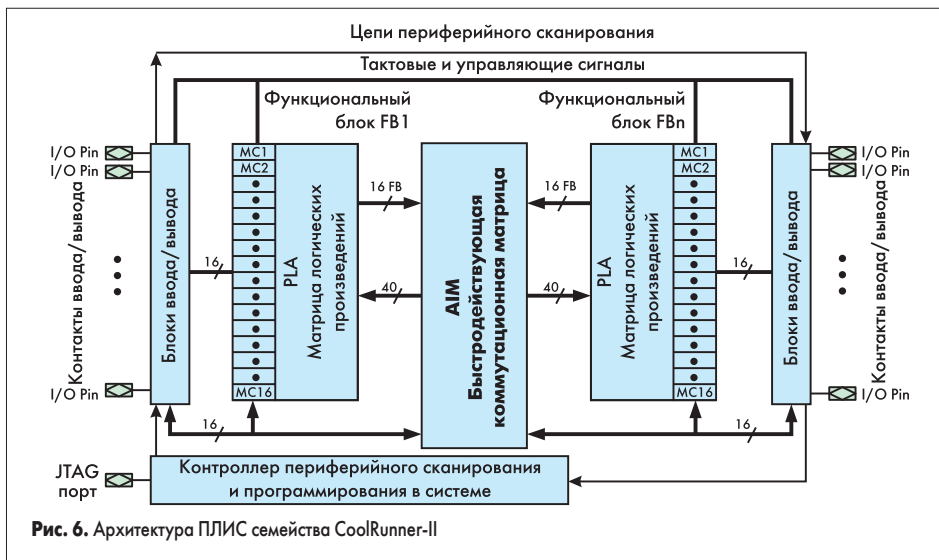


Рис. 6. Архитектура ПЛИС семейства CoolRunner-II

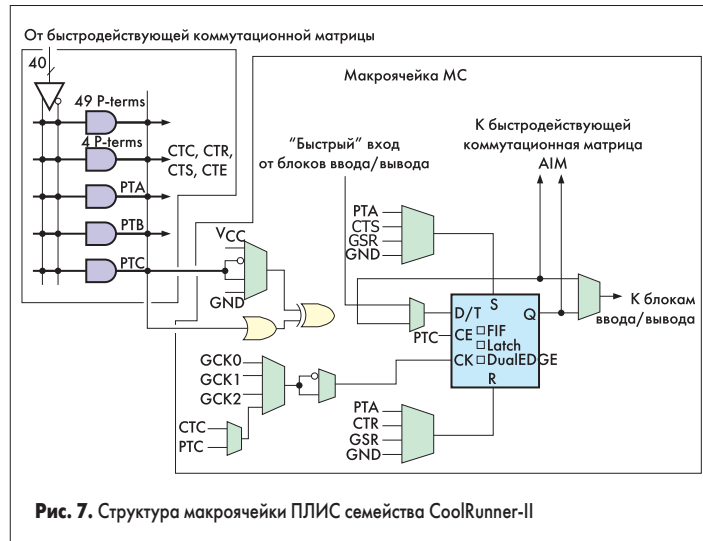


Рис. 7. Структура макроячейки ПЛИС семейства CoolRunner-II

В состав каждого функционального блока входят программируемая PLA-матрица логических произведений и шестнадцать независимых макроячеек, структура которых показана на рис. 7.

Использование PLA-матрицы позволяет оптимизировать разделение и совместное использование ресурсов кристалла при реализации проекта. Ее 40 прямых и инверсных входов, подключенных непосредственно к выходам переключающей матрицы, позволяют сформировать 56 термов, часть которых может использоваться в качестве управляющих сигналов для любой макроячейки функционального блока. Каждая макроячейка может быть сконфигурирована для выполнения как комбинаторной, так и регистровой функции, причем триггер, входящий в ее состав, может быть реализован как D- или T-триггер или как защелка. Кроме того, он может быть сконфигурирован как триггер, тактируемый фронтом и спадом сигнала синхронизации. Помимо входов, соединенных с выходами PLA-матрицы логических произведений, макроячейка содержит дополнительный, так называемый «быстрый» вход, подключенный непосредственно к блокам ввода-вывода. Коммутация сигналов, поступающих из блоков ввода-вывода, входных и выходных сигналов функциональных блоков осуществляется с помощью переключающей матрицы AIM, обеспечивающей минимизацию потребляемой мощности в сочетании с высоким быстродействием. Блоки ввода-вывода предназначены для

организации интерфейса между внутренними сигналами кристалла и выводами ПЛИС. Они выполняют функции буферизации всех входных и выходных сигналов, управления выходами и формирования программируемого «общего» вывода (рис. 8).

ПЛИС XC2C256 в корпусе TQ144, применяемая в инструментальном модуле *Digilab XC2*, содержит 256 макроячеек (соответственно 16 функциональных блоков) и 111 пользовательских контактов ввода-вывода. Учитывая, что из семейства CoolRunner-II в корпусе VQ44 выпускаются только кристаллы XC2C32 и XC2C64, содержащие соответственно 32 и 64 макроячейки, то в качестве второй ПЛИС, устанавливаемой на плате инструментального модуля, может использоваться один из этих элементов. Указанные кристаллы позволяют реализовать проекты, требующие не более 33 пользовательских контактов ввода-вывода.

Так как ПЛИС серии CoolRunner-II обладают микромощным потреблением, то в первую очередь их рекомендуется применять в мобильных системах, использующих автономные источники питания с ограниченным ресурсом. Кристаллы этого семейства позволяют реализовать, например, специализированные контроллеры, в том числе для организации различных интерфейсов ввода-вывода, кодирующие и декодирующие устройства.

В заключение следует обратить внимание на ряд доступных готовых решений, предназначенных для реализации на основе ПЛИС семейства CoolRunner-II, информация о которых приведена на информационном компакт-диске [15] и на сайте www.xilinx.com.

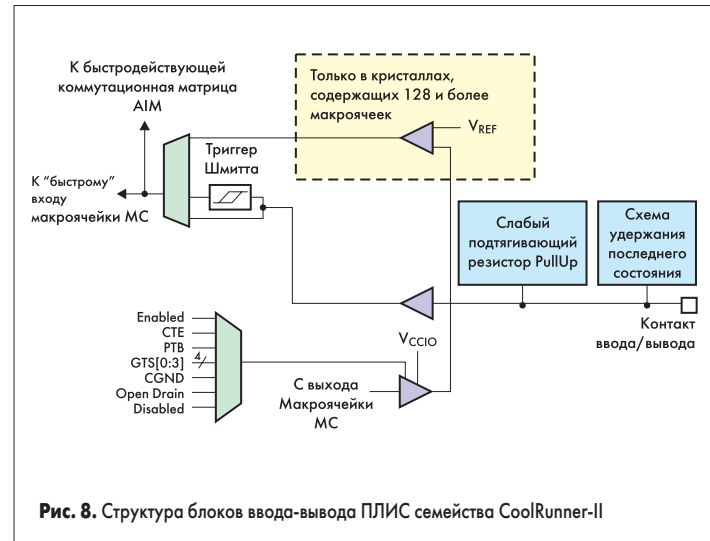


Рис. 8. Структура блоков ввода-вывода ПЛИС семейства CoolRunner-II

Литература

1. Зотов В. WebPACK ISE — свободно распространяемый пакет проектирования цифровых устройств на базе ПЛИС фирмы Xilinx // Компоненты и технологии. 2001. № 6.
2. Зотов В. WebPACK ISE: Интегрированная среда разработки конфигурации и программирования ПЛИС фирмы Xilinx. Создание нового проекта // Компоненты и технологии. 2001. № 7.
3. Зотов В. Схемотехнический редактор пакета WebPACK ISE. Создание принципиальных схем и символов // Компоненты и технологии. 2001. № 8.
4. Зотов В. Синтез, размещение и трассировка проектов, реализуемых на базе ПЛИС CPLD фирмы Xilinx, в САПР WebPACK ISE // Компоненты и технологии. 2002. № 1.
5. Зотов В. Программирование ПЛИС семейств CPLD фирмы Xilinx в САПР WebPACK ISE // Компоненты и технологии. 2002. № 2.
6. Зотов В. Синтез проектов, реализуемых на базе ПЛИС FPGA фирмы Xilinx, в САПР WebPACK ISE // Компоненты и технологии. 2002. № 3.
7. Зотов В. Реализация проектов на базе ПЛИС семейств FPGA фирмы Xilinx в САПР WebPACK ISE // Компоненты и технологии. 2002. № 4.
8. Зотов В. Конфигурирование ПЛИС семейств FPGA фирмы Xilinx в САПР WebPACK ISE // Компоненты и технологии. 2002. № 5.
9. Зотов В. ModelSim — система HDL-моделирования цифровых устройств // Компоненты и технологии. 2002. № 6.
10. Зотов В. Функциональное моделирование цифровых устройств, проектируемых на базе ПЛИС фирмы Xilinx в среде САПР WebPACK ISE // Компоненты и технологии. 2002. № 7.
11. Зотов В. Временное моделирование цифровых устройств, проектируемых на базе ПЛИС фирмы Xilinx в среде САПР WebPACK ISE // Компоненты и технологии. 2002. № 8.
12. Зотов В. Оценка потребляемой мощности цифровых устройств, проектируемых на базе ПЛИС фирмы Xilinx в среде САПР WebPACK ISE // Компоненты и технологии. 2002. № 9.
13. Зотов В. Новая версия свободно распространяемого пакета проектирования WebPACK ISE фирмы Xilinx // Компоненты и технологии. 2003. № 1.
14. Зотов В. Использование шаблонов HDL-редактора при создании описаний цифровых устройств с помощью языка VHDL // Схемотехника. 2002. № 7–12. 2003. № 1.
15. Xilinx DataSource CD-ROM. Rev. 7. 2002.