

Современные ПЛИС.

Продукция компании Lattice Semiconductor.

Часть 1

Как известно, особенностью российской электроники является достаточно консервативный подход разработчиков к выбору элементной базы. Это связано, во-первых, со значительными сложностями поставок на первый взгляд интересной элементной базы и, во-вторых, с определенным информационным голодом, особенно с отсутствием подробных русскоязычных материалов по применению той или иной элементной базы. Такая ситуация особенно наглядно проявляется на рынке программируемой логики. Наверное, порядка 80% российских разработок с использованием ПЛИС выполняется на старых добрых Altera и Xilinx. В то же время, на просторах России появляются дистрибьюторы и других компаний. В этой связи возникла идея написания цикла статей по применению и особенностям «нетрадиционных» ПЛИС. В прошлом номере вышла статья по пакету для проектирования Libero фирмы Actel. В этой и последующих статьях будет рассмотрена продукция компании Lattice Semiconductor.

Владимир Шешенко,
к. т. н.

Компания Lattice Semiconductor довольно давно разрабатывает и производит ПЛИС и программное обеспечение для проектирования систем на их основе. С 1992 года компания Lattice Semiconductor сфокусировала свою деятельность на развитии рынка CPLD высокой плотности. В 2000 году около 76% годового дохода компании было получено от продаж CPLD высокой плотности (66% — в 1999 году).

Стоит заметить, что на Западе продукция компании достаточно широко используется производителями оборудования передачи данных и телекоммуникаций, а также компьютеров, промышленных и военных систем. Так, в течение первого квартала 2001 года компания поставляла около 56% всех PLD для рынка коммуникаций (от 111,1 миллионов долл. годового оборота) и приблизительно 24% — для компьютерного рынка.

В июне 1999 года Lattice Semiconductor приобрела Vantis Corporation, бывшую дочернюю компанию

Advanced Micro Devices (AMD) по производству программируемой логики.

В январе 2002 года корпорация Lattice Semiconductor объявила о завершении покупки подразделения компании Agere Systems, занимающегося разработкой FPGA-устройств.

На рис. 1 представлена гамма выпускаемых компанией Lattice Semiconductor устройств. Помимо традиционных CPLD имеются программируемые аналоговые интегральные схемы (ПАИС), а также ряд оригинальных устройств для коммутации скоростных потоков данных.

Основные характеристики микросхем CPLD представлены в таблице 1.

Как можно видеть из таблицы, помимо ПЛИС разработки Lattice Semiconductor, выпускаются и старые добрые MACH, разработанные еще AMD и достаточно хорошо известные российскому разработчику.

Рассмотрим основные группы продуктов, выпускаемые Lattice Semiconductor.

IspGDX®/V. Данные семейства микросхем расширяют возможности программирования в системе до уровня монтажной платы, используя архитектуру переключения в точке пересечения (cross-point switch). Задержка распространения меньше 3,5 нс, количество входов-выходов — вплоть до 240. Оба семейства микросхем — пятивольтовое ispGDX и трехвольтовое ispGDV — ориентированы на коммутацию цифрового сигнала и реализацию интерфейсов.

IspPAC®. В печати уже проходила информация об этих ПАИС [1, 2]. Архитектура ispPAC позволяет разработчику быстро и легко запрограммировать значения резисторов и конденсаторов, полярность сиг-

Таблица 1

	Быстродействие, МГц	Задержка распространения, нс	Логическая емкость, эквивалентных вентилях	Корпуса (выводов)
IspLSI® 1000/E/EA	200	4,0	2000–8000	44–128
IspLSI 2000E/VE	300	3,0	1000–8000	44–208
IspLSI 5000 V/E	180	5,0	6000–24000	128–388
IspLSI8000/V	125	8,5	25000–50000	272–492
IspMACH™ 4/LV/A	180	5,0	1000–10000	44–256
MACH 5/LV	180	5,5	5000–20000	100–352

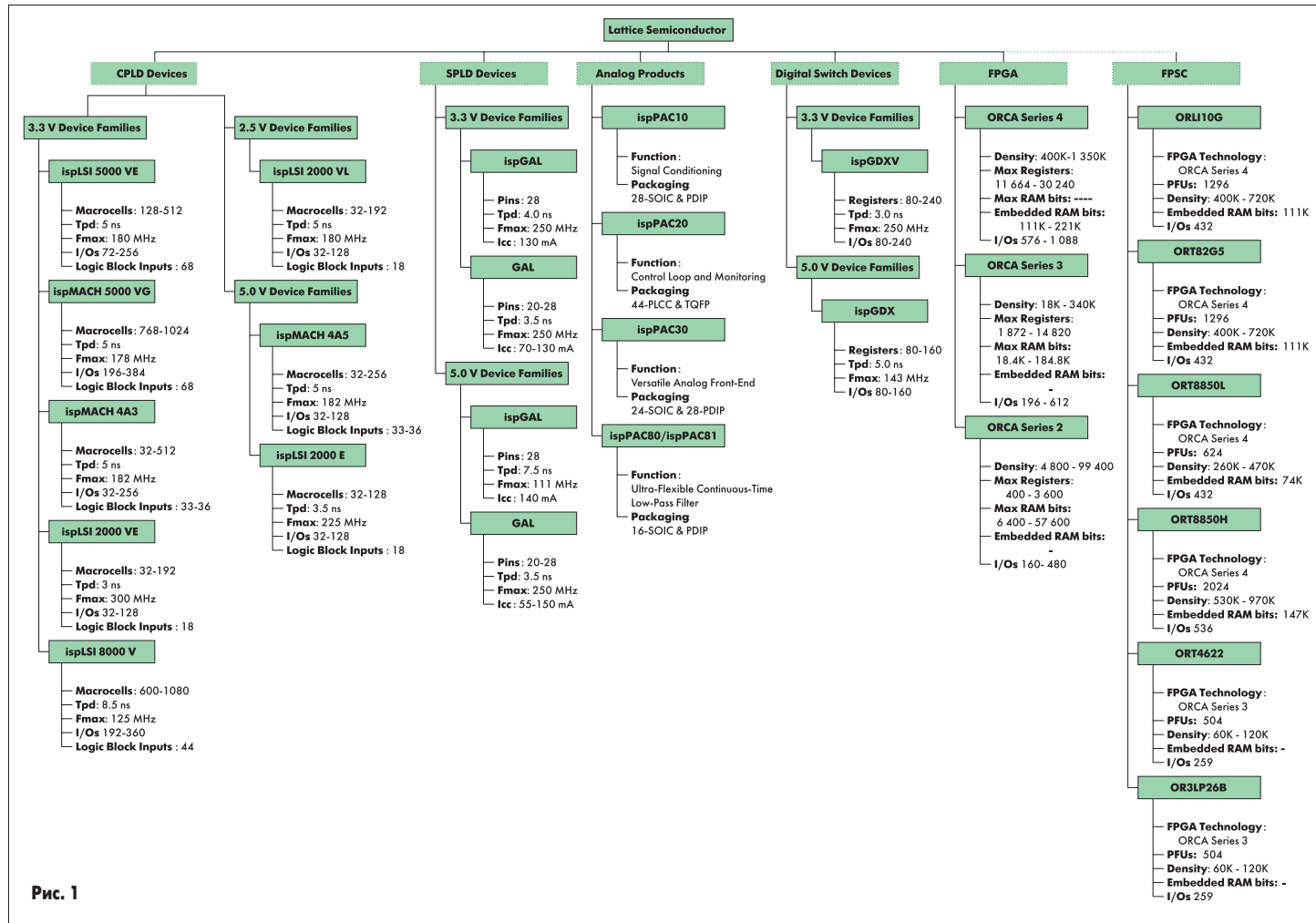


Рис. 1

нала и тока, а также различные соединения при разработке большого разнообразия аналоговых схем. Самые простые микросхемы ispPAC предназначены для фильтрации и согласования устройств по уровням сигнала, что позволяет заменить ими многочисленные дискретные аналоговые компоненты. Разработки с использованием ispPAC выполняются и программируются на персональном компьютере с использованием инструментального программного средства PAC-Designer®.

Все ПЛИС компании Lattice Semiconductor, предназначенные для «программирования в системе» (ISP), поддерживаются с помощью программного продукта ispDesignEXPERT™. Это ПО позволяет работать на платформах PC и UNIX, а также дает возможность пользователю вводить, контролировать и синтезировать разработку, проводить логическое моделирование и временной анализ, распределять сигналы по выводам микросхемы так, как это ему необходимо и самостоятельно определять пути прохождения сигнала для создания дополнительных задержек. Кроме того, ispDesignEXPERT™ позволяет отлаживать и планировать ход разработки, а также программировать устройство.

ПО ispDesignExpert полностью совместимо с автоматизированными системами проектирования Aldec, Cadence, Innoveda, Mentor Graphics, OrCAD, Synopsys, Sinplisity и Verybest.

Продукт ispDesignExpert является мощной оболочкой, позволяющей выполнить полный комплекс операций с программируемыми логическими устройствами от описания проекта до программирования ПЛИС.

В следующих статьях цикла эти продукты будут рассмотрены подробнее.

Рассмотрение продукции Lattice Semiconductor начнем с ПЛИС, построенных по архитектуре FPGA. Начнем с рассказа о набирающем популярность направлении систем на кристалле, представителем которого являются некоторые кристаллы ORCA. Рассмотрим в качестве примера микросхему ORT8850, получившую название Field-Programmable System Chip (FPSC). Ее структурная схема приведена на рис. 2.

ПЛИС ORT8850, ориентированная прежде всего на коммуникационные применения, содержит на борту полную поддержку протоко-

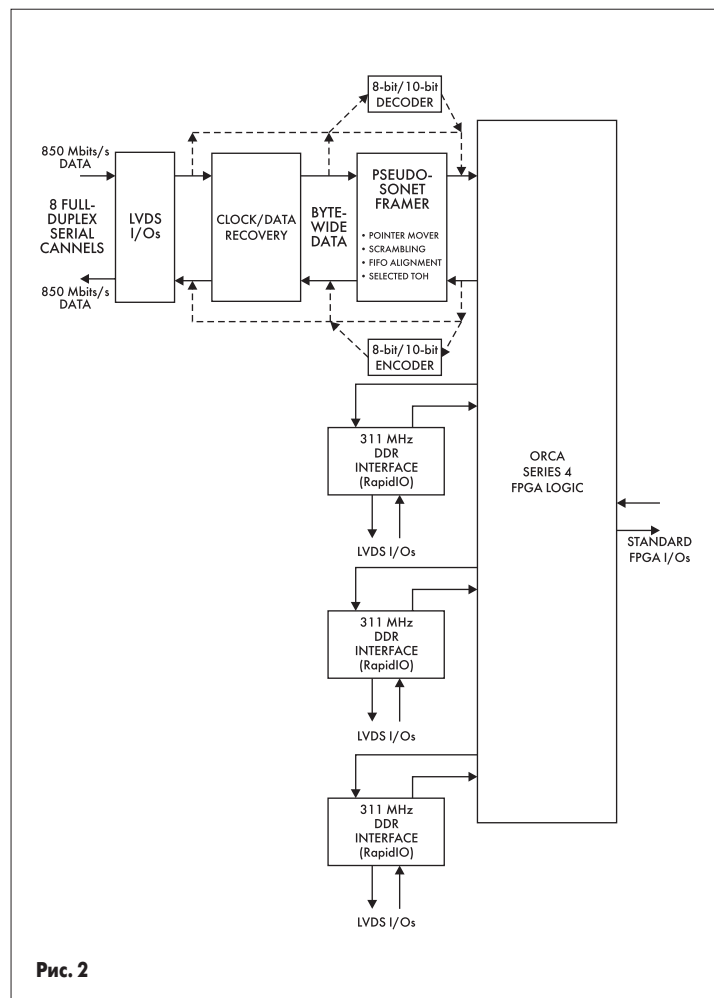


Рис. 2

Таблица 2

Device	PFU Rows	PFU Columns	Total PFUs	FPGA User I/O	LUTs	EBR Blocks	EBR Bits (K)	Usable Gates (K)
ORT8850L	26	24	624	296	4,992	8	74	260-470
ORT8850H	46	44	2024	536	16,192	16	147	530-970

ла SONET, а 8 каналов высокоскоростного интерфейса обеспечивают скорость обмена до 850 Мбит/с. Поддерживается интерфейс LVDS для ввода-вывода. В ПЛИС реализован интерфейс обмена с удвоенной скоростью (double data rate, DDR).

ПЛИС выполнена 0,13-микронной технологии с 7 слоями металлизации.

Быстродействие ядра достигает 250 МГц. Логическая емкость ПЛИС достигает 600 000 эквивалентных вентилей. Напряжение питания ядра равно 1,5 В, что позволяет снизить энергопотребление на 30 процентов по сравнению с 1,8 В логикой.

При выборе внешнего интерфейса можно программно выбирать логические уровни как LVTTTL, так и LVCMOS (3,3, 2,5 и 1,8 В). Ограничительные диоды в элементах ввода-вывода обеспечивают совместимость с интерфейсом PCI (3,3 В). Возможно индивидуальное программирование нагрузочной способности выводов в пределах 3–24 мА. Программируется и длительность фронтов сигналов (fast и slew-limited). Имеются входные защелки, а также поддерживается функция открытого стока.

В ПЛИС ORT8850 реализована поддержка как однопроводных, так и дифференциальных интерфейсов: GTL, GTL+, PECL, SSTL3/2 (class I & II), HSTL (Class I, III, IV), ZBT, DDR, LVDS, bused-LVDS, LVPECL). Для интерфейса LVDS реализованы внутрикристалльные терминальные резисторы.

Отдельного разговора заслуживает программируемый функциональный блок (ПФБ, programmable function unit, PFU). Каждый ПФБ содержит 8 16-битных таблиц перекодировки (ТП, look-up tables, LUT). Девять регистров пользователя позволяют организовать необходимую пользователю последовательную схему. Каждый ПФБ имеет две независимых линии тактовой синхронизации, сигналы разрешения такта (clock enables), сброса и установки (set/reset), а также мультиплексоры данных. Таблицы перекодировки обладают достаточной гибкостью, в частности, имеются режимы LUT4, LUT5, LUT6, Мультиплексора 4 в 1, 8 в 1 и ряда арифметических функций.

Каждый ПФБ имеет память с ячейками емкостью 32×4, которая может быть сконфигурирована по однопортовой или двухпортовой схеме. Таблицы перекодировки допускают каскадирование для наращивания разрядности.

На рис. 3 представлена архитектура типичного для FPGA ORCA ПФБ. На данном рисунке представлен ПФБ ПЛИС ORCA Series 4. Следует заметить, что в отличие от Altera или Xilinx, ПФБ ORCA кажутся несколько более сложными. С другой стороны, за счет кажущейся сложности достигается многообразие режимов конфигурации.

Внутренняя архитектура межсоединений достаточно емкая и позволяет реализовать как

локальные, так и глобальные внутрикристалльные связи.

Наличие ФАПЧ с программируемым коэффициентом пересчета (programmable phase-locked loops, PPLLs) позволяет просто управлять тактовой частотой и обеспечить стабильный тактовый сигнал в диапазоне от 20 до 416 МГц.

Встроенные блоки памяти (ВБ) обеспечивают производительность до 200 МГц и имеют, в зависимости от режима конфигурации, порты как для чтения, так и записи данных.

Встроенные блоки памяти можно конфигурировать в следующих вариациях:

- 512×18 — два порта чтения, два записи;
- 256×36 — один порт чтения, другой записи;
- 1К×9 — один порт чтения, другой записи;
- двоянный блок 512×9;
- двоянный блок 16×8 контекстно адресуемой памяти (content addressable memory, CAM);
- FIFO 512×18, 256×36, 1К×9, двоянный FIFO 512×9;
- умножитель на константу (8×16 или 16×8);
- перемножитель сигналов (8×8).

В таблице 2 сведены данные по ПЛИС ORT8850.

Другим представителем систем на кристалле для телекоммуникационных приложе-

ний является ПЛИС ORCA ORT82G5. Данная микросхема предназначена для построения магистралей со скоростью передачи данных до 3,5 Гбит/с и поддерживает протокол SERDES.

На рис. 3 представлена архитектура ПЛИС ORT82G5. Как можно увидеть, данная микросхема прекрасно подходит для реализации скоростных сетевых устройств, тем более, что под эти задачи разработан ряд макросов, существенно облегчающих жизнь разработчику.

Рассматриваемые кристаллы имеют специализированный интерфейс для связи с процессором — Microprocessor Interface, MPI. Данный интерфейс обеспечивает обмен по 8-, 16- и 32-битной шине с процессорами типа PowerPC. Имеется поддержка интерфейса JTAG (IEEE 1149.2).

Для разработки устройств на базе FPGA используется САПР ORCA Foundry. В следующих статьях цикла мы рассмотрим особенности работы с этой программной средой. ■

Литература

1. А. Курбатов. Программируемые аналоговые интегральные схемы. Жизнь продолжается? // Компоненты и технологии. 2000. № 2.
2. В. Б. Степенко. EDA: Практика автоматизированного проектирования радиоэлектронных устройств. М.: «Холдинг». 2002.
3. В. Б. Степенко. Школа схемотехнического проектирования устройств обработки сигналов // Компоненты и технологии. 2000. № 3–8. 2001. № 1–7. 2002. № 1.

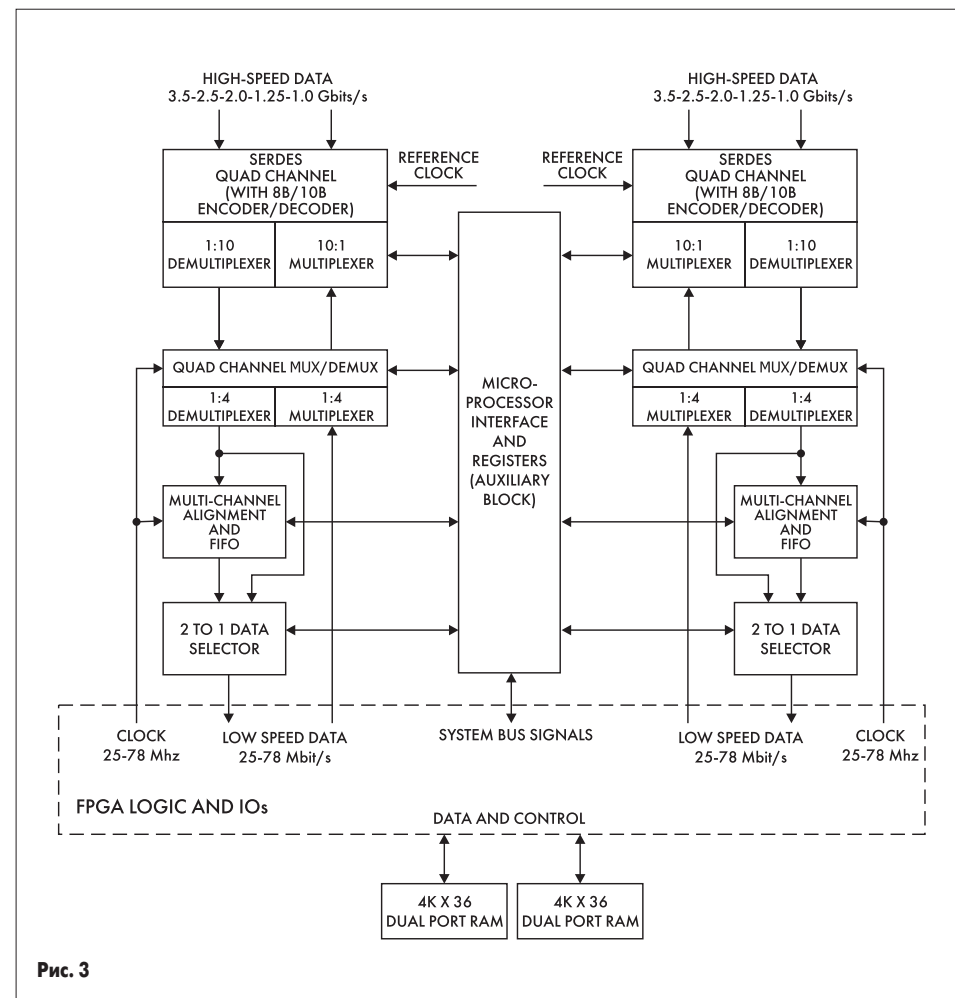


Рис. 3