

Конфигурирование ПЛИС семейств FPGA фирмы Xilinx в САПР WebPACK ISE

Валерий Зотов

walerry@euro.ru

При получении приемлемых результатов этапа реализации, рассмотренного в предыдущей статье [6], перед конфигурированием ПЛИС можно выполнить окончательную верификацию проекта методом временного моделирования, используя средства системы *ModelSim XE Starter* и программы генерации тестов *HDL Benchner*. С помощью программы временного анализа *Timing Analyzer* можно получить подробную информацию о задержках распространения сигналов по цепям проекта. Если временные параметры не выходят за рамки соответствующих установленных ограничений, то следует перейти к завершающему этапу процесса проектирования цифровых устройств на базе ПЛИС семейств FPGA [7–9], который включает в себя следующие фазы:

- создание конфигурационной последовательности для разрабатываемого проекта;
- загрузка конфигурационного битового потока в кристалл для аппаратной верификации проекта;
- генерация файла «прошивки» ПЗУ (или ППЗУ);
- программирование ППЗУ с помощью средств, входящих в состав пакета САПР WebPACK ISE.

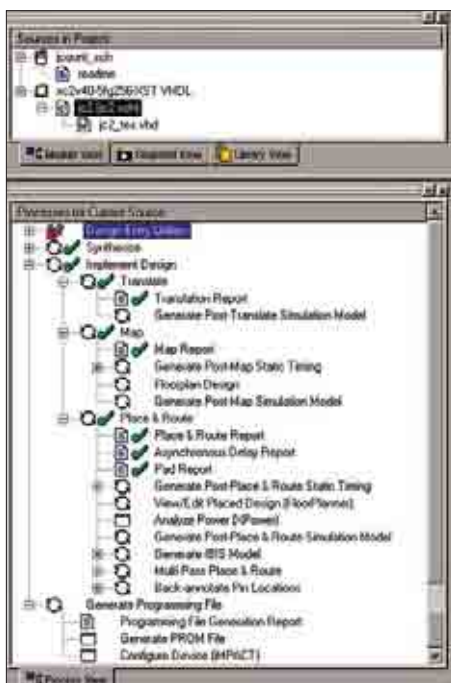



Рис. 1. Рабочая область основного окна Навигатора проекта пакета WebPACK ISE

Создание конфигурационной последовательности для проекта, разрабатываемого на базе ПЛИС семейств FPGA

Процесс создания конфигурационной последовательности для ПЛИС семейств FPGA, как и для CPLD, выполняется в автоматическом режиме. Все необходимые директивы конфигурирования и последующей активизации кристалла задаются с помощью параметров рассматриваемого процесса перед его выполнением. Вызов диалоговой панели, в которой расположены эти опции, осуществляется уже привычными способами. В окне процессов (рис. 1) следует выделить строку «*Generate Programming File*», после чего нажать кнопку  на оперативной панели Навигатора проекта, или воспользоваться командой *Properties* контекстно-зависимого всплывающего меню, которое выводится при щелчке правой кнопки мыши.

Диалоговая панель параметров процесса генерации конфигурационной последовательности (рис. 2), содержит пять страниц, снабженных закладками:

General Options, Configuration Options, Startup Options, Readback Options, Encryption options.

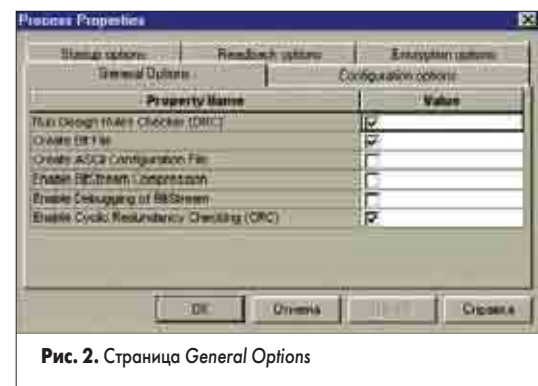


Рис. 2. Страница *General Options*

Страница *General Options* содержит основные параметры процесса генерации конфигурационной последовательности.

Значение параметра *Run Design Rules Checker (DRC)* разрешает (или запрещает) запуск средств контроля базы данных проекта перед формированием файла конфигурационной последовательности. По умолчанию установлено значение «включено», разрешающее выполнение проверки результирующего файла NCD, созданного на этапе реализации. Дополнительный контроль, осуществляемый перед генерацией файла конфигурации, позволяет избежать возможных проблем в процессе функционирования проектируемого устройства. Информация о результатах проверки помещается в общий отчет о выполнении этапа (файл .bgn) и отдельный отчет, формируемый средствами контроля (файл .drc).

Create Bit File используется для управления процессом создания двоичного файла последовательного битового потока (bitstream). Этот файл (.bit) далее может использоваться непосредственно для загрузки в кристалл или в качестве исходного для формирования файла «прошивки» ПЗУ, предназначенного для хранения информации о конфигурации проекта. Значение «включено», установленное по умолчанию, разрешает создание двоичного файла конфигурационной последовательности.

С помощью параметра *Create ASCII Configuration File* предоставляется возможность создания файла конфигурации проекта в формате RBT (rawbit). Этот файл имеет текстовый формат (ASCII), в котором конфигурационная последовательность представлена с помощью символов «0» и «1». По умолчанию используется «выключено», при котором файл RBT не создается.

Enable BitStream Compression позволяет включить режим сжатия в процессе генерации конфигурационного битового потока. Следует обратить внимание на то, что активизация этого режима не гарантирует сокращения размера конфигурационной последовательности. Значение «выключено», установленное по умолчанию, запрещает компрессию конфигурационных данных.

Значение параметра **Enable Debugging of BitStream** разрешает или запрещает последующую отладку создаваемой конфигурационной последовательности. Включение отладочной информации приводит к увеличению размера файла конфигурации. Этот параметр следует применять только при использовании ведущего (master serial) или последовательного (slave serial) режима конфигурации ПЛИС. По умолчанию используется значение «выключено», запрещающее включение отладочных кодов в состав конфигурационных данных.

Параметр **Enable Cyclic Redundancy Checking (CRC)** позволяет реализовать контроль конфигурационного битового потока, выполняемый в процессе конфигурирования кристалла, при помощи циклического избыточного кода. По умолчанию используется значение «включено». При этом для каждого фрейма конфигурационных данных вычисляется и помещается в конце 4-битовое уникальное значение. Этот параметр применяется только для кристаллов семейства Virtex-II.

Страница **Configuration Options** объединяет параметры, используемые в процессе конфигурирования кристалла (рис. 3).

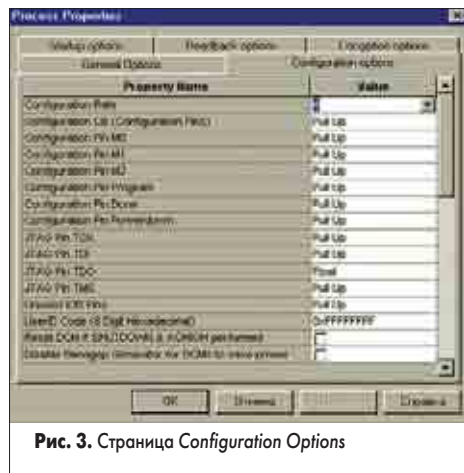


Рис. 3. Страница Configuration Options

Значение параметра **Configuration Rate** определяет тактовую частоту процесса загрузки конфигурационной последовательности в кристалл FPGA семейств Virtex, Virtex-E, Virtex-II, Virtex-II PRO, Spartan-II, Spartan-IIЕ. ПЛИС этих семейств используют внутренний генератор для формирования сигнала синхронизации CCLK, который используется в качестве тактового при ведущем режиме процесса конфигурирования. Возможные значения частоты этого сигнала представлены в выпадающем списке, который выводится нажатием кнопки, расположенной в правой части поля выбора значения этого параметра и включает следующие значения: 4 (установлено по умолчанию), 5, 7, 8, 9, 10, 13, 15, 20, 26, 30, 34, 41, 45, 51, 55, 60 МГц. При выборе значения

частоты, отличного от установленного по умолчанию, следует убедиться, что используемые ПЗУ и кристаллы FPGA допускают данную частоту синхронизации.

С помощью параметра **Configuration CLK (Configuration Pins)** осуществляется управление подключением внутреннего подтягивающего резистора к выводу CCLK. Выпадающий список содержит два возможных значения:

- **Pull Up**, установленное по умолчанию, предписывает подключение внутреннего высокоомного резистора к выводу CCLK.
- При выборе значения **Float** внутренний резистор, сопряженный с выводом CCLK, не активизируется.

Параметры **Configuration Pin M0, Configuration Pin M1, Configuration Pin M2** позволяют подключить внутренние высокоомные резисторы к соответствующим выводам ПЛИС M0, M1, M2, которые используются для выбора режима конфигурирования кристалла. Внутренние резисторы определяют режим конфигурирования, устанавливаемый по умолчанию, когда отсутствуют внешние подключения к указанным контактам кристалла. В выпадающем списке значений представлено три элемента:

- **Pull Up** — к соответствующему выводу ПЛИС подключается внутренний резистор, соединенный с шиной питания (установлено по умолчанию).
- **Pull Down** — производится подключение внутреннего резистора, соединенного с общей шиной.
- **Float** запрещает подключение внутренних резисторов к соответствующему контакту, предназначенному для выбора режима конфигурирования ПЛИС.

Параметр **Configuration Pin Program** управляет подключением внутреннего подтягивающего резистора к выводу Program. Возможные значения этой опции, в том числе и установленное по умолчанию, те же, что и для параметра **Configuration CLK (Configuration Pins)**.

Значение параметра **Configuration Pin Done** определяет вид резистора, соединенного с шиной питания, который необходим на выходе Done, формирующем сигнал завершения процесса конфигурирования. В выпадающем списке три возможных значения параметра:

- **Pull Up**, установленное по умолчанию, используется в том случае, если не планируется подключение внешнего резистора к выводу Done. При этом аналогичную функцию выполняет соответствующий внутренний резистор, соединенный с шиной питания.
- **Float** запрещает подключение внутреннего резистора, соединенного с шиной питания, при этом необходимо предусмотреть установку аналогичного внешнего резистора к выводу Done.
- **Active Pull Up**.

Параметр **Configuration Pin PowerDown** используется для управления подключением внутреннего резистора, соединенного с шиной питания, к выводу PWRDWN_B. Возможные значения этой опции, в том числе и установленное по умолчанию, те же, что и для параметра **Configuration CLK (Configuration Pins)**.

- **Active Pull Up**.

Параметр **Configuration Pin PowerDown** используется для управления подключением внутреннего резистора, соединенного с шиной питания, к выводу PWRDWN_B. Возможные значения этой опции, в том числе и установленное по умолчанию, те же, что и для параметра **Configuration CLK (Configuration Pins)**.

С помощью параметров **JTAG Pin TCK, JTAG Pin TDI, JTAG Pin TDO, JTAG Pin TMS** выбирается тип внутреннего резистора, подключаемого к соответствующим JTAG-выводам ПЛИС. Выпадающий список содержит те же элементы, что и для параметров **Configuration Pin M0, Configuration Pin M1, Configuration Pin M2**, в том числе и значение, принятое по умолчанию.

Unused IOB Pin определяет тип внутреннего резистора, подключаемого к пользовательским выводам ПЛИС, которые не задействованы в проектируемом устройстве. В выпадающем списке те же позиции, что и для параметров **Configuration Pin M0, Configuration Pin M1, Configuration Pin M2**, в том числе и значение, принятое по умолчанию.

User ID Code (8 Digit Hexadecimal) предназначен для ввода пользовательского идентификационного кода USERCODE, который заносится в одноименный регистр ПЛИС и может быть в последствие считан после конфигурирования кристалла. С помощью пользовательского идентификационного кода разработчик может определить, какой проект (или версия проекта) загружен в каждый кристалл FPGA. Этот код задается в виде последовательности из восьми шестнадцатеричных символов, по умолчанию используется 0xFFFFFFFF.

Значение параметра **Resets DCM If SHUTDOWN & AGHIGH performed** разрешает или запрещает сброс блоков управления сигналами синхронизации **DCM (Digital Clock Manager)** при загрузке команд SHUTDOWN и AGHIGH. По умолчанию используется запрещающее значение («выключено») этого параметра.

На странице **Startup Options** расположены параметры управления фазой активизации логики после конфигурирования кристалла (рис. 4).

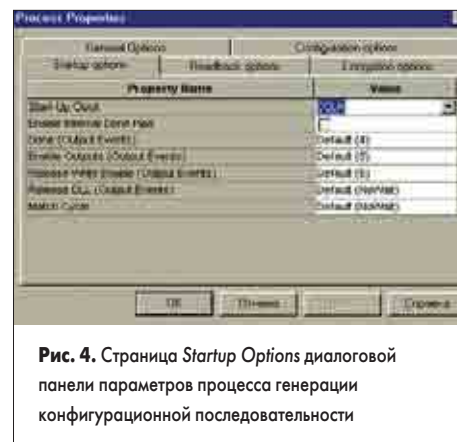


Рис. 4. Страница Startup Options диалоговой панели параметров процесса генерации конфигурационной последовательности

Значение параметра **Start-Up Clock** определяет источник сигнала синхронизации, используемого в процессе конфигурирования. Выпадающий список значений:

- **CCLK**, установленное по умолчанию, означает в качестве сигнала синхронизации процесса активизации логики тактовый сигнал CCLK, вырабатываемый внутри кристалла.
- **User Clock** — при выборе тактовым является сигнал, определяемый разработчиком, который подключается к выводу CLK сигнала STARTUP.

- **JTAG Clock** следует выбирать при загрузке конфигурационной последовательности в режиме периферийного сканирования через JTAG-порт.

Enable Internal Done Pipe используется при конфигурировании кристалла в составе последовательной цепочки ПЛИС. При выборе значения «включено» кристалл переводится в состояние DONE после перехода сигнала на выводе CFG_DONE (DONE) в состояние логической единицы по первому фронту тактового сигнала. По умолчанию для данного параметра установлено значение «выключено».

С помощью параметра **Done (Output Events)** указывается количество тактов сигнала синхронизации процесса активизации логики, на которое задерживается формирование сигнала высокого логического уровня на выводе DONE. Возможные значения этого параметра представлены в виде выпадающего списка, который включает следующие элементы: 1, 2, 3, 4, 5, 6. По умолчанию используется значение 4, то есть сигнал на выводе DONE переводится в активное состояние с задержкой на 4 периода частоты синхронизации.

Enable Outputs (Output Events) определяет задержку формирования разрешающего значения глобального сигнала управления «третьим» состоянием GTS, которая выражается в количестве тактов синхросигнала. Этот сигнал переключает выходы кристалла из высокоимпедансного («третьего») состояния в штатный режим работы. В выпадающем списке возможных значений представлены следующие позиции: 1, 2, 3, 4, 5 (по умолчанию), 6, Done, Keep. При выборе значения Done сигнал управления третьим состоянием переводится в разрешающее состояние после переключения сигнала DoneIn в состояние высокого логического уровня, соответствующее задержке на такт по отношению к моменту перехода сигнала Done в состояние высокого логического уровня.

Параметр **Release Write Enable (Output Events)** позволяет определить задержку активизации глобального сигнала разрешения записи GWE в регистры и элементы ОЗУ (распределенные и блочные) по отношению к моменту переключения сигнала Done в состояние высокого логического уровня. Выпадающий список содержит значения параметра: 1, 2, 3, 4, 5, 6, Done, Keep. При выборе Done сигнал разрешения записи переводится в активное состояние после того, как сигнал DoneIn переключается в состояние высокого логического уровня. Значение Keep используется для сохранения текущего состояния сигнала GWE. Значение 6, принятое по умолчанию, соответствует задержке активизации GWE на два периода тактовой частоты по отношению к моменту переключения сигнала Done в состояние высокого логического уровня.

С помощью параметра **Release DLL (Output Events)** задается номер такта в процессе активизации логики, на котором включается пауза до момента, когда осуществляется нормальный захват следящей системы схемы автоподстройки задержки DLL. В выпадающем списке значения: 0, 1, 2, 3, 4, 5, 6, NoWait. Численное значение указывает номер такта сиг-

нала синхронизации, на котором включается пауза ожидания захвата DLL. По умолчанию применяется значение **NoWait**, соответствующее режиму, при котором пауза ожидания нормального захвата следящей системы DLL не используется.

Match Cylce позволяет указать момент приостановки цикла активизации логики до захвата схемой цифрового управления импедансом DCI (Digitally Controlled Impedance) контролируемых сигналов (цепей), указанных в файлах ограничений или модулях исходного описания проектов. Эта опция относится только к ПЛИС семейств Virtex-II, Virtex-II PRO. Выпадающий список содержит восемь возможных значений этого параметра: 0, 1, 2, 3, 4, 5, 6, NoWait. Числовое значение указывает номер такта сигнала синхронизации, на котором включается пауза ожидания захвата DCI. Значение **NoWait**, используемое по умолчанию, соответствует режиму, при котором ожидание захвата схемы цифрового управления импедансом DCI не производится.

Страница **Readback Options** представляет параметры, используемые в процессе обратного считывания конфигурационных данных из кристалла (рис. 5).

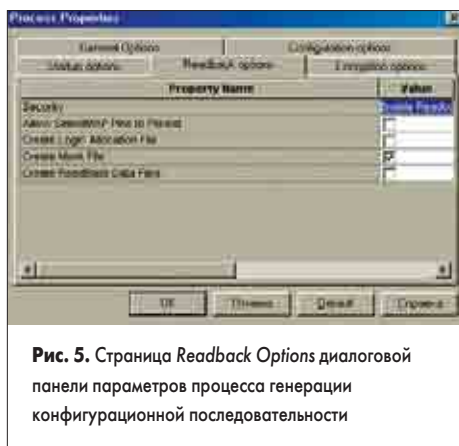


Рис. 5. Страница Readback Options диалоговой панели параметров процесса генерации конфигурационной последовательности

Параметр **Security** предназначен для установки защиты конфигурационных данных, загруженных в кристалл FPGA. В выпадающем списке:

- **Enable Readback and Reconfiguration**, принятое по умолчанию, разрешает обратное считывание загруженной конфигурационной последовательности и реконфигурирование кристалла.
- **Disable Readback** запрещает чтение конфигурационных данных из кристалла FPGA.
- **Disable Readback and Reconfiguration** устанавливает защиту от считывания конфигурационной последовательности и реконфигурирования кристалла.

С помощью параметра **Allow SelectMAP Pins to Persist** блокируется применение контактов, используемых для конфигурирования в режиме SelectMAP, в качестве пользовательских. Эти контакты применяются в процессе обратного считывания и частичного реконфигурирования кристалла. По умолчанию установлено значение «выключено», разрешающее использование указанных контактов в качестве пользовательских.

Create Logic Allocation File управляет созданием файла размещения логики. Этот тексто-

вый файл в формате ASCII, имеющий расширение .ll, позволяет идентифицировать в конфигурационном битовом потоке соответствующие ресурсы кристалла (триггеры, защелки, входы и выходы), используемые в проекте. По умолчанию установлено значение «выключено», запрещающее создание файла размещения логики.

Create Mask File разрешает или запрещает создание файла маскирования, значение «выключено», установленное по умолчанию, запрещает создание файла маски. Этот файл с расширением .msk используется в процессе обратного считывания конфигурационной последовательности для сопоставления позиций соответствующих битов данных в конфигурационном битовом потоке.

Параметр **Create Readback Data Files** используется для управления созданием файла данных, полученных в ходе обратного считывания конфигурационной последовательности. По умолчанию для этого параметра используется значение «выключено», при котором файл обратного считывания не создается.

На странице **Encryption options** представлены параметры, предназначенные для управления процессом шифрования и дешифрования создаваемой конфигурационной последовательности (рис. 6). Эти параметры относятся только к ПЛИС семейств Virtex-II, Virtex-II PRO и используются для защиты от копирования конфигурационных данных, загруженных в кристалл. Операции шифрования и дешифрования выполняются в соответствии со стандартами Data Encryption Standard (DES) и Triple DES.



Рис. 6. Страница Encryption options

Encrypt Bitstream разрешает или запрещает («выключено» используется по умолчанию) шифрование конфигурационного битового потока.

Значения параметров **Key 0 (Hex String)** — **Key 5 (Hex String)** определяют содержимое ключей, используемых в процессах шифрования и дешифрования конфигурационного битового потока. Каждый ключ представляет собой последовательность, состоящую из 56 битов данных, задаваемую обычно в шестнадцатиричном формате, например Key 0: 0x525ac973ff048b. Кроме того, значение ключа может быть задано в виде текстовой строки (пароля), которая преобразуется впоследствии программой генерации конфигурацион-

ной последовательности в некоторую 56-битную строку. По умолчанию значения ключей не определены (поле редактирования пусто). При этом средства формирования конфигурационного битового потока автоматически выбирают эти значения на основании внутренних алгоритмов.

С помощью параметра *Input Encryption Key File* можно указать каталог на диске, в котором будут храниться файлы, определяющие ключи шифрования и дешифрования. Название каталога и полный путь доступа к нему можно ввести с клавиатуры непосредственно в поле редактирования, которое активизируется щелчком левой кнопки мыши при расположении курсора в этом поле. Также выбрать требуемый каталог можно, используя стандартную панель открытия файла — кнопка с пиктограммой в виде многоточия, появляющаяся в правой части поля редактирования после его активизации.

Параметры *Location of Key 0 in Sequence* — *Location of Key 5 in Sequence* позволяют установить последовательность использования ключей в случае применения стандарта шифрования Triple DES. В отличие от методов DES, алгоритмы Triple DES требуют последовательного применения трех ключей для шифрования и дешифрования. Значение параметра *Location of Key N in Sequence* указывает позицию соответствующего N-го ключа в такой последовательности. Выпадающий список содержит: *Single Key (S)* — одиночный ключ, *First (F)* — первый, *Middle (M)* — второй (средний), *Last (L)* — последний.

Starting Key указывает номер ключа, с которого начинается процесс дешифрования конфигурационной последовательности. В выпадающем списке значения: 0 и 3.

Starting CBC Value (Hex) предоставляет возможность определения начального блока шифрования CBC (Cipher Block Chaining). Ввод параметра осуществляется с клавиатуры после активизации соответствующего поля редактирования.

Установив требуемые значения параметров процесса генерации конфигурационной последовательности, следует подтвердить их нажатием клавиши ОК в нижней части диалоговой панели (рис. 2). После этого для активизации процесса формирования файла конфигурирования необходимо дважды щелкнуть левой кнопкой мыши на строке «*Generate Programming File*», расположенной в окне процедур *Настройка проекта* (рис. 1). Информация о ходе его выполнения отображается в окне консольных сообщений и строке состояния. После успешного завершения этого процесса, отмеченного соответствующей пиктограммой в строке «*Generate Programming File*», создается файл конфигурационного битового потока (имеющий расширение .bit), который можно непосредственно использовать для загрузки в кристалл, используя программу *iMPACT*, рассмотренную в одной из предыдущих статей [4]. Для просмотра отчета о выполнении процедуры формирования конфигурационной последовательности следует дважды щелкнуть левой кнопкой мыши на

строке «*Programming File Generation Report*» (рис. 1). Этот отчет содержит информацию обо всех значениях параметров, при которых формировался файл конфигурации, а также об ошибках и предупреждениях.

Конфигурирование ПЛИС семейств FPGA фирмы Xilinx с помощью программы *iMPACT* пакета *WebPACK ISE*

Для загрузки конфигурационной последовательности из файла (.bit) в кристалл FPGA с помощью программы *iMPACT* можно использовать любой из кабелей, рассмотренных в [4]. Наиболее доступным для разработчиков является JTAG-кабель, подключаемый к параллельному порту (LPT) персонального компьютера (Parallel Download Cable). Загрузка конфигурационного битового потока может производиться через JTAG-порт кристалла в режиме периферийного сканирования Boundary-Scan (JTAG) или через специальные контакты ПЛИС, предназначенные для конфигурирования, в подчиненном последовательном режиме Slave Serial.

При использовании режима периферийного сканирования перед формированием конфигурационной последовательности необходимо установить для параметра *Start-Up Clock* значение *JTAG Clock*. После генерации файла конфигурации следует подключить сигнальные выводы загрузочного кабеля Test Data In (TDI), Test Mode Select (TMS), Test Clock (TCK) и Test Data Out (TDO) к одноименным контактам кристалла, а выводы GND и VCC — к общей шине и цепи питания. Перед активизацией программы *iMPACT* нужно убедиться в том, что для параметра инициализации *Configuration Mode* указано значение *Boundary Scan*, соответствующее режиму периферийного сканирования. Дальнейшие действия аналогичны процедуре программирования ПЛИС семейств CPLD, это подробно рассмотрено в вышеупомянутой статье [4]. Загрузка конфигурационной последовательности в выбранный кристалл осуществляется с помощью команды *Program* меню *Operations* или контекстно-зависимого всплывающего меню, после активизации которой на экран выводится диалоговая панель параметров этого процесса. Назначение параметров в этой панели описано ранее [4]. Команды *Program*, *Verify*, *Get Device ID*, *Get Device Signature/Usercode*, расположенные в меню *Operations* и контекстно-зависимом всплывающем меню, доступны для кристаллов FPGA и выполняются так же, как и для ПЛИС семейств CPLD [4].

Для подчиненного последовательного режима перед формированием конфигурационной последовательности необходимо установить для параметра *Start-Up Clock* значение *CCLK*. После создания конфигурационного битового потока следует подключить сигнальные выводы загрузочного кабеля TDI, TMS, TCK и TDO соответственно к контактам кристалла DIN, PROG, CCLK, DONE, а выводы GND и VCo — к общей шине и цепи питания.

Выводы ПЛИС M0, M1, M2, предназначенные для выбора режима конфигурирования, должны быть подключены к цепи сигнала высокого логического уровня. Комбинация M0=1, M1=1, M2=1 соответствует подчиненному последовательному режиму загрузки конфигурационного битового потока. Перед активизацией программы *iMPACT* следует установить для *Configuration Mode* значение *Slave Serial*, соответствующее рассматриваемому режиму. Далее для запуска модуля *iMPACT* необходимо выполнить те же действия, что и при программировании ПЛИС семейств CPLD [4]. Загрузка конфигурационной последовательности в выбранный кристалл осуществляется с помощью команды *Program* меню *Operations* или контекстно-зависимого всплывающего меню, выводимого щелчком правой кнопки мыши.

Генерация файлов программирования ПЗУ/ППЗУ с помощью модуля *PROM File Formatter*

Преобразовать конфигурационную последовательность в файл программирования ПЗУ/ППЗУ можно с помощью модуля *PROM File Formatter* пакета *WebPACK ISE*. Программа предназначена для формирования файлов «прошивки» ПЗУ/ППЗУ в стандартных промышленных форматах, поддерживаемых различными аппаратными программаторами. Для ее активизации необходимо дважды щелкнуть левой кнопкой мыши на строке «*Generate PROM File*», расположенной в окне процедур *Настройка проекта* (рис. 1). В рабочей области основного окна программы *PROM File Formatter* (рис. 7) отображается структура формируемого файла «прошивки».

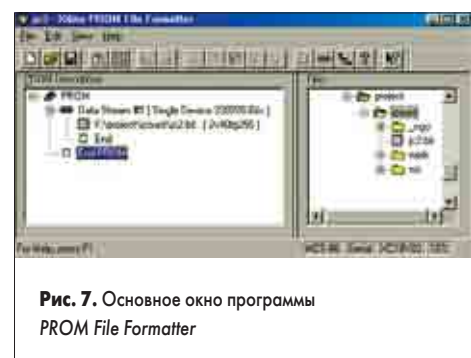



Рис. 7. Основное окно программы *PROM File Formatter*

Модуль генерации файла программирования позволяет разместить несколько конфигурационных последовательностей в одном ПЗУ или ППЗУ. По умолчанию в состав формируемого файла включен только конфигурационный битовый поток, созданный в текущем проекте. Для включения других конфигурационных последовательностей необходимо во встроенном окне выбора файлов, расположенном в правой части основного окна программы *PROM File Formatter*, найти соответствующий файл (с расширением .bit) и дважды щелкнуть левой кнопкой мыши на строке с его названием. После этого файл будет добавлен в структуру ПЗУ/ППЗУ, отображаемую в рабочей области. Изменить расположение конфигураци-

онных последовательностей в формируемом файле «прошивки» можно, перетаскивая с помощью мыши соответствующую идентификационную строку в структуре ПЗУ/ППЗУ на требуемую позицию.

Далее необходимо определить параметры используемого элемента ПЗУ/ППЗУ. Следует выбрать команду **PROM Properties** в меню **File** или нажать кнопку  на оперативной панели программы **PROM File Formatter**. На экран выводится диалоговая панель (рис. 8).

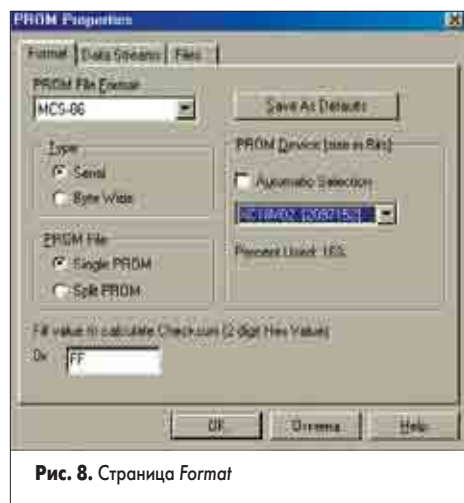


Рис. 8. Страница *Format*

Эта панель содержит три страницы, снабженные закладками: **Format**, **Data Stream**, **Files**. Страница **Format** содержит параметры, необходимые для генерации файла программирования.

Параметр **PROM File Format** указывает формат создаваемого файла. Выпадающий список содержит четыре значения: **MCS-86**, **EXORmacs**, **TEKHEX** и **HEX**. При использовании модуля **iMPACT** для программирования ПЗУ следует выбрать формат MCS-86.


С помощью кнопок **PROM Type** выбирается вид используемого элемента ПЗУ/ППЗУ: последовательный «Serial» или параллельный «Byte Wide».

PROM Device (Size) определяет название (тип) используемого ПЗУ/ППЗУ и его объем. Для выбора требуемого элемента следует перевести параметр **Automatic Selection** в состояние «выключено», после чего воспользоваться выпадающим списком доступных ПЗУ/ППЗУ. При этом параметр **Percent Used** автоматически отображает процент использования выбранного ПЗУ/ППЗУ. Фирма Xilinx выпускает два семейства ПЗУ, предназначенных для хранения конфигурационной информации ПЛИС: XC1700 — однократно программируемые последовательные ПЗУ; XC18V00 — перепрограммируемые в системе последовательные и параллельные ПЗУ. Для «прошивки» ПЗУ семейства XC1700 требуется аппаратный программатор (например, HW-130), поэтому в настоящей публикации этот процесс не рассматривается. Следующий раздел посвящен изучению программирования ПЗУ семейства XC18V00, которое не требует специальных аппаратных средств.



Группа кнопок **PROM File** используется для указания вида формируемого файла программирования: одиночный (для единственного

ПЗУ/ППЗУ) **Single PROM** или разделяемый несколькими элементами **Split PROM**.

После установки требуемых значений параметров следует подтвердить их нажатием кнопки **OK** (рис. 8). Выбранные значения отображаются в строке состояния, расположенной в нижней части окна программы **PROM File Formatter**.

Для создания файла «прошивки» следует выполнить команду **Create PROM** из всплывающего меню **File** или нажать кнопку  на оперативной панели программы **PROM File Formatter**. Процесс формирования файла программирования сопровождается только информацией в строке состояния, и при его успешном завершении никаких дополнительных сообщений не выводится. Полученный файл может непосредственно использоваться для программирования ПЗУ с помощью модуля **iMPACT**.

Программирование ПЗУ серии XC18V00 с помощью модуля iMPACT

Перед активизацией программы **iMPACT** рекомендуется присоединить загрузочный кабель к соответствующему порту ПК и специальным JTAG-контактам ПЗУ, после чего подать напряжение питания на плату разработанного устройства. Для параметра инициализации программы **iMPACT Configuration Mode** целесообразно указать значение **Boundary Scan**, соответствующее режиму периферийного сканирования. После запуска модуля **iMPACT** будет выведено предупреждение о том, что при генерации конфигурационной последовательности в качестве сигнала синхронизации **Start-Up Clock** должен быть указан **JTAG Clock**, на которое не следует обращать внимание. Далее необходимо выполнить команду инициализации цепочки периферийного сканирования **Initialize Chain** из меню **File** или из контекстно-зависимого всплывающего меню, которое выводится при щелчке правой кнопки мыши. Процесс инициализации может также активизироваться с помощью кнопки , расположенной на оперативной панели. В случае успешного обнаружения ПЗУ в цепочке периферийного сканирования соответствующая информация отображается в графической форме в рабочей области основного окна и в текстовом виде в окне регистрации сообщений программы **iMPACT** (рис. 9). Под каждым условным графическим образом (УГО) ПЗУ указывается ее тип и название соответствующего файла программирования. Сразу после выполнения команды инициализации в программе **iMPACT** предлагается определить название используемого файла «прошивки» с помощью стандартного окна открытия файла. Если в дальнейшем требуется изменить название файла программирования, то следует выделить требуемый УГО ПЗУ, щелкнув левой кнопкой мыши, после чего воспользоваться командой **Assign Configuration File** из всплывающего меню **Edit** или кнопкой , расположенной на оперативной панели. Можно также использовать ко-

манду **Assign New Configuration File** из всплывающего контекстно-зависимого меню, активизируемого щелчком правой кнопки мыши на соответствующем УГО в рабочей области.



Рис. 9. Отображение цепочки периферийного сканирования в окне модуля **iMPACT**

Выполнение всех операций программирования и обратного считывания информации, поддерживаемых модулем **iMPACT**, для ПЗУ осуществляется так же, как и для кристаллов CPLD, и подробно рассмотрено ранее [4].

Литература

1. Зотов В. WebPACK ISE — свободно распространяемый пакет проектирования цифровых устройств на базе ПЛИС фирмы Xilinx // Компоненты и технологии. 2001. № 6.
2. Зотов В. WebPACK ISE: Интегрированная среда разработки конфигурации и программирования ПЛИС фирмы Xilinx. Создание нового проекта // Компоненты и технологии. 2001. № 7.
3. Зотов В. Схемотехнический редактор пакета WebPACK ISE. Создание принципиальных схем и символов // Компоненты и технологии. 2001. № 8.
4. Зотов В. Программирование ПЛИС семейств CPLD фирмы Xilinx в САПР WebPACK ISE // Компоненты и технологии. 2002. № 2.
5. Зотов В. Синтез проектов, реализуемых на базе ПЛИС FPGA фирмы Xilinx, в САПР WebPACK ISE // Компоненты и технологии. 2002. № 3.
6. Зотов В. Реализация проектов на базе ПЛИС семейств FPGA фирмы Xilinx в САПР WebPACK ISE // Компоненты и технологии. 2002. № 4.
7. Кнышев Д.А., Кузелин М. О. ПЛИС фирмы Xilinx: описание структуры основных семейств. М.: Издательский дом «ДодекаXXI». 2001.
8. Кузелин М. ПЛИС фирмы Xilinx: семейство Spartan™-II // Компоненты и технологии. 2001. № 3.
9. Кузелин М. ПЛИС фирмы Xilinx: семейство Virtex™-II // Chip News / Инженерная микроэлектроника. 2002. № 2.