

IDT: Новые семейства памяти FIFO – TeraSync DDR и Multi-Queue

С появлением третьего поколения сетей, построенных на базе технологий WDM (Wavelength Division Multiplexing), открылись новые возможности для использования пропускной способности волоконно-оптических линий связи, позволяя осуществить переход от стандарта OC-192 (10 Гбит/с) к стандарту OC-768 (40 Гбит/с). Но такой переход возможен при условии модернизации технологий всех уровней: протоколов, стандартов, электронных устройств сетей. Только в этом случае могут быть эффективно использованы все преимущества новых телекоммуникационных структур.

Деятельность корпорации IDT как ведущего производителя микросхем для систем связи и телекоммуникаций, направленна на совершенствование третьего компонента в этой цепочке. В настоящее время IDT занимает лидирующие позиции в производстве микросхем памяти FIFO, предназначенных для согласования скоростей передачи данных, буферизации и работы с шинами данных различной разрядности. Группой разработчиков фирмы IDT постоянно проводятся исследования, направленные на улучшение характеристик, касающихся быстродействия, информационной емкости и функциональных возможностей памяти FIFO. Результатом этой работы стало появление в 2002 году двух новых семейств: TeraSync DDR FIFOs и Multi-Queue FIFOs.

Татьяна Мамаева,
к. т. н.

tm@efo.spb.ru

1. Синхронная односторонняя память семейства TeraSync DDR FIFOs

Как и обычные FIFO, микросхемы семейства TeraSync DDR (рис. 1) содержат массив памяти с перемещаемыми при считывании и записи указателями начала и конца свободного пространства памяти, флаги заполненности, отдельные порты для чтения (Read Port) и записи (Write Port) данных [1, 2].

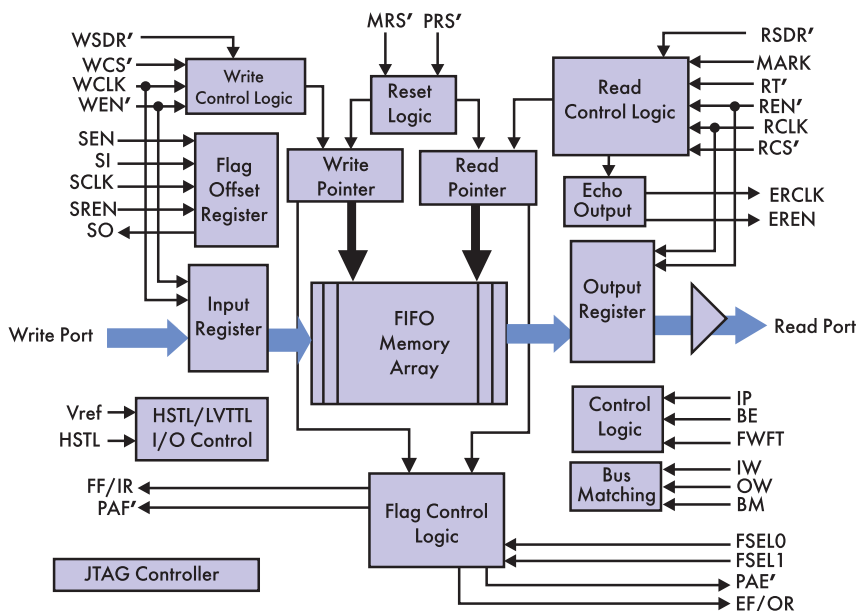


Рис. 1. Структура памяти семейства TeraSync DDR

Разрядность шины данных для каждого порта устанавливается на этапе инициализации устройства под управлением сигналов IW (Input Width) и OW (Output Width) и может принимать значения x10 бит, x20 бит или x40 бит.

Запись данных в память осуществляется под управлением сигнала разрешения записи WEN' и сигнала синхронизации WCLK (рис. 2). Подготовленные внешним устройством данные записываются в буфер FIFO с удвоенной тактовой частотой (по каждому перепаду сигнала синхронизации WCLK) в случае, если на входе WSDR' (Write Signal Data Rate) присутствует уровень логической «1». Если на входе WSDR' присутствует уровень логического «0», данные будут записываться в буфер FIFO только по положительному перепаду WCLK. Под управлением сигнала разрешения чтения REN' и сигнала синхронизации RCLK осуществляется чтение данных из выходного порта. Операция считывания данных также может выполняться с удвоенной тактовой частотой (RSDR' = «1») или в обычном режиме (RSDR' = «0»).

С целью успешной работы памяти FIFO в режимах записи и чтения данных следует помнить, что сигналы WEN' и REN' запрещается подключать к общему проводу. Во время глобального сброса Master Reset (MRS' = «0») на входах WEN' и REN' обязательно должны присутствовать сигналы высокого логического уровня. Сигналы на входах WSDR' и RSDR' также устанавливаются пользователем на этапе инициализации и могут принимать значения логического «0» или «1» в зависимости от требуемой скорости передачи данных. Во время других операций с памятью FIFO менять уровни сигналов на входах WSDR' и RSDR' не рекомендуется.

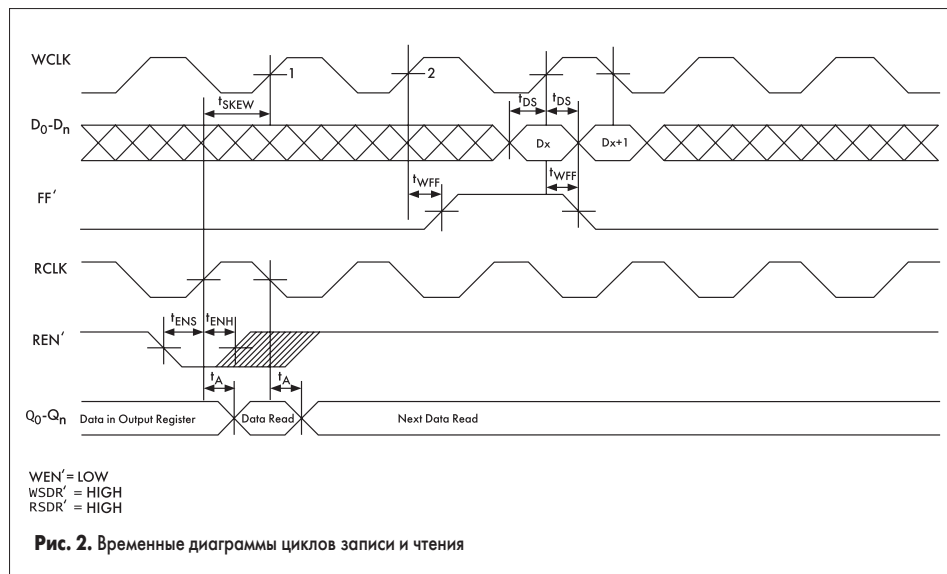


Рис. 2. Временные диаграммы циклов записи и чтения

В отличие от обычных микросхем памяти FIFO, микросхемы нового семейства TeraSync DDR обеспечивают установку интерфейсов линий ввода-вывода по выбору пользователя: LVTTTL (2,5 В) или HSTL (1,8 и 1,5 В). Выбор интерфейса необходимо производить с помощью сигнала HSTL (HSTL = «0» — интерфейс LVTTTL, HSTL = «1» — интерфейс HSTL), одновременно запрещая все обращения к порту записи или чтения сигналами WCS' или RCS' соответственно. Другой отличительной особенностью микросхем нового семейства является встроенная функция буферирования сигнала тактовой частоты, рекомендуемая к применению в условиях повышенной скорости передачи данных. Для ее активации используется сигнал разрешения EREN' (Echo Read Enable) и сигнал синхронизации ERCLK (Echo Read Clock). Новой функцией TeraSync DDR является возможность автоматического перехода в режим пониженного энергопотребления, если в течение определенного времени не выполнялись какие-либо операции над содержимым буфера FIFO. Появление активного сигнала на любом из управляющих входов автоматически переводит устройство в нормальный режим работы.

Среди специальных функций памяти FIFO микросхемы семейства TeraSync DDR обеспечивают возможность повторного считывания данных из буфера памяти с указанием начального слова (Mark&Retransmit Operation) и избирательный сброс памяти FIFO без изменения режимов работы микросхемы, режимов загрузки программируемых флагов и содержимого регистров смещения начала и конца записи (Partial Reset). Выделение адреса начального слова для повторного считывания данных производится под управлением сигнала MARK и сигнала синхронизации RCLK. Инициализация указателя конца свободного пространства памяти осуществляется под управлением сигнала RT'. Появление низкого логического уровня на этом входе инициирует повторное считывание данных, начиная с указанного слова. Избирательный сброс характеризуется тем, что под управлением сигнала PRS' = «0» сбрасываются только значения указателей начала и конца записи.

В табл. 1 приведен перечень микросхем семейства TeraSync DDR FIFOs, производимых корпорацией IDT [3].

Таблица 1

Класс ИС	Narrow-Bus	Mid-Bus	
Напряжение питания, В	+2,5	+2,5	
Рабочая тактовая частота, МГц	250	250	
Формат слова, бит	x10, x20	x40	
Емкость, слов	16K	—	72T4088
	32K	72T2098	72T4098
	64K	72T20108	72T40108
	128K	72T20118	72T40118
	256K	72T20128	—

2. Синхронная однонаправленная память семейства Multi-Queue FIFOs

В состав микросхем семейства Multi-Queue входят (рис. 3): буфер данных синхронной памяти с последовательным доступом, быстродействующая логика управления множественными очередями, включающая в себя функции приоритетизации и управления длиной очереди, один порт для чтения (Qout) и один порт для записи данных (Din) [4]. Архитектура Multi-Queue FIFOs обеспечивает возмож-

ность организации нескольких параллельных очередей FIFO (Q0..Qmax) на одном кристалле. Число очередей Qmax и длина каждой очереди в блоках устанавливается программным путем на этапе инициализации устройства. Размер блоков и их общее количество определяется такими параметрами микросхемы, как информационная емкость и формат слова. Так, например, массив памяти размером 589824 бита (IDT72V51233) может быть разбит на 64 блока размером 512x18 бит или 1024x9 бит.

Встроенная логика управления очередями обеспечивает одновременное выполнение операций записи и чтения данных как из одной и той же очереди, так и из разных очередей. Данные, поступающие на линии входного порта, записываются в буфер FIFO под управлением сигнала разрешения записи WEN' и сигнала синхронизации WCLK. Запись новой информации в буфер FIFO осуществляется по адресу, установленному на шине WRADDn и определяющему порядковый номер очереди. Контроль за потоками записываемых данных в Multi-Queue FIFO осуществляется с использованием флагов заполненности FF' («буфер очереди полон»), PAF' («буфер очереди почти полон») и флаговой шины PAF'n. Флаги FF' и PAF' индицируют состояние активной очереди, к которой в данный момент осуществляется обращение для записи данных. Флаговая шина PAF'n позволяет отслеживать статус всех очередей в составе устройства. Операция записи данных выполняется по аналогии с работой памяти FIFO в режиме IDT Standard и только в том случае, если очередь еще не заполнена (FF' = «1»). В противном случае выполнение данной операции блокируется [5].

Операция считывания данных из очереди, выбранной внешним устройством на шине RDADDn, проводится под управлением сигнала разрешения чтения REN' и сигнала синхронизации RCLK. Контроль за потоками считываемых данных осуществляется с использованием флагов OV' («готовность выходных данных»), PAE' («буфер очереди почти пуст») и флаговой шины PAE'n. Процедура

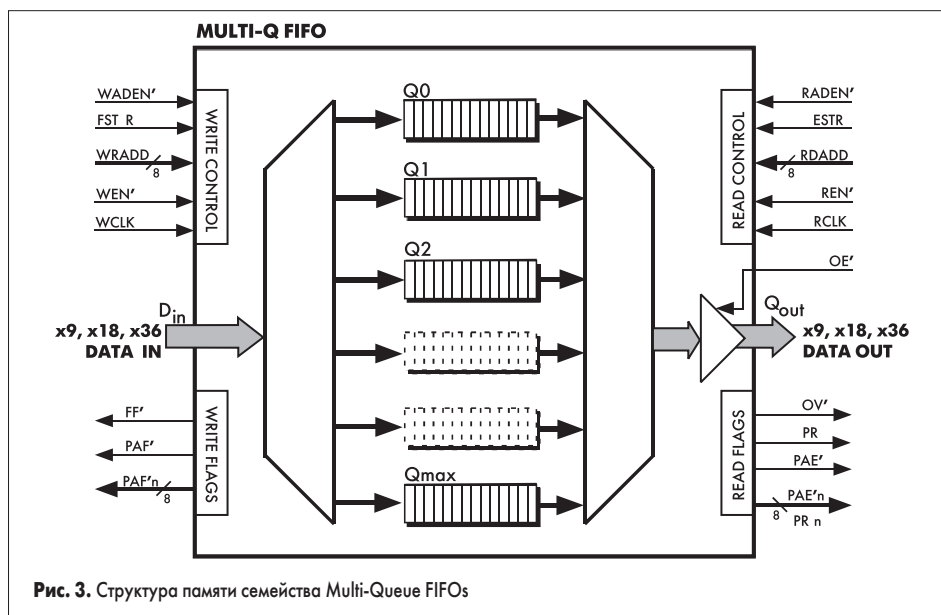


Рис. 3. Структура памяти семейства Multi-Queue FIFOs

обращения к выходному порту выполняется по аналогии с работой синхронной памяти FIFO в режиме FWFT. При смене очередей первое слово из вновь выбранной очереди автоматически появляется на линиях выходного порта. Доступ к последующим словам этой очереди осуществляется в штатном режиме под управлением сигналов REN' и RCLK. Операция считывания данных из выбранной очереди игнорируется, если очередь пуста (OV' = «1»). Если во время операций обращения к буферу FIFO будет выбрана пустая очередь, состояние выходного порта Qout не изменится.

Наряду с новыми возможностями, описанными выше, микросхемы семейства Multi-Queue обеспечивают поддержку таких специальных функций FIFO, как обмен данными между шинами с разным форматом слова (Bus Matching), гибкое управление порядком формирования пакетов выходных данных (Big-Endian/Little-Endian control), избирательный сброс с сохранением установок программируемых регистров указателей начала и конца записи (Partial Reset).

В табл. 2–3 приведен перечень микросхем семейства Multi-Queue FIFOs, производимых корпорацией IDT.

3. Область приложения

Основными областями применения TeraSync DDR FIFOs являются высокоскоростные оптические сети SONET, сети Fibre Channel, Gigabit

Таблица 2

Класс ИС		4Q	8Q	16Q	32Q
Напряжение питания, В		+3,3	+3,3	+3,3	+3,3
Время обращения, нс		6–7,5	6–7,5	6–7,5	6–7,5
Формат слова, бит		x18	x18	x18	x18
Емкость, бит	512K	72V51233	72V51333	72V51433	- 72V51543 72V51553
	1M	72V51243	72V51343	72V51443	
	2M	72V51253	72V51353	72V51453	
Формат слова, бит		x36	x36	x36	x36
Емкость, бит	512K	72V51236	72V51336	72V51436	- 72V51546 72V51556
	1M	72V51246	72V51346	72V51446	
	2M	72V51256	72V51356	72V51456	

Таблица 3

Класс ИС		4Q	8Q	16Q	32Q
Напряжение питания, В		+2,5	+2,5	+2,5	+2,5
Время обращения, нс		5–6	5–6	5–6	5–6
Формат слова, бит		x36	x36	x36	x36
Емкость, бит	512K	72T51236	72T51336	72T51436	- 72T51546 72T51556
	1M	72T51246	72T51346	72T51446	
	2M	72T51256	72T51356	72T51456	

Ethernet, графические системы и устройства промышленной автоматике. Неоспоримым преимуществом семейства TeraSync DDR перед другими семействами памяти FIFO является возможность увеличения скорости передачи данных без наращивания разрядности шины данных и повышения тактовой частоты работы устройства. К областям применения Multi-Queue FIFOs также относится оборудование для сетей передачи данных (Terabit-маршрутизаторы, многофункциональные коммутаторы и беспроводные базовые станции).

Литература

1. Мамаева Т. IDT: Память FIFO и ее применение // Компоненты и технологии. 2001. № 2.
2. IDT's TeraSync DDR FIFO Family. IDT Inc. 2002.
3. HOT SHEET. TeraSync DDR. IDT Inc. 2002.
4. IDT's Multi-Q Queuing FIFO Family. IDT Inc. 2002.
5. Data Book. IDT Inc. 1997.