

ЦСП: Цель – Создавать Потрясающее

Аббревиатура **DSP (Digital Signal Processor)**, или по-русски **ЦСП (цифровой сигнальный процессор)**, прочно утверждается в языке российских разработчиков самых разнообразных электронных устройств. С объявлением весной 2000 года новых семейств ЦСП (**TMS320C28x**, **TMS320C55x** и **TMS320C64x**) компания **Texas Instruments** ввела в обиход новую расшифровку этого сокращения: **DSP — Do Something Phenomenal**, или, в переводе на русский, **ЦСП — «Цель — создавать потрясающее»**. Несмотря на шуточный оттенок такой расшифровки, заявленные характеристики трех упомянутых семейств заставляют всерьез рассматривать новые ЦСП как инструмент для создания феноменальных конечных изделий.

Сергей Грибачев

texas@inlinergroup.ru

Рассмотрим свойства семейства **TMS320C64x**. Сразу следует отметить, что оно создавалось в рамках платформы **TMS320C6000**, ориентированной на достижение максимального быстродействия при решении задач ЦОС (цифровой обработки сигналов). Принадлежность к платформе 'C6000 означает полную программную совместимость семейства 'C64x с серийно выпускаемыми семействами

TMS320C6201/C6701/C6202/C6203 DSP Block Diagram

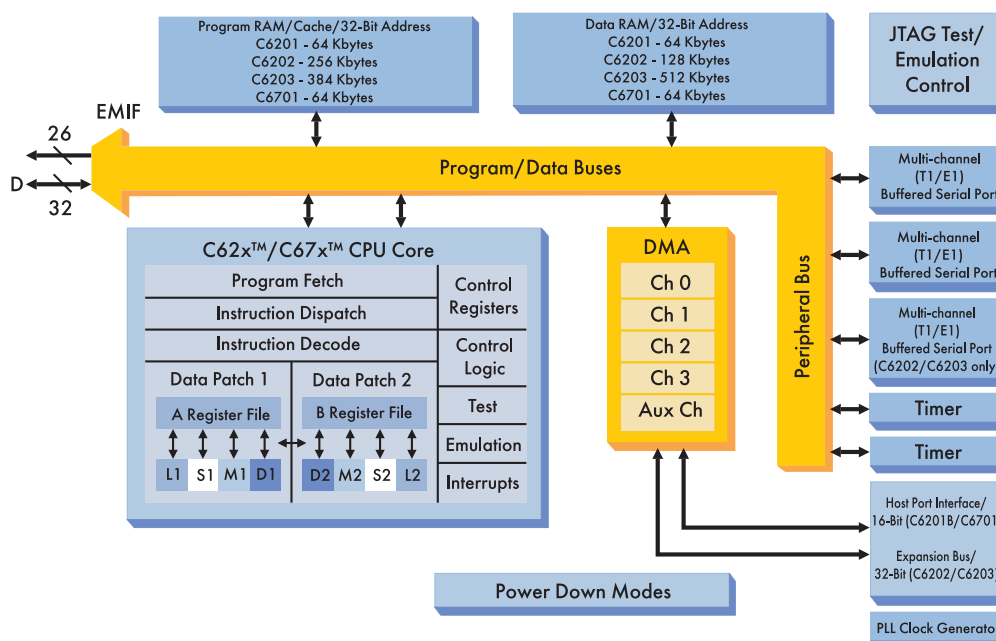


Рис. 1

'C62x и 'C67x, что дает возможность вести отладку программ для нового семейства уже сегодня, пользуясь существующими отладочными средствами. Таким образом, огромный объем программных наработок может быть перенесен на новые ЦСП с минимальными временными затратами.

В ЦСП платформы 'C6000 достижение высокого быстродействия достигается за счет использования архитектуры VLIW (Very Large Instruction Word) — так называемой «архитектуры с широким командным словом». На исполнение одновременно выдается восемь 32-разрядных команд, каждая из которых выполняется одним из восьми независимых функциональных устройств, сгруппированных в 2 блока. Процесс выполнения команд конвейеризован и распадается на этапы выборки, распаковки, декодирования и исполнения. Запатентованная TI архитектура ядра ЦПУ приведена на рис. 1 и носит название VelociTI.1TM. В состав каждого блока исполнения команд входят регистровый файл (16 32-разрядных регистров) и 4 исполнительных устройства: умножитель 16x16 (устройство M), 40-разрядное АЛУ (устройство L), 32-разрядное АЛУ с 40-разрядным сдвижателем (устройство S) и 32-разрядный адресный сумматор (устройство D). Через систему внутренних шин ЦПУ взаимодействует со встроенной памятью программ/данных и периферийными устройствами. 4-канальный контроллер прямого доступа к памяти позволяет разгрузить ЦПУ от операций ввода/вывода. Подробно данная архитектура, а также конкретные ЦСП рассмотрены в ряде статей и фирменных материалах TI [1–4]. Здесь же хотелось бы отметить, что в рамках семейства TMS320C62x была достигнута пиковая производительность 2400 MIPS (млн инструкций в секунду) при сохранении энергопотребления на самом низком для таких ЦСП уровне (1,3 Вт для TMS320C6203), что дает возможность эффективно использовать их в разнообразных встраиваемых системах. Семейство TMS320C67x характеризуется, с одной стороны, производительностью в 1 GFLOPS (один млрд операций с плавающей запятой в секунду) для ЦСП TMS320C6701, а с другой стороны — самым дешевым из действующих ЦСП TMS320C6712 производительностью 600 MFLOPS при стоимости менее \$10.

Семейство TMS320C64x будет превосходить существующие семейства 'C62x и 'C67x по всем параметрам. Усредненное быстродействие ЦПУ будет почти в 10 раз выше, чем у TMS320C6201. Для достижения таких характеристик была использована VLIW-архитектура VelociTI.2TM (рис. 2). Был удвоен объем регистровых файлов в каждом из блоков исполнения, а сами исполнительные устройства расширены и построены по схеме с блочным расщеплением. Например, если в 'C62x устройство M могло выполнять в одном такте умножение 16x16 разрядов, то в 'C64x оно может умножать 32x32 разряда и получать 64-разрядный результат, либо выполнять два умножения 16x16 и получать два 32-разрядных результата, либо — 4 умножения 8x8 с получением четырех 16-разрядных результатов.

Дополнительное повышение производительности достигается включением в систему

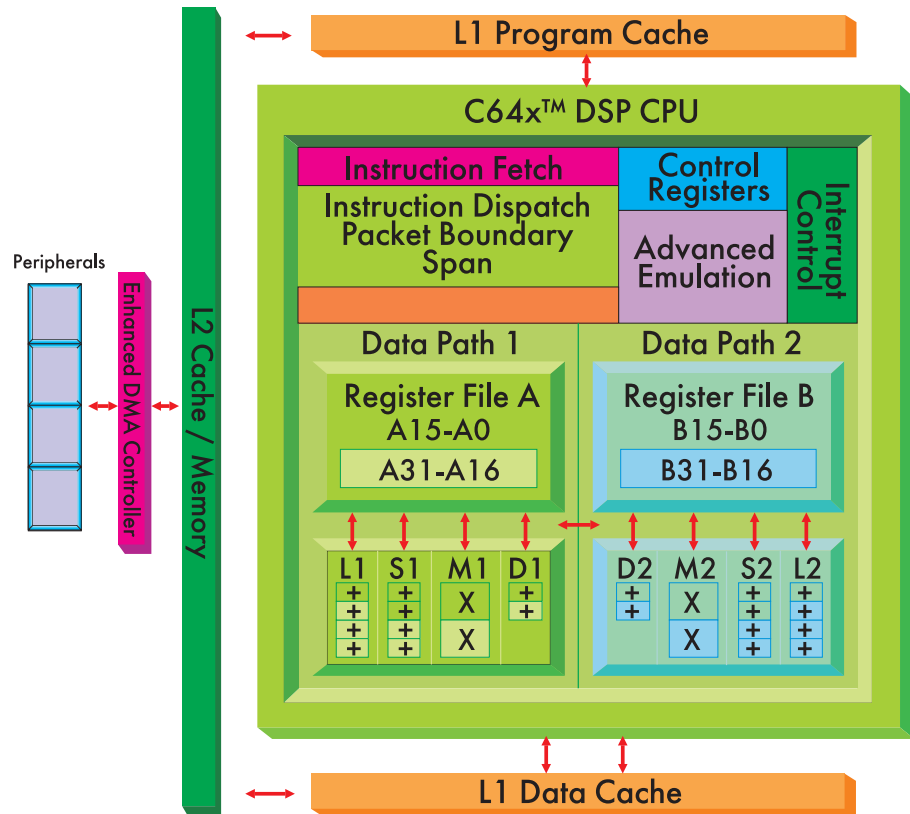


Рис. 2

специализированных команд цифровой обработки, таких как умножение полей Галуа GMPY4 (используется для поддержки алгоритма Рида–Соломона), вычисление абсолютной величины четырех 8-разрядных разности SUBABS4 (используется в алгоритмах оценки движения), команды SSHVL и SSHVR сдвига на переменное число разрядов с распространением знака (используются при реализации вокодерных алгоритмов) и многие другие. Более плотная упаковка программного кода позволяет экономить до 25 % объема ОЗУ.

Важным вкладом в повышение быстродействия нового семейства является использование суб-0,1-микронной технологии при производстве кристаллов. Кремний будет выпускаться с технологическими нормами 0,09 мкм, что позволит при тактовой частоте 1,1 ГГц иметь производительность 8800 MIPS, либо 4400 16-разрядных MMACs (млн умножений с накоплением в секунду), либо 8800 8-разрядных MMACs. Интересно, что при такой частоте удастся сохранить невысокую мощность рассеивания, в пределах 4 Вт, что выгодно отличает ЦСП семейства 'C64x от действующих процессоров других производителей.

В каких же областях планируется использовать выдающиеся характеристики нового семейства? Прежде всего, это широкополосные системы связи третьего поколения. По оцен-

кам специалистов TI один ЦСП 'C64x в состоянии поддерживать до 64 каналов передачи голоса и данных, AMR-вокодеры, видеопроцессоры в стандарте MPEG4 плюс реализовать ряд новых стандартов обработки, еще находящихся в процессе разработки. Как минимум 8 из 10 ведущих мировых производителей базовых станций третьего поколения уже выбрали семейство 'C64x в качестве базы для будущих разработок. Другой областью применения являются проводные цифровые системы передачи данных. Увеличенное в 8 раз по сравнению с 'C62x быстродействие новых ЦСП дает возможность реализовать на одном кристалле до 32 полноскоростных DSL-модемов либо несколько сотен голосовых каналов. В области обработки изображений пятикратный выигрыш производительности при построении систем визуализации в медицине и десятикратный — при построении систем машинного зрения позволяют создавать устройства с действительно потрясающими свойствами. Причем, как уже отмечалось, ввиду полной программной совместимости возможен плавный переход от серийно выпускаемых сегодня ЦСП семейств TMS320C62x и TMS320C67x к новому семейству TMS320C64x (рис. 3).

Цели создания феноменальных изделий служит также технология eXpressDSPTM, разработанная специалистами TI технология разработ-

Таблица 1

Адрес	C64x	Altivec	PentiumIII	Athlon	Alpha	SPARC 64V
Частота, МГц	1100	400	600	700	1000	1000
Мощность, Вт	<4	8	34.5	50	100	100

TMS20C6000™ DSP Platform Roadmap

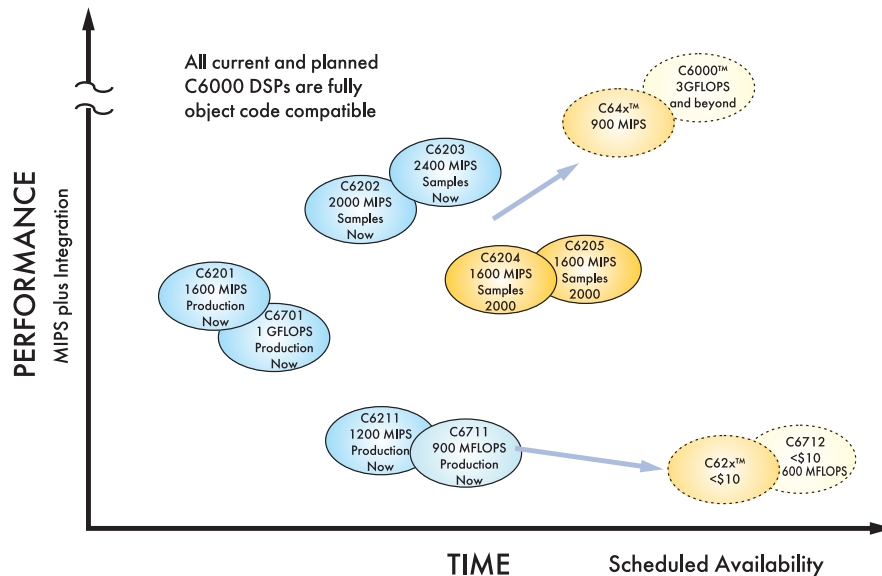


Рис. 3.

ки, отладки и оптимизации программного продукта, призванная облегчить интеграцию имеющихся программных наработок, повысить качество прикладных программ и существенно сократить время выхода на рынок. В рамках данной технологии реализованы интегрированная программная среда Code Composer Studio™, ядро операционной системы реального времени DSP-BIOS, стандарт написания программных модулей для TMS320™ и многое другое. Но это уже тема для отдельного разговора.

Литература

1. Цифровые сигнальные процессоры. Концепция трех платформ компании Texas Instruments. Грибачев С. А. Цифровая обработка сигналов», №1, 2000.
2. TMS320C6000 CPU and Instruction Set Reference Guide. SPRU189. Материалы TI.
3. TMS320C6201 Data Sheet. SPRS051. Материалы TI.
4. TMS320C6701 Data Sheets. SPRS067. Материалы TI.