

Школа схемотехнического проектирования устройств обработки сигналов

Занятие 4.

Уровни, логика и быстродействие

**Владимир Стешенко,
к. т. н.**

steshenk@sm.bmstu.ru

В предыдущем занятии [1] мы начали разговор о сопряжении интерфейсов передачи данных, горячей замене модулей, работе на объединительную плату и других смежных вопросах. В этом занятии мы продолжим разговор об интерфейсах и рассмотрим новые семейства логических микросхем, появившиеся в последние годы и до сих пор не рассмотренные ни в одном отечественном учебнике.

Как известно, значительная масса ИС выпускается по КМОП-технологии, обеспечивающей все более высокое быстродействие, меньшее энергопотребление и большую интеграцию. Время задержки распространения сигнала на вентиль у КМОП ИС стало сопоставимо с лучшими ИС ЭСЛ. С уменьшением проектных норм, естественно, снижается и напряжение питания ИС, рост быстродействия приводит к необходимости разработки «лазеек», недаром за последние несколько лет появилось несколько десятков новых протоколов передачи данных.

Одним из новых интерфейсов является интерфейс VTL (Backplane transfer logic). Фактически VTL является физической реализацией протокола Futurebus. Рассматривая в прошлом занятии проблему сопряжения с общей шиной, мы упомянули о том, что наилучшим решением для драйверов являются биполярные или БиКМОП схемы. Однако в случае, когда

Если бы ты знала *Время* так же хорошо, как я, — сказал Болванщик, — ты бы этого не сказала. *Его не потеряешь!*

Л. Кэрролл. Алиса в стране чудес.

Новые законы создаются, чтобы создать новые лазейки.

Вольная трактовка Лужковым постулата Купера

в системе используются напряжения питания 5 и 3,3 В, бывает сложно обеспечить корректное сопряжение логических уровней из-за значительного размаха напряжений, особенно при достаточно больших токах нагрузки. Шина с пониженным размахом напряжения (voltage swing) позволяет решить такие проблемы. В частности, интерфейс VTL, показанный на рис. 1, реализует шину с открытым коллектором. Поддержку этого интерфейса выполняет семейство ИС SN74FBxxx. Интерфейс VTL позволяет работать с размахом напряжения 1,1 В. Уровень логического нуля равен 1 В, логическая единица — 2,1 В. Величина нагрузочного резистора равна характеристическому сопротивлению линии, что обеспечивает корректное сопряжение. Для автоматического определения логических уровней используется дифференциальный входной каскад, опорное напряжение которого (1,55 В) равно середине размаха напряжений между высоким и низким уровнями. Основное назначение интерфейса — телекоммуникационное оборудование, где важным является возможность горячей замены модулей. К другим особенностям интерфейса следует отнести низкий уровень помех при переключении, максимальная длительность фронта — 2 нс.

К интерфейсу VTL по идеологии примыкает интерфейс GTL (Gunning Transceiver Logic). Его поддерживают ИС семейства SN74GTLxxx. Принципиальная схема интерфейса GTL приведена на рис. 2

Вследствие отсутствия диодов на открытом выходе, уровень логического нуля равен 0,4 В. Уровень логической единицы равен 1,2 В, таким образом, размах напряжения составляет всего лишь 0,8 В. Нагрузочная способность выхода составляет 40 мА, поэтому сопротивление нагрузочного резистора может быть $0,8 \text{ В} / 40 \text{ мА} = 20 \text{ Ом}$. Поскольку это сопротивление складывается из двух соединенных в параллель резисторов на плате-источнике и плате-приемнике, то максимальная рассеиваемая мощность составляет 16 мВт на выход, что позволяет интегрировать драйвер GTL в БИС. В частности, ПЛИС

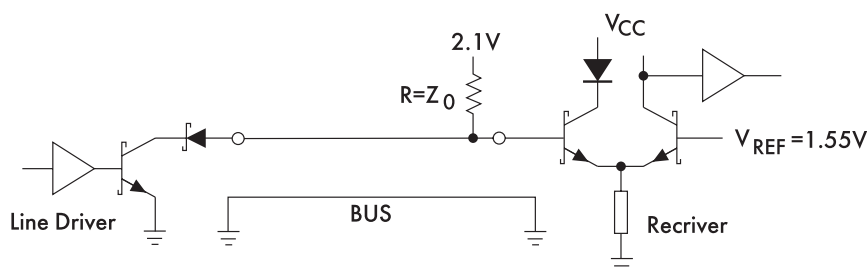


Рис. 1

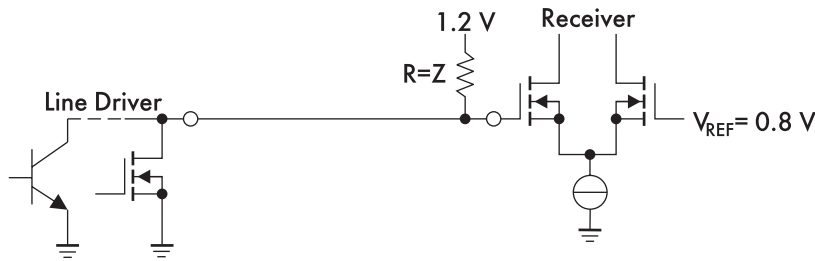


Рис. 2

современных семейств [2, 3] поддерживают интерфейс GTL без внешних дополнительных ИС.

Дальнейшим развитием GTL являются интерфейс GTL+ (Gunning Transceiver Logic Plus), поддерживаемый семейством SN74GTLРxxx. Интерфейс GTL+ имеет два принципиальных отличия: он оптимизирован под распределенную нагрузку и поддерживает горячее подключение модулей. Кроме того, для данного интерфейса характерен уровень логического нуля 0,55 В, логической единицы — 1,5 В. Зависимость нагрузочного резистора от длины проводника для интерфейса GTL+ приведена на рис. 3.

В настоящее время популярность интерфейсов GTL и GTL+ растет. Их изначальное предназначение — интерфейс для небольших плат, в частности между процессором и модулями памяти. В частности, интерфейс GTL+ используется в процессоре Intel Pentium Pro в качестве буфера адресной шины. Быстродействие этих интерфейсов порядка 80 МГц.

Во многих случаях такого быстродействия недостаточно. В частности, тактовая частота подсистем обмена между памятью и процессором в современных вычислителях достигает 200 МГц. Для работы на таких частотах используется интерфейс SSTL (stub series-terminated logic). Существуют два стандарта, определяющих разновидности интерфейса SSTL. Это стандарты SSTL_3, EIA/ JESD8-8, SSTL_2, EIA/ JESD8-8. Стандартами определяются схемотехника и номиналы нагрузочных резисторов (терминаторов). Возможны варианты с согласующими резисторами 50 или 25 Ом.

На рис. 4 приведен типичный пример буферного каскада SSTL.

Как можно заметить, выходной каскад питается от отдельного источника VDDQ, которое не должно превышать напряжения питания VDD. Это позволяет поднять напряжение VDD до 3,6 В с целью увеличения быстродействия. Нагрузочная способность — 20 мА.

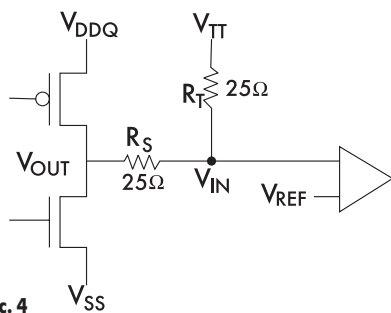


Рис. 4

Основное назначение интерфейса SSTL — работа с быстродействующими модулями памяти, в частности SDRAM. Реализация интерфейса SSTL осуществляется в данном случае с помощью ИС SN74SSTL16857.

Помимо специальных интерфейсов [4] в последние годы серьезные изменения претерпела и традиционная схемотехника цифровых

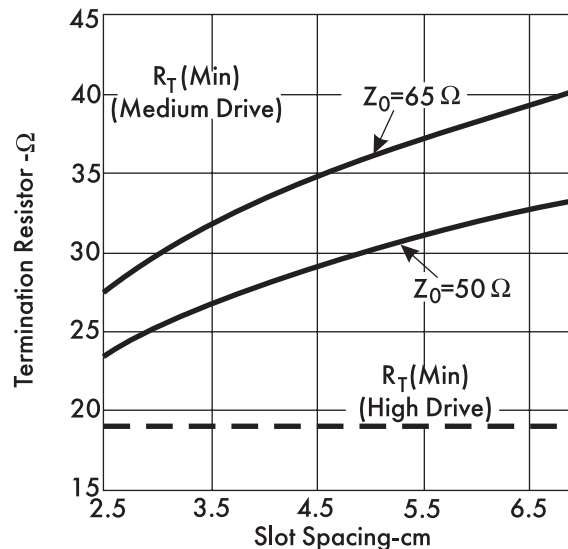


Рис. 3

устройств. Несмотря на то, что с появлением ПЛИС [2, 3] роль «россыпи» значительно понизилась, тем не менее в ряде приложений она все еще существенна. В качестве примера рассмотрим реализацию алгоритмов цифровой фильтрации [6, 7].

На рис. 6 приведены перспективы применения элементной базы различных классов для реализации алгоритмов ЦФ. Более высокая интенсивность заливки говорит о наиболее эффективном способе реализации алгоритма. Как видно из рис. 6, большинство эвристических алгоритмов можно весьма успешно реализовать на ИС малой и средней степени интеграции. В то же время отечественных изданий, освещающих современное состояние такой элементной базы, пока нет. Среди современных изданий стоит выделить очень удачную работу питерских авторов [8]. К сожалению, приходится отметить тот факт, что в большинстве вузовских курсов не рассматриваются современные семейства логических ИС. В этой части занятия мы постараемся рассмотреть несколько перспективных серий ИС.

Одним из существенных новшеств, появившихся в цифровой технике, являются ИС, вы-

полненные по комбинированной технологии, сочетающие достоинства как биполярных, так и КМОП ИС. Логические ИС, выполненные по технологии BiCMOS, обладают следующими важными особенностями:

- работа в системах со смешанным напряжением питания;
- установка по включению питания в нужное состояние — сброс или третье состояние (Power-up 3-State, Power-up Reset);
- отключение входа (Input disable);
- удержание шины (Bus Hold).

Рассмотрим реализацию этих функций. Короткие импульсные помехи, или «глитчи» (Glitches), могут появляться в цифровых схемах из-за горячей замены платы в цифровых системах, а также в процессе включения или выключения питания. Эти помехи могут привести к сбоям в работе системы. Для уменьшения этого эффекта используют перевод выходов ИС в третье состояние по вклю-

чению или выключению питания. На рис. 7 представлена схема, реализующая эту функцию.

Данная схема переводит выходы в третье состояние при достижении уровня напряжения питания 1,2 В для семейств LVT, LVT16 и ALVT и 2,1 В для семейств АВТ и MULTI-BYTE.

Удержание шины

Как известно, входы КМОП ИС не должны оставаться «висячими». Висячие или плавающие входы (Floating inputs) могут привести к возрастанию тока, протекающего через входные каскады, что приводит к возрастанию потребляемой мощности, появлению высокочастотных колебаний и выходу микросхемы из строя. Как правило, неиспользуемые входы соединяют либо с землей, либо с напряжением питания через подтягивающий резистор (pull-up resistor или pull-down resistor). Этот способ хорош почти всегда, за исключением случаев, когда из-за экономии места невозможно установить лишней компонент, кроме того, обилие подтягивающих резисторов приводит к повышению общего потребления системы.

ЦИФРОВЫЕ ФИЛЬТРЫ	Эвристические	Авторские схемные решения				
		Фильтры под унитарный код				
		Последовательностные фильтры				
	Адаптивные	РНК - алгоритмы				
		МНК - алгоритмы				
		Алгоритмы нелинейной теории устойчивости				
	Оптимальные	Нелинейные				
		Робастные				
		Линейные				
	Частотной селекции	Автоматический поиск информ. составл.				
		Многоступенчатые				
		Однополосные				
			Средние и малые ИС	Специализ. БИС	ЦПОС	ПЛИС

Рис. 5. Реализация ЦФ на современной элементной базе

Семейство АВТ16 и низковольтные BiCMOS ИС используют встроенную схему удержания шины — bus hold circuits (рис. 7, 8), которая не требует внешних резисторов и позволяет сэкономить место на плате.

Схема удержания шины хранит предыдущее состояние входа, если в момент включения он оказывается в плавающем состоянии.

Схема запрещения входа (Input Disable Circuit) используется в семействах АВТ и MULTI-BYTE для обеспечения решения проблемы плавающих входов в отличие от схемы удержания шины. В этом случае входные цепи ведут себя как выход, находящийся в третьем состоянии. Подтягивающий резистор не требуется. Данная схема реализована в буферах и приемопередатчиках с линией и отсутствует у регистров и триггеров.

Свойство сброса по включению питания (Power-up Reset) используется в регистрах и триггерах. Как известно, для предварительного сброса классических цифровых ИС, как правило, применяются интегрирующие или дифференцирующие RC цепочки, которые конечно же занимают место на плате, но и не всегда обеспечивают стабильность функционирования.

Гарантированно напряжение низкого уровня после сброса $V_{RST} = 0,55$ В.

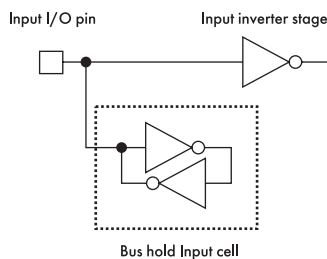


Рис. 7

Вытекающий ток I OFF при снятом напряжении питания ограничен 100 мА. Данная особенность позволяет реализовать схемы, имеющие возможность перехода в спящий режим.

Для совместимости с традиционными сериями ИС новые семейства имеют входы и выходы, поддерживающие 5-вольтовые логические уровни. В соответствующем разделе книги мы рассмотрим эту особенность несколько подробнее. Заметим, что чисто биполярные схемы не боятся повышения уровней до 5 В, для КМОП-схем используются диоды для защиты. Рисунки 3 и 4 показывают схемные решения для входных и выходных цепей современных ИС.

На рис. 9 представлены выходные каскады микросхем семейств LVT и ALVT. Диоды Шоттки защищают верхний по схеме PMOS транзистор, если выходное напряжение превышает напряжение питания больше, чем на 0,5 В. Выходной ток I^{EX} ограничен до 125 мА. В третьем состоянии обратно смещенный диод

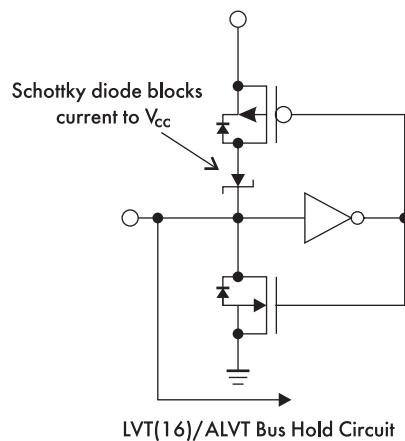


Рис. 8

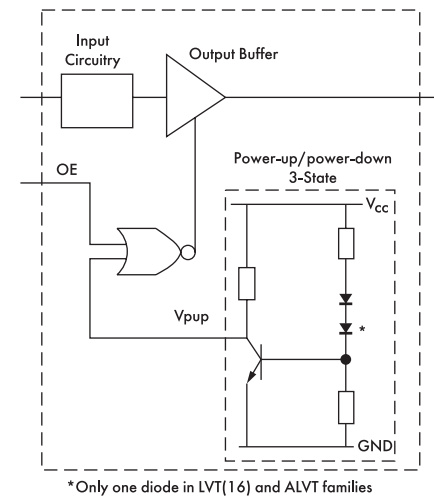
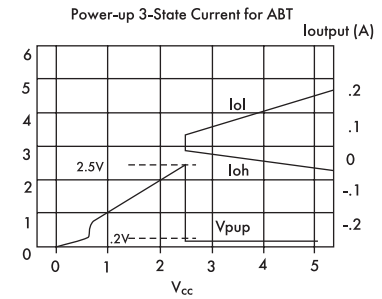


Рис. 6

Шотки предотвращает протекание тока на 3,3-вольтовое питание с выхода, на котором находится 5-вольтовый сигнал.

Однако, несмотря на развитие БиКМОП технологии, основная линия развития проходит по пути совершенствования КМОП-систем. Пожалуй, самым популярным семейством логических схем можно назвать семейства 74НС/НСТ/НСU (отечественные аналоги — серии КР1564). Название семейства происходит от high-speed CMOS (HCMOS) — быстродействующие КМОП-схемы. Отличительные особенности этих ИС — достаточно широкий диапазон напряжений питания, малая потребляемая мощность, высокая помехоустойчивость ко входным шумам, достаточное быстродействие, достаточная нагрузочная способность и работа в широком диапазоне температур —

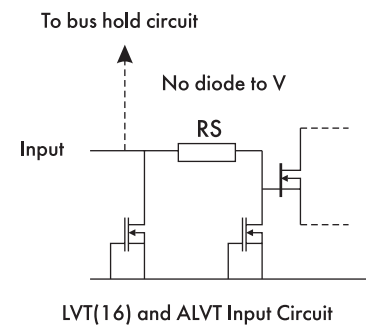


Таблица 1

Техпроцесс		HCMOS	Metal GateCMOS	Standart TTL	Low power Schottky TTL	Shottky TTL	Advanced low power Schottky TTL	Advanced Shottky TTL	Fairchild advanced low power Shottky TTL
Семейство		74HC	4000CD HE	74	74LS	74S	74ALS	74AS	74F
Потребляемая мощность, мВт									
Вентиль	Статика	0,0000025	0,001	10	2	19	1,2	8,5	5,5
	Динамика (100 кГц)	0,075	0,1	10	2	19	1,2	8,5	5,5
Счетчик	Статика	0,000005	0,001	300	100	500	60		190
	Динамика (100 кГц)	0,125	0,120	300	100	500	60		190
Задержка распространения, нс	Типовое значение	8	94/40	10	9,5	3	4	1,5	3
	Максимум	14	190/80	20	15	5	7	2,5	4
Энергия переключения, пДж	(на частоте 100 кГц)	0,52	9/4	100	19	57	4,8	13	16,5
Максимальная тактовая частота	МГц	55	4/12	25	33	100	60	160	125
Максимальный выходной ток	МА	4	0,51/0,8	16	8	20	8	20	20
Коэффициент разветвления по выходу (вентиле LS)		10	1/2	40	20	50	20	50	50

по этим параметрам микросхемы семейств 74НС/НСТ/НСU сопоставимы с современными TTL схемами семейств low-power Schottky TTL (LS TTL), при гораздо меньшем потреблении.

В отличие от последних логические ИС семейств 74НС/НСТ/НСU содержат в своем составе как основные функциональные узлы TTL серий (комбинационные и последовательностные схемы, арифметические устройства, буферы и т. п.), так и наиболее интересные устройства, характерные для семейства HE4000В: аналоговые ключи, мультивибраторы с большой постоянной времени, схемы фазовой автоподстройки частоты. В табл. 1 приведено сравнение семейства 74НС/НСТ/НСU с другими семействами логических ИС.

Время задержки распространения на вентиль сопоставимо с задержкой TTLШ семейств.

В табл. 2 приведено сравнение характеристик семейств 74НС и 74НСТ с микросхемами

LSTTL. Как можно видеть, в современных разработках микросхемы семейств 74НС и 74НСТ являются реальной альтернативой для семейств, выполненных по LSTTL технологии.

В отличие от первых КМОП ИС серий CD4000, 4000А, 4000Е, выполненных по 6-мкм технологии, микросхемы серий 74НС имеют технологические нормы 3 мкм. Микросхемы 74НС имеют поликремниевый затвор, расположенный над тонкой пленкой изолятора на основе оксида. Исток и сток выполняются в процессе диффузии с использованием ионной имплантации, причем поликремниевый затвор используется как маска в процессе имплантации. Значительное уменьшение паразитных емкостей затвор—исток и затвор—сток достигнуто благодаря уменьшению размеров элементов топологии кристалла.

Быстродействие ИС серии 74НС зависит от многих факторов. Не рекомендуется режим работы на емкостную нагрузку более 50 пФ. В этом случае возможно снижение быстродействия.

Как известно, динамика и быстродействие КМОП ИС определяется стоковой характеристикой транзистора. Поэтому при работе при пониженных напряжениях питания наблюдается увеличение времени задержки распространения сигнала на вентиль. На рис. 10 приведена зависимость средней задержки распространения сигнала от напряжения питания.

Температурная зависимость задержки распространения определяется только подвижностью носителей, в отличие от TTL схем, для которых от температуры зависят коэффициенты передачи тока транзисторов, прямое падение напряжения и внутренние сопротивления.

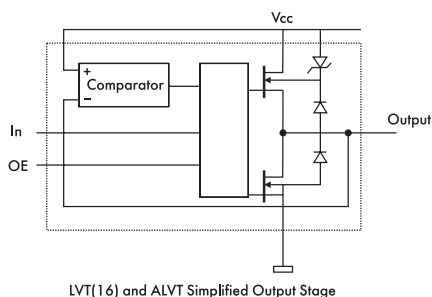


Рис. 9

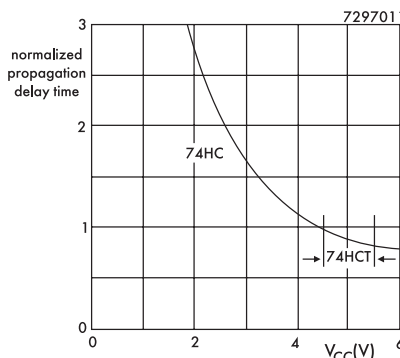


Рис. 10. Зависимость средней задержки распространения сигнала от напряжения питания

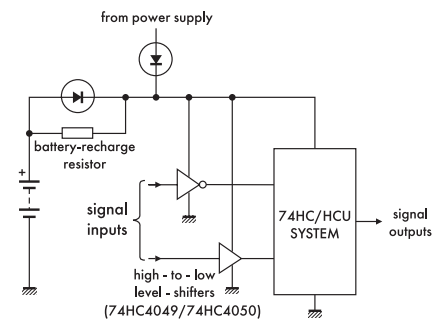


Рис. 11

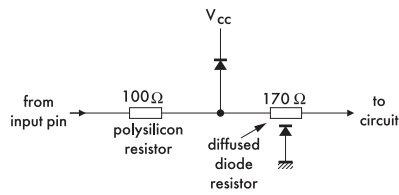


Рис. 12

В общем случае задержка КМОП ИС увеличивается на 0,3 % на каждый °С при температуре 25 °С. При температуре от 25 до 125 °С справедлива зависимость:

$$tP = tp'(1,003)^{T_{amb} - 25},$$

где

tp' — задержка распространения при 25 °С,
 T_{amb} — температура перехода °С.

При низких температурах (от -40 до +25 °С)

$$tP = tp'(0,997)^{25 - T_{amb}}.$$

ИС семейства 74НС работают при напряжении питания от 2 до 6 В. Такой диапазон напряжений питания позволяет применять серию 74НС в приложениях, сопрягающих 5- и 3-вольтовые системы. Следует, однако, помнить, что когда ИС 74 НС применяются в линейном режиме (например, при построении генераторов, одновибраторов и т. п. следует использовать не менее чем 3-вольтовое питание для предотвращения сваливания в режим насыщения.

Микросхемы 74НСТ совместимы по выводам с LSTTL схемами, однако они помимо пониженного потребления имеют и более широкий диапазон напряжений питания ($\pm 10\%$). Следует помнить, что для этих ИС максимальный ток между выходом и землей или питанием не более 50 мА, для микросхем шинных формирователей и некоторых регистров — до 70 мА. Максимально допустимое напряжение питания не выше 7 В.

Благодаря возможности работы при пониженном напряжении питания достаточно просто реализуется резервное питание таких систем от литиевых батарей. На рис. 11 приведена схема включения батареи в систему с ИС 74 НС.

Минимальное напряжение батареи 2 В плюс одно напряжение на прямо смещенном диоде. Микросхемы сдвига уровня 74НС4049, 4050 предназначены для предотвращения сквозных токов через входные каскады микросхем

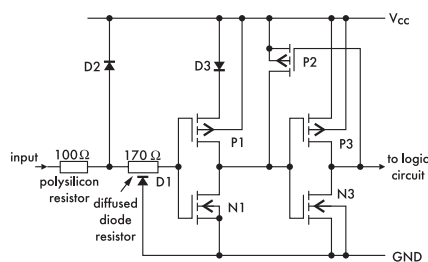


Рис. 15. Входные каскады 74НСТ

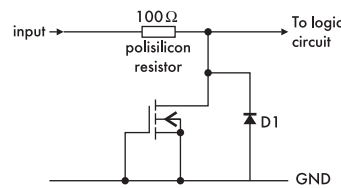


Рис. 13

в случае, если напряжения входных уровней сигналов превышают напряжение питания от батареи.

Защита входных и выходных каскадов реализована с использованием нескольких схемных решений.

Как известно, КМОП-схемы из-за высокого входного сопротивления чувствительны к электростатическому напряжению. Для предотвращения статического пробоя в состав элемента входят ограничительные резисторы, как показано на рис. 12

В качестве элементов защиты использованы полисиликоновый резистор 100 Ом и диодные шунты, обеспечивающие защиту от входных токов. В некоторых схемах, таких как автогенераторы, диоды проводят ток в нормальном режиме работы, и в этом случае необходимо использовать внешние токоограничивающие резисторы. Максимальный положительный входной ток составляет 20 мА на вход. Для устройств со стандартной нагрузочной способностью общий входной ток на устройство не должен превышать 50 мА, для шинных формирователей — 70 мА.

В семействе имеются два достаточно интересных прибора — сдвигателей логических уровней (High-to-low level shifters) 74НС4049 и 74НС4050, которые имеют только защиту от электростатического разряда.

Схема входных каскадов этих ИС приведена на рис. 13.

Такое построение схемы позволяет работать с источниками логических сигналов с уровнями выше напряжения питания.

Схема входных каскадов приведена на рис. 14 и 15.

Как можно заметить, схемотехника каскадов имеет сходство, а отличие заключается в том, что у 74НСТ введены дополнительные элементы сдвига уровня для совместимости с TTL-схемами.

Следует обратить внимание на привязку уровней входов. Как известно, для предотвращения перехода работы входных каскадов

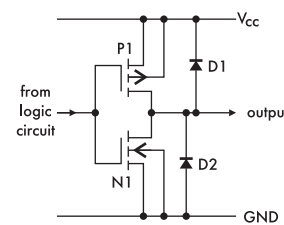


Рис. 16. Выходные каскады ИС 74НС

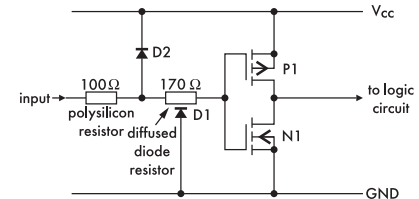


Рис. 14. Входные каскады 74НС

в линейный режим неиспользуемые входы ТТЛШ ИС подтягивают к источнику питания через резистор сопротивлением 1–2 кОм. Их входы нельзя подключать к земле или питанию напрямую.

Для микросхем серий 74НС и 74НСТ возможно прямое подключение к источнику питания или к земле либо через резистор сопротивлением от 1 кОм до 1 МОм.

Следует помнить, что двунаправленные выходы нельзя подключать к земле или питанию напрямую, только если они используются как входы, их можно подключать к земле через резистор сопротивлением 10 кОм.

На рис. 16 приведена типовая схема выходного каскада ИС серии 74НС.

Защитные диоды ограничивают выходное напряжение в пределах $-0,5 V < VO < VCC + 0,5 V$.

На рис. 17. приведена схема выходного каскада, реализующего третье состояние.

Транзисторы P3 и N3 работают как сдвигатели уровня, управляемые сигналом EO, переводя выходные транзисторы p5 и N5 в закрытое состояние.

Третий тип выходных каскадов — выход с открытым стоком (Open-drain). Данный тип выходного каскада является эквивалентом открытого коллектора для TTL-схем.

На рис. 18 приведена схема каскада с открытым стоком.

Безусловно, следует помнить о необходимости включения блокирующих емкостей по питанию. В руководящих документах фирм-производителей рекомендуют использовать керамическую емкость 22 нФ на каждые два — пять корпусов ИС 74НС плюс 1-мкФ танталовую электролитическую емкость на 10 корпусов.

В следующем занятии мы продолжим разговор о перспективных сериях логических ИС.

Литература

1. Штенко В. Б. Школа схемотехнического проектирования устройств обработки сиг-

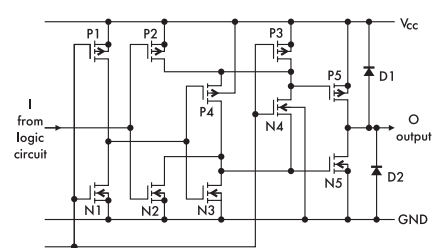


Рис. 17

Таблица 2

Параметр	74НСХХХ 74НСТХХХ			74 LSХХХ	
Максимальная рассеиваемая мощность в статическом режиме во всем диапазоне рабочих температур при максимальном напряжении питания, мВт					
Для вентиля	0,027			6	
Для триггера	0,11			22	
Для четырехразрядного счетчика	0,44			175	
Для буфера линии	0,055			60	
Максимальная потребляемая мощность в динамическом режиме (CL = 50 пФ) мВт					
На частоте 1 МГц	0,1	1	10	0,1	10
Для вентиля	0,25	2,25	22	6	22
Для триггера	0,35	2,5	24	22	27
Для четырехразрядного счетчика	0,70	3	27	175	200
Для буфера линии	0,30	2,5	24	60	90
Напряжение питания, В	2–6 (НС) 4,5–5,5 (НСТ)			4,75–5,25	
Диапазон рабочих температур, °С	-40 ... +85 (НС) -40 ... +125 (НСТ)			0 ... +70	
Помехоустойчивость (V_{NMH}/V_{NML} В; при токе нагрузки для КМОП ИС $I_{ONCMOS} = 2$ мА; для ТТЛ ИС $I_{OLSTTL} = 4$ мА)	1,4/1,4 (НС) 2,9/0,7 (НСТ)			0,7/0,4	
Стабильность входного напряжения переключения, мВ	±60			±200	
Макс. выходной ток					
Вентиль	-8			-0,4	
Шинный формирователь	-12			-2,6	
Задержка распространения CL = 5 пФ, нс					
Для вентиля t_{PHL}/t_{PLH}	8/8			8/11	
Для триггера t_{PHL}/t_{PLH}	14/14			15/22	
Макс. тактовая частота триггера (типичное значение)	50			33	
Макс. входной ток, мкА					
I_{IL}	-1			-400 ... -800	
I_{IH}	1			40	
Ток утечки в третьем состоянии, мкА	5			20	
Надежность (процент отказов на 1000 часов наработки)	0,0005			0,008	

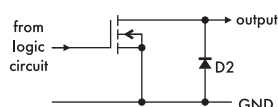


Рис. 18. Открытый выход

- налов. // Компоненты и технологии, № 3–5, 2000.
- Стещенко. В. Школа разработки аппаратуры цифровой обработки сигналов на ПЛИС // Chip News, 1999, № 8–10, 2000, № 1, 3–5.
- Стещенко. В. ПЛИС фирмы ALTERA: проектирование устройств обработки сигналов. М.: Додека, 2000.
- Alicke F., Bartholdy F., Blozis S., Dehmel F., Forstner P., Holland N., Huchzermier J. Comparing Bus Solutions, Application Report, Texas Instruments, SLLA067, March 2000.
- Стещенко. В. ACCEL EDA: технология проектирования печатных плат. М.: Нолидж, 2000. 512 с., ил.
- Губанов Д. А., Стещенко В. Б., Храпов В. Ю., Шипулин С. Н. Перспективы реализации алгоритмов цифровой фильтрации на основе ПЛИС фирмы ALTERA // Chip News, № 9–10, 1997. С. 26–33.
- Губанов Д. А., Стещенко В. Б. Методология реализации алгоритмов цифровой фильтрации на основе программируемых логических интегральных схем // Сборник докладов 1-й Международной конференции «Цифровая обработка сигналов и ее применения» 30.06–3.07.98, М.: МЦНТИ, том 4. С. 9–19.
- Пухальский Г. И., Новосельцева Т. Я. Цифровые устройства: учебное пособие для вузов. СПб.: Политехника, 1996. 885 с., ил.