

SHARC —

семейство программно- и аппаратно-совместимых 32-разрядных процессоров обработки сигналов

32-разрядные процессоры семейства ADSP-2106x (SHARC — Super Harvard ARchitecture Computer) были представлены широкой публике в 1994 году, практически одновременно с описанными выше 16-разрядными процессорами семейства ADSP-218x. Именно в это время достижения технологии позволили реализовать в кремнии новую высокопроизводительную архитектуру, гармонично сочетающую в себе высокую скорость вычислений, большой объем внутренней памяти, богатые возможности обмена информацией с внешним миром, невысокое энергопотребление и удобство программирования. Скептики утверждали, что представленная на рынок архитектура будет неработоспособной из-за огромного количества транзисторов на кристалле (более 30 миллионов), которые будут естественным образом выходить из строя, однако практика показала иное. На сегодняшний день ANALOG DEVICES серийно выпускает более 50 модификаций этих процессоров, что позволило фирме по праву занять лидирующее положение на мировом рынке 32-разрядных цифровых процессоров для обработки сигналов.

Алексей Соловьев

solo@argussoft.ru

Остановимся более подробно на архитектуре, хотя и она была предметом многих публикаций [1, 4, 5]. В отличие от ряда других существующих на мировом рынке 32-разрядных процессоров обработки сигналов, SHARC-архитектура практически не имеет «узких мест», ограничивающих ее производительность. Все процессоры этого семейства состоят из пяти основных частей — высокопроизводительного ядра, двупортового статического ОЗУ большого объема, мощного процессора ввода/вывода и порта связи с внешним миром, объединенных внутренними разделенными шинами команд и данных:

Ядро имеет в своем составе:

— вычислительный блок, состоящий из трех независимых параллельно работающих вычислительных устройств, осуществляющих выполнение арифметических и логических операций над данными, хранящимися в специальном регистровом файле (организованном как 2 комплекта из 16-ти одинаковых 40-разрядных регистров), включая двойные операции умножения с накоплением, выполняемые за один машинный цикл, операции манипуляции битами, сдвига и т. д. Наличие регистрового файла с двумя равноправными переключаемыми комплектами регистров позволяет, с одной стороны, обеспечить быструю реакцию на прерывания, что необходимо в системах реального времени, а с другой стороны — реализовать эффективные компиляторы языков программирования высокого

уровня, что существенно упрощает процесс программирования процессоров этого семейства;

— два независимых генератора адреса данных, которые так же, как и в 16-разрядных процессорах, обеспечивают вычислительному блоку удобную работу и гибкие режимы адресации памяти, предоставляют одновременный доступ к двум указанным массивам блока внутренней памяти, имеют богатые возможности организации в памяти кольцевых буферов;

— устройство управления, позволяющее вместе со встроенным кэшем команд глубиной 32x48 бит, осуществлять выборку и исполнение практически всех команд (включая многофункциональные) за один машинный цикл, быструю реакцию на прерывания и отработку передачи управления в циклах и подпрограммах без потерь машинного цикла.

Двупортовое ОЗУ состоит из двух блоков памяти, каждый из которых можно использовать как для хранения 48-разрядных команд, так и данных, допускающих организацию в виде 8-, 16- и 32-разрядных слов. Несомненным преимуществом архитектуры внутреннего ОЗУ является то, что доступ к информации, хранящейся в нем, может быть одновременно и с одинаковым успехом осуществлен как со стороны ядра процессора, так и из любого внешнего устройства (подключенного непосредственно к внешней шине процессора, либо к последовательному порту, либо к одному из линк-портов, либо к другому процессору).

Процессор ввода/вывода состоит из :

- контроллера прямого доступа к памяти, оперативно управляющего работой 10 каналов прямого доступа, что позволяет эффективно организовывать работу систем реального времени, не прерывающих вычисления при обмене информацией;
- двух полностью дуплексных программируемых синхронных последовательных портов, поддерживающих многоканальный режим с разделением времени;
- шести скоростных 4-разрядных линк-портов, предназначенных в основном для оперативного обмена информацией между процессорами в мультипроцессорных системах.

Порт связи с внешним миром состоит из:

- мультиплексоров адреса/данных внутренних шин, выводящих «на свет» внутренние шины процессора и флаги ввода/вывода с поразрядным управлением;
- хост-порта, позволяющего осуществить организацию многопроцессорной системы с архитектурой «ведущий-ведомый»;
- мультипроцессорного интерфейса, позволяющего без дополнительных аппаратных затрат реализовать одновременную работу до шести процессоров семейства на одной шине. При этом все процессоры объединяются в единый массив памяти со сквозной адресацией.

Помимо вышеописанного в состав каждого процессора входит стандартный JTAG-порт, с помощью которого осуществляется отладка реальных систем в режиме внутрисхемной эмуляции.

В настоящий момент в состав семейства входят 4 модели процессоров, каждая из которых имеет несколько модификаций, отличающихся между собой напряжением питания, типом корпуса, максимальным быстродействием и рабочим диапазоном температур. Сводная таблица их характеристик приведена ниже см таблицу. При этом процессоры моделей ADSP-21060 и ADSP-21062 являются полностью аппаратно совместимыми между со-

бой и отличаются друг от друга только объемом памяти.

Процессоры ADSP-21061, сохраняя аппаратную совместимость с процессорами ADSP-21060/62, имеют меньший объем памяти и не имеют линк-портов.

Процессоры модели ADSP-21065L стоят несколько особняком, поскольку имеют только программную совместимость с другими процессорами семейства, наименьший объем памяти с некоторыми ограничениями гибкости организации. Однако эти ограничения с лихвой компенсируются самой высокой скоростью работы, наличием выхода ШИМ-модулятора, дополнительными аппаратными возможностями последовательных портов и очень привлекательной ценой — всего 10 долларов (при поставках в партии от 100 тыс. шт без учета стоимости доставки, таможенных пошлин и НДС).

Описанная выше архитектура получила название SISD SHARC — Single Instruction, Single Data. Иными словами, в рамках одной команды может быть обработан только один комплект данных — до трех операций с плавающей точкой. Однако даже с появлением новых технологий и переходом на изготовление кристаллов с меньшей геометрией, SISD-архитектура не позволяет существенно увеличить производительность вычислений, ограничиваясь величиной около 200 MFLOPS (миллионов операций с плавающей точкой в секунду). Поэтому в 1999 году ANALOG DEVICES представила 32-разрядные процессоры новых поколений.

32-разрядные SHARC-процессоры обработки сигналов новых поколений

ADSP-2116x — SIMD SHARC (Single Instruction, Multiple Data) — процессор производительностью 600–1200 MFLOPS. Такой рост производительности стал возможен как за счет применения новой технологии с меньшей геометрией кристаллов, так и за счет дополнения вычислительного блока еще тремя вычислителями и двумя наборами регистров. Это позволило процессору выполнять до шести операций с плавающей точкой в рамках машинного цикла. Процессоры строятся по но-

вейшей технологии с питанием ядра напряжением 2,5 В. Первый процессор данного семейства, ADSP-21160M, должен выйти в серийное производство в 2000 году.

ADSP-TS-001 (TigerSHARC) — принципиально новое поколение процессоров обработки сигналов, позволяющее эффективно работать как с 8-ми, 16-ти и 32-разрядными данными в целочисленном формате, так и с 32-разрядными данными в формате с плавающей точкой. При этом максимальная производительность вычислений будет варьироваться в пределах от 1200 MFLOPS для 32-разрядных данных в «плавающем» формате (формате с плавающей точкой) до 8 миллиардов операций в секунду для 8-разрядных данных в целочисленном формате. Первые образцы этих процессоров ожидаются во второй половине 2000 года.

ЛИТЕРАТУРА

1. DSP Designer's Guide, CD ROM, ANALOG DEVICES, 1999.
2. ADSP-2100 Family User's Manual. 3-rd Edition. ANALOG DEVICES, 1995.
3. Руководство Пользователя по сигнальным микропроцессорам семейства ADSP-2100, СПбГЭТУ, С.Петербург, 1997.
4. SHARC Family User's Manual, 2-nd Edition. ANALOG DEVICES, 1997.
5. А.Перегуд, А.Соловьев, С.Шулика «Архитектура процессоров семейства ADSP-2106x», «Электронные Компоненты», № 5, 1997.

Таблица. Общие характеристики серийно выпускаемых (в 2000 году) цифровых процессоров обработки сигналов семейства SHARC (ADSP-2106x)

Название	Объем ОЗУ (кбит)	Производительность (MFLOPS)	Питание В	Тип корпуса
ADSP-21060	4096	100, 120	5	240 MQFP
ADSP-21060	4096	120	5	225 PBGA
ADSP-21060L	4096	100, 120	3,3	240 MQFP
ADSP-21060L	4096	120	3,3	225 PBGA
ADSP-21061	1024	100, 120, 150	5	240 MQFP
ADSP-21061L	1024	120, 133	3,3	225 PBGA
ADSP-21062	2048	100, 120	5	240 MQFP
ADSP-21062	2048	120	5	225 PBGA
ADSP-21062L	2048	100, 120	3,3	240 MQFP
ADSP-21062L	2048	120	3,3	225 PBGA
ADSP-21065L	544	180, 198	3,3	208 MQFP
ADSP-21065L	544	198	3,3	196 miniBGA