

Программируемые аналоговые интегральные схемы.

Жизнь продолжается?

Место и значение ПЛИС при проектировании цифровых схем не нуждается в дополнительных комментариях. Поэтому вполне понятны устремления полупроводниковых компаний выпустить подобный по назначению и популярности компонент и для аналоговой схемотехники. До сих пор неоднократно предпринимавшиеся шаги в создании программируемых аналоговых интегральных схем (ПАИС) не дали ощутимого результата. Как уже сообщал «Компоненты и технологии» в № 1, весной 1999 года выпуск такого рода схем семейства FPAА (Field Programmable Analog Array) прекратила Motorola. Но, наверное, не зря говорят, что отрицательный результат — тоже результат. И вот в конце прошлого года о своих, прямо противоположных MOTOROL'овским, планах в этом направлении объявила другая авторитетная фирма — Lattice Semiconductor (w ww.latticesemi.com). Кстати, именно она начала продвигать ПЛИС с программированием в системе (без извлечения какого-либо компонента из печатной платы) и впервые употребила соответствующую аббревиатуру ISP.

Александр Курбатов

alex_kurbatov@hotmail.com

Теперь Lattice предлагает ПАИС с этой возможностью — семейство ispPAC (In-System Programmable Analog Circuit). В его состав входят пока только две микросхемы — ispPAC10 (рис. 1) и ispPAC20 (рис. 2). Планируется и расширение семейства.

Заложенная в эту серию архитектура основывается в настоящий момент на следующих базовых функциональных ячейках: инструментальный усилитель (IA), выходной усилитель (OA), реализованных по схеме сумматора/интегратора, 2,5-вольтовый источник опорного напряжения (Reference, ИОН), 8-разрядный ЦАП с выходом по напряжению, и сдвоенный компаратор (CP). Аналоговые входы и выходы ячеек (кроме ИОН) для повышения динамического диапазона обрабатываемых сигналов выполнены по дифференциальной схеме. Два IA и один OA образуют макроячейку, называемую PAC-блоком, в которой выходы IA соединены с суммирующими входами OA. ispPAC10 имеет четыре такие макроячейки, а ispPAC20 — две. В состав ispPAC20 также входят ячейки ЦАП и компараторов. В макроячейке программируются коэффициент усиления IA в диапазоне от -10 до +10 с шагом 1, величина емкости конденсатора обратной связи в OA (128 возможных значений) и включение/выключение сопротивления обратной связи в OA.

Средства внутренней разводки (Analog Routing Pool на рис. 1 и 2) позволяют выполнить соединения между входными контактами микросхемы, входами и выходами макроячеек, выходом ЦАП и входами компараторов (возможные комбинации соединений для ispPAC10 видны из рис. 3). Объединение нескольких макроячеек позволяет строить схемы пе-

рестраиваемых активных фильтров, основанные на использовании звена интегратора, на диапазон частот от 10 до 100 кГц.

Для повышения точности по постоянному току предусмотрен режим автокалибровки, который выполняется всегда при включении питания, а также при подаче фронта импульса на специальный циф-

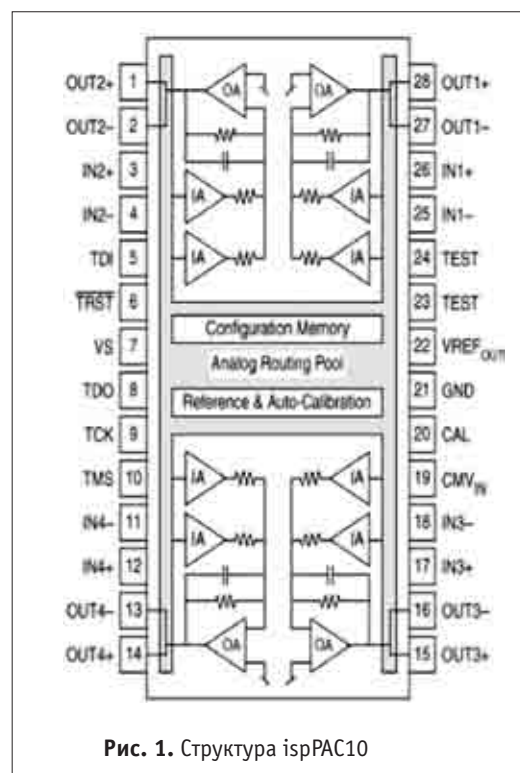


Рис. 1. Структура ispPAC10

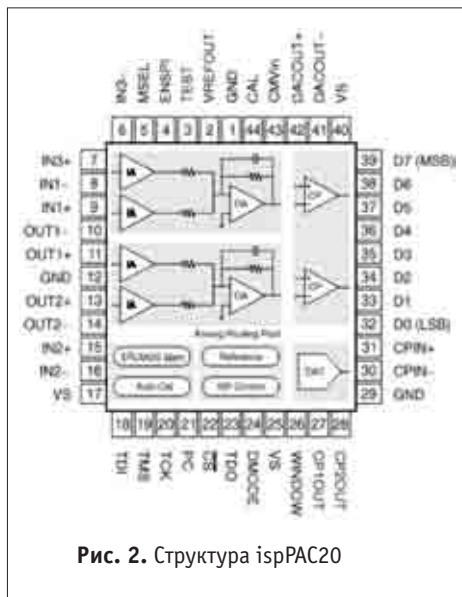


Рис. 2. Структура ispPAC20

ровой вход CAL микросхемы. В процессе автокалибровки минимизируется напряжение смещения выхода макроячейки с запрограммированными конкретными коэффициентами усиления в ней.

8-разрядный ЦАП допускает параллельную или последовательную загрузку. Формируемое им после подачи питания выходное напряжение задается при программировании микросхемы. Для компараторов допускается программирование включения/выключения их гистерезиса.

Микросхемы работают с одним напряжением питания +5 В, и это требует смещения входных сигналов. Рабочая точка в микросхеме сдвигается на 2,5 В, вырабатываемые ячейкой ИОН. Есть также возможность перепрограммирования смещения внутренней рабочей точки конкретного PAC-блока на величину напряжения, поданного на специальный аналоговый вход CMVIN.

Как представляется, одной из основных причин небольшой популярности предыдущих схем ПАИС стали их значительно более низкие точностные параметры по сравнению со схемами на отдельных компонентах. Главной же тенденцией развития и совершенствования аналоговых микросхем состоит в неуклонном улучшении параметров, определяющих погрешности обработки сигналов. А как же обстоит дело с точностью у этих новых ПАИС семейства ispPAC?

Lattice объявляет об их пригодности для 12-разрядных систем сбора и обработки данных. С этим утверждением, если оно относится не только к соответствующей разрешающей способности, можно согласиться только со значительными оговорками.

1. В части точности работы на постоянном токе

Типовое значение приведенного ко входу температурного дрейфа дифференциального выходного напряжения смещения макроячейки согласно спецификации равно 50 мкВ/°С (второй вход макроячейки не используется). Диапазон изменения выходного напряжения на отдельном выходе микросхемы составляет 1...4 В при нагрузке 300 Ом между дифферен-

циальными выходами, то есть размах напряжения между ними равен 6 В. В случае использования АЦП с дифференциальным выходом и общим с ispPAC питанием +5 В возможно достижение полного использования диапазона входных сигналов АЦП до 5 В. Это даст значение единицы младшего разряда (EMР) в 1,25 мВ. Отсюда видно, что существуют значительные ограничения сверху на коэффициент усиления в макроячейке с учетом диапазона рабочих температур. Эксплуатационный диапазон температур микросхем равен -40...+85 °С.

Периодическое проведение автокалибровки, которая длится 100 мс, может улучшить ситуацию, если алгоритм работы конкретного устройства допускает такие временные паузы. Автокалибровка гарантирует дифференциальное напряжение смещения выхода макроячейки не более 1 мВ согласно спецификации. Надо думать, что имеется в виду, как обычно, ±1 мВ. Это означает, что периодическое проведение автокалибровки может привести к колебаниям младшего разряда АЦП. Схема же, в которой последовательно соединены макроячейки с усилением в последней больше единицы, определенно не соответствует точности 12-разрядного АЦП по постоянному току.

2. В части точности работы на переменном токе

Типовая спектральная плотность приведенного ко входу напряжения всех собственных шумов макроячейки приводится как 38 нВ/ЦГц на 10 кГц и 53 нВ/ЦГц на 1 кГц при коэффициенте усиления 1А, равном 10. Вообще с шумовыми характеристиками полной ясности нет. Наверное, это связано с большой свежестью изделий.

Типовое значение коэффициента гармоник для дифференциального выхода макроячейки при единичном усилении равно -88 дБ (максимально -74 дБ) на 10 кГц и -67 дБ (максимально -62 дБ) на 100 кГц. Для усиления 10 типовые значения соответственно -72 дБ и -61 дБ. Последние данные определенно не соответствуют параметрам современных 12-разрядных АЦП. Обработка сигналов двумя и более макроячейками еще больше ухудшит ситуацию.

3. Максимальная погрешность установки коэффициента усиления макроячейки составляет 4 %, в то время как для 12-разрядных АЦП обычно значение мультипликативной ошибки (Full-scale error) существенно меньше

Другие важные параметры схем ispPAC:

- Типовой входной ток макроячейки — 3 пА.
- Выходное напряжение ИОН имеет разброс не более ±2% и типовой дрейф 50 ppm/°С.
- Погрешность установки частоты полюса в схеме активного фильтра — не более 5 %.
- Время установления ЦАП (до 0.1 %) — не более 6 мкс и дифференциальная нелинейность ЦАП — не более ±1 EMР.

- Типовое время переключения компаратора при напряжении скачка 10 мВ — 750 нс.
- Число циклов стирания/перепрограммирования — не менее 10 000.
- Максимальный ток потребления — 23 мА для ispPAC10 и 21 мА для ispPAC20.

Конфигурирование микросхемы осуществляется через JTAG-интерфейс с помощью загрузочного кабеля от параллельного порта РС или имеющегося в системе микроконтроллера.

Проектирование устройств серии ispPAC поддерживается САПРом PAC-Designer. Этот пакет обеспечивает в графическом виде редактирование схемы путем проведения конкретных внутренних межсоединений и задания величин программируемых параметров (рис. 3), ее моделирование (к сожалению, пока только в частотной области), создание конфигурационного файла и его загрузка.

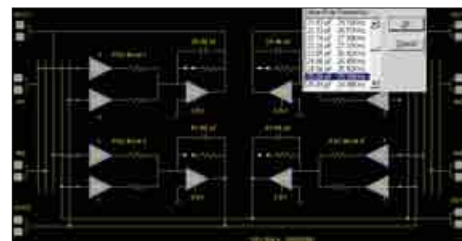


Рис. 3. Редактирование схемы в PAC-Designer

Разводку и задание значений параметров выполняют вручную. Но в системе также имеется библиотека некоторых готовых решений, в том числе и для построения активных фильтров. Процесс проектирования несложен, и результаты получаются достаточно быстро. Демонстрационную версию PAC-Designer (ограничение которой состоит в запрете режима выполнения конфигурации микросхемы) можно скачать с сайта фирмы. С ее помощью можно легко разобраться в возможностях схем и оценить их пригодность для конкретной задачи.

В заключение хочется отметить, что новый класс микросхем фирмы Lattice безусловно заслуживает внимания — по меньшей мере как очередной шаг в заманчивом направлении развития элементной базы. Безусловно, найдется немало применений, в которых достаточно скромные точностные характеристики микросхем вполне приемлемы. Возможность же быстрой реализации реконфигурируемого аналогового узла в одном небольшом корпусе определенно более выигрышно в сравнении с конструкцией из отдельных активных и пассивных компонентов. К тому же Lattice пользуется репутацией поставщика хорошо отработанных и надежных изделий. Фирма планирует довести цены на схемы ispPAC до приемлемого уровня.

Также стоит упомянуть, что Lattice не является единственным производителем ПАИС. Так, Fast Analog Solution (www.fas.co.uk), которая входит в группу ZETEX, предлагает такие микросхемы в серии TRAC. Фирма обозначает их как Field Programmable Analog Devices.