

Проектирование и отладка синтезатора с фазовой автоподстройкой частоты

Рэй САН (Ray SUN)
ray.sun@analog.com

Без глубокого понимания инженерами теории фазовой автоподстройки частоты (ФАПЧ) и процесса проектирования логических схем проектирование и отладка синтезаторов с ФАПЧ может стать непростой задачей. В статье рассматривается упрощенная методология проектирования синтезаторов ФАПЧ, а также предлагается эффективный и логичный процесс выявления и решения проблем при их отладке.

Моделирование

Оценить характеристики схемы ФАПЧ без моделирования ее поведения в конкретных условиях сложно, поэтому первым шагом при проектировании синтезаторов с ФАПЧ должно стать моделирование. Мы рекомендуем инженерам использовать программный продукт ADIsimPLL, позволяющий проводить моделирование с учетом требований к конкретной проектируемой системе, включая требования к опорной частоте, шагу перестройки частоты, фазовому шуму (дрожание фазы) и уровню побочных спектральных составляющих.

Многие инженеры сталкиваются с затруднениями при выборе опорной частоты, однако взаимосвязь между опорной частотой и шагом перестройки выходной частоты проста. В синтезаторе с ФАПЧ с целочисленным коэффициентом деления шаг перестройки выходной частоты равен частоте на входе фазочастотного детектора (ФЧД), которая, в свою очередь, равна результату деления опорной частоты на делитель опорной частоты (R). В синтезаторе с ФАПЧ с дробным коэффициентом деления шаг перестройки выходной частоты равен результату деления частоты на входе ФЧД на величину MOD. Поэтому в синтезаторах такого типа вы можете получить меньший шаг перестройки выходной частоты при более высокой опорной

частоте. При выборе между архитектурами с целочисленным и дробным коэффициентами деления возникает необходимость поиска компромисса между шагом перестройки по частоте и фазовым шумом: при меньшей частоте работы ФЧД достигается меньший шаг перестройки частоты выходного сигнала, но ухудшается и уровень фазового шума.

Пример, приведенный в таблице 1, показывает, что, если в проекте необходима фиксированная частота выходного сигнала при очень большом допустимом шаге перестройки, предпочтительнее использовать синтезатор с ФАПЧ с целочисленным коэффициентом деления, например ADF4106, обладающий лучшим полным уровнем внутрисполосного фазового шума. И наоборот, если в схеме требуется маленький шаг перестройки по частоте, то предпочтительнее использовать синтезатор с ФАПЧ с дробным коэффициентом деления, например ADF4153, поскольку обеспечиваемый им в данной задаче полный уровень шума лучше, чем у синтезаторов с целочисленным коэффициентом деления. Фазовый шум является очень важной характеристикой схемы ФАПЧ, однако перечислить в техническом описании его показатели для всех возможных вариантов применения невозможно. Таким образом, при проектировании очень важны этапы моделирования и последующее испытание реальной аппаратуры.

Даже при использовании ADIsimPLL для моделирования поведения схемы ФАПЧ в реальных условиях полученных результатов, вероятно, будет недостаточно, если пользователь не укажет при создании модели реального генератора опорной частоты и генератора, управляемого напряжением (ГУН). В этом случае симулятор будет работать с идеальными моделями генераторов. Если необходима очень высокая точность моделирования, иногда имеет смысл потратить время на редактирование библиотечных файлов, содержащих модели источника опорной частоты и ГУН.

В синтезаторах с ФАПЧ применяется схема управления с отрицательной обратной связью, похожая на схему управления в усилителе, поэтому на них распространяются те же концепции ширины полосы контура и запаса по фазе. Как правило, ширину полосы контура следует выбирать таким образом, чтобы она была меньше одной десятой рабочей частоты ФЧД, а безопасным диапазоном запаса по фазе является интервал от 45° до 60°. Кроме того, чтобы удостовериться в обеспечении схемой желаемых характеристик с учетом паразитных элементов топологии печатной платы, а также допусков реальных резисторов и конденсаторов в петлевом фильтре, необходимо дополнительно провести моделирование и испытание прототипа реальной платы.

Иногда готовые резисторы и конденсаторы подходящего номинала найти невозможно, поэтому инженеры должны определить, будет ли схема нормально работать при использовании компонентов отличающегося номинала. В меню Tools программного продукта ADIsimPLL есть небольшая функция под названием BUILT. Эта функция осуществляет замену номиналов резисторов и конденсаторов на ближайшие значения из стандартных рядов, что позволяет разработчику провести повторное моделирование и получить новые результаты для запаса по фазе и ширине полосы контура.

Таблица 1. Влияние требований к фазовому шуму на выбор архитектуры синтезатора с ФАПЧ

	Схема с фиксированной частотой ВЧ = 1,8 ГГц, $f_{\text{осс}} = 13$ МГц, фиксированная выходная частота	Система GSM 1800 ВЧ = 1,8 ГГц, $f_{\text{осс}} = 13$ МГц, $f_{\text{раб}} = 200$ кГц
Синтезатор с целочисленным коэффициентом деления ADF4106	$FOM + 10 \log f_{\text{ФЧД}} + 20 \log N =$ $= -223 + 10 \log 13 \text{ МГц} + 20 \log 138 = -109 \text{ дБн/Гц}$	$FOM + 10 \log f_{\text{ФЧД}} + 20 \log N =$ $= -223 + 10 \log 200 \text{ кГц} + 20 \log 9000 = -91 \text{ дБн/Гц}$
Синтезатор с дробным коэффициентом деления ADF4153	$FOM + 10 \log f_{\text{ФЧД}} + 20 \log N =$ $= -220 + 10 \log 13 \text{ МГц} + 20 \log 138 = -106 \text{ дБн/Гц}$	$FOM + 10 \log f_{\text{ФЧД}} + 20 \log N =$ $= -220 + 10 \log 13 \text{ МГц} + 20 \log 138 = -106 \text{ дБн/Гц}$
Результат	Синтезатор с целочисленным коэффициентом деления лучше	Синтезатор с дробным коэффициентом деления лучше

Примечание. FOM — показатель качества синтезатора (нормированный порог фазового шума).

Регистры

Синтезаторы с ФАПЧ компании Analog Devices содержат множество конфигурируемых пользователем опций, дающих дополнительную свободу при проектировании. В то же время наличие большого количества регистров усложняет задачу процедуры инициализации. Оптимальный подход заключается в настройке значений регистров в оценочном программном обеспечении, даже если печатная плата не подключена к симулятору. По результатам моделирования программа ADIsimPLL, как показано на рис. 1, выдает рекомендуемые значения регистров для различных параметров, например базового тока ГУН. В дальнейшем файл конфигурационных настроек можно сохранить в формате *.stp* или загрузить в оценочную плату.

Проектирование принципиальных электрических схем и топологии печатных схем

При проектировании полнофункционального синтезатора с ФАПЧ следует учитывать несколько вещей.

Во-первых, для минимизации отражений важно обеспечить согласование импеданса на входе опорной частоты синтезатора. Кроме того, необходимо поддерживать низкое значение емкости, параллельной входному порту, поскольку она уменьшает скорость изменения фронтов поступающего сигнала и вносит дополнительный шум в контур ФАПЧ. Более подробную информацию можно найти в разделе технического описания синтезатора с ФАПЧ, посвященном требованиям к входному каскаду.

Во-вторых, для минимизации взаимных помех напряжения питания аналоговой и цифровой частей необходимо физически разделить. Напряжение питания ГУН является особенно чувствительным, поэтому дискретные побочные спектральные составляющие и шум в этой цепи могут легко проникать на выход синтезатора с ФАПЧ. Более подробную информацию и обсуждение дополнительных мер предотвращения наводок можно найти в [4].

Chip	ADF4153
Mode	Normal
Main Divider	
Ref Divider	
Phase Detector	Charge Pump
Rset	5.10k
CP Current	5.00mA
Polarity	positive
Leakage	0A
AB Pulse	3.00ns
Vp	5.00V
Vmin	0V
Vmax	5.00V
Max Freq.	32.0MHz
Noise Mode	Dither OFF
PN Floor	-220 dBc/Hz
1/f PN@10kHz	-114 dBc/Hz
FracN Spur Base	-45.0 dBc
SigDel Order	Not Used
Lock Detect	None
Speedup Mode	None

Рис. 1. Рекомендуемые значения конфигурационных регистров, которые выдает программа моделирования ADIsimPLL

В-третьих, резисторы и конденсаторы петлевого фильтра следует располагать как можно ближе к кристаллу синтезатора, а их номиналы должны быть как можно ближе к номиналам, рекомендованным инструментом моделирования. Если после изменения номиналов компонентов петлевого фильтра вам не удастся добиться вхождения синтезатора в синхронизм, попробуйте перейти к оригинальным номиналам, которые используются в схеме оценочной платы.

Главный принцип при проектировании топологии печатной платы заключается в физическом разделении входа и выхода, которое позволит предотвратить появление помех от цифровой части схемы в ее аналоговой части. Так, например, размещение шины SPI слишком близко к входу опорной частоты или выходу ГУН вызовет возникновение дискретных побочных спектральных состав-

ляющих в выходном сигнале синтезатора при обращении к его внутренним регистрам.

Для поддержания оптимального теплового режима под корпусом кристалла синтезатора с ФАПЧ необходимо разместить «земляную» теплоотводящую площадку, которая будет обеспечивать отвод тепла на печатную плату. Разработчикам следует внимательно оценить все тепловые характеристики кристалла синтезатора с ФАПЧ и печатной платы, если схема должна работать при высоких значениях температуры.

Эффективное применение сигнала MUXOUT

На начальном этапе отладки сложно определить, с чего необходимо начать, если синтезатор с ФАПЧ не входит в синхронизм. В качестве первого шага можно использовать сигнал MUXOUT компонента для проверки корректного функционирования каждого внутреннего модуля (рис. 2). Так, например, на выход MUXOUT можно подать выходной сигнал счетчика R, чтобы удостовериться в корректности входного сигнала опорной частоты и правильности инициализации соответствующих регистров. Сигнал MUXOUT также можно использовать для проверки индикатора синхронизма детектора и выходного сигнала делителя N петли обратной связи. Этот метод, позволяющий разработчику проверить корректность значений каждого из делителей, коэффициента усиления или частоты, является фундаментальным способом отладки синтезатора с ФАПЧ.

Анализ во временной области

Для проверки корректности данных, записываемых в регистры по шине последовательного периферийного интерфейса (SPI), при отладке синтезатора с ФАПЧ следует использовать анализ сигналов во временной области. Несмотря на то, что темп операций чтения и записи невысок, необходимо убедиться, что временные характеристики интерфейса SPI соответствуют требованиям спецификации, а перекрестные помехи между отдельными линиями минимизированы.

Для определения допустимых значений времени установления данных, частоты тактового сигнала, длительности импульса и других параметров следует обратиться к временной диаграмме, приведенной в техническом описании синтезатора с ФАПЧ. Необходимо предусмотреть достаточный запас по времени, чтобы требования спецификации удовлетворялись при любых условиях. Удостовериться в том, что фронты тактового сигнала и данных появляются в корректные интервалы времени, можно при помощи осциллографа. Если линия тактового сигнала проходит слишком близко к линии данных, то перекрестные помехи могут вызывать наводки энергии от тактового сигнала к дан-

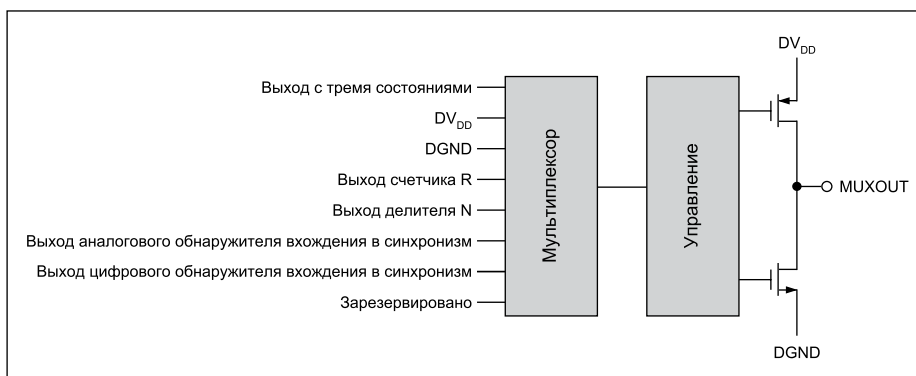


Рис. 2. Применение вывода MUXOUT при отладке синтезатора с ФАПЧ

ным через проводники печатной платы. Подобные наводки приводят к появлению импульсной помехи на линии данных, совпадающей по времени с передним фронтом тактового сигнала. Поэтому следует внимательно проверить сигналы на этих двух линиях при записи и чтении регистров, особенно в случае возникновения ошибок в регистрах. Также следует убедиться, что уровни напряжений на линиях соответствуют значениям, указанным в таблице 2.

Таблица 2. Логические входы

Параметры	min	тип.	max
Входное напряжение высокого уровня (V_{IH}), В	1,5		
Входное напряжение низкого уровня (V_{IL}), В			0,6
Входной ток (I_{IH}/I_{IL}), мкА			± 1
Входная емкость (C_{in}), пФ		3	

Спектральный анализ

Проблемы в частотной области одно- временно и более распространены, и более сложны. Вооружившись анализатором спектра, необходимо сначала проверить, вошел ли синтезатор в синхронизм, о чем будет свидетельствовать стабильный пик в частотной области. Если пик отсутствует, то следует прибегнуть к советам, приведенным выше в этой статье.

Если синтезатор с ФАПЧ находится в состоянии синхронизма, необходимо уменьшить полосу анализатора спектра и проверить, является ли уровень фазового шума приемлемым и соответствуют ли результаты практических испытаний результатам моделирования. Фазовый шум нужно измерить при нескольких значениях ширины полосы, например 1 кГц, 10 кГц и 1 МГц.

Если результат не соответствует ожидаемому, следует сначала проверить схему петлевого фильтра и номиналы компонентов на печатной плате. Затем необходимо проверить уровень фазового шума на входе опорной частоты и сравнить его со значением, полученным при моделировании. Если внешние условия не отличаются, а в регистры были записаны правильные данные, то значение фазового шума, полученное при моделировании синтезатора с ФАПЧ, не должно сильно отличаться от реального результата испытаний.

Даже при использовании обладающего низким шумом стабилизатора с малым падением напряжения (LDO) не следует игнорировать шум источника питания, поскольку и импульсные преобразователи постоянного напряжения, и LDO-стабилизаторы являются с точки зрения синтезатора источниками шумов. В техническом описании LDO-стабилизаторов обычно указывается значение спектральной плотности шума, которая влияет на чувствительные к шуму компоненты, такие как синтезаторы с ФАПЧ (рис. 3). Для питания синтезатора с ФАПЧ и особенно для питания ГУН нужно выбрать источник с низким шумом.

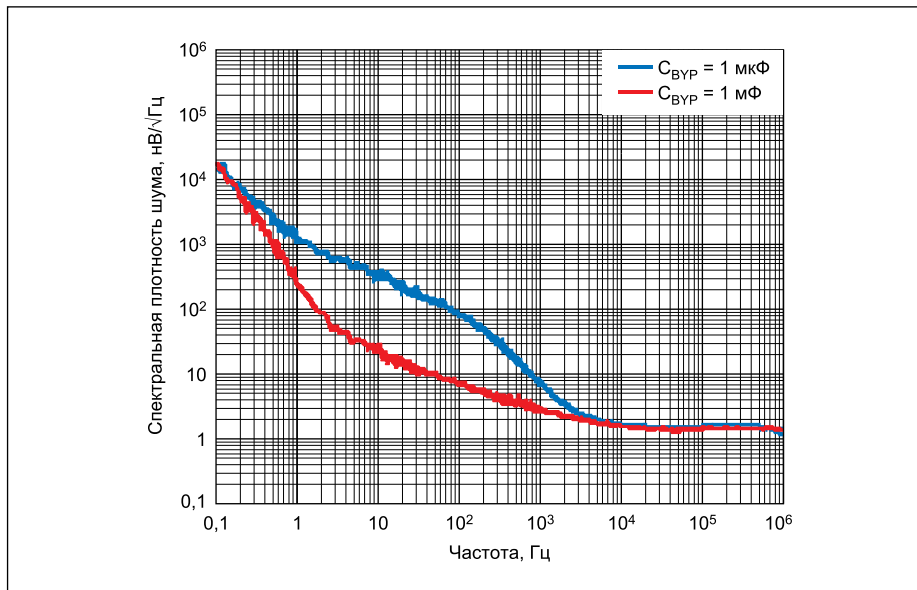


Рис. 3. Спектральная плотность мощности LDO-стабилизатора

Для выходного сигнала синтезатора с ФАПЧ характерны четыре типа дискретных побочных спектральных составляющих: побочные составляющие ФЧД (побочные составляющие опорной частоты), побочные составляющие дробной частоты, граничные побочные составляющие кратной частоты и побочные составляющие от внешних источников, например источника питания. В любом синтезаторе присутствуют дискретные побочные составляющие как минимум одного типа, и хотя их никогда нельзя устранить полностью, в некоторых случаях можно улучшить полное качество сигнала, достигая компромисса между уровнем и частотами дискретных побочных составляющих разного типа.

Чтобы избежать появления побочных составляющих опорной частоты, проанализируйте передний фронт сигнала опорной частоты. Слишком быстрое изменение фронта или слишком высокая амплитуда будут приводить к появлению сильных гармоник в частотной области. Кроме того, необходимо тщательно проверить топологию печатной платы, чтобы исключить возможность появления перекрестных помех между входом и выходом.

Для минимизации побочных составляющих дробной частоты можно добавить псевдослучайный сигнал, который приведет к уменьшению побочных составляющих данного до уровня ниже шумового порога. Однако сам шумовой порог при этом несколько возрастет.

Граничные побочные составляющие кратной частоты встречаются редко и появляются, только если выходная частота слишком близка к частоте, которая кратна опорной. Подобные побочные составляющие не могут быть устранены петлевым фильтром. Простой способ решения этой проблемы заключается в изменении опорной частоты. Так, например, при частоте выходного сигнала

1100,1 МГц, опорной частоте 20 МГц и полосе петлевого фильтра 100 кГц граничная побочная составляющая кратной частоты появляется на 1100 МГц. При увеличении опорной частоты до 30 МГц эта побочная составляющая исчезнет.

Заключение

Процесс отладки синтезатора с ФАПЧ требует глубокого понимания принципов работы ФАПЧ, и многих проблем можно избежать, уделив пристальное внимание деталям на этапе проектирования. При возникновении проблем на этапе отладки вы можете воспользоваться рекомендациями, приведенными в этой статье, которые позволят выявить источники проблем и устранить их поочередно. Дополнительную информацию по проектированию и отладке синтезаторов с ФАПЧ можно найти в обширной подборке материалов на сайте [7].

Литература

1. Curtin M., O'Brien P. Phase-Locked Loops for High-Frequency Receivers and Transmitters. Part 1 // Analog Dialogue. 1999. Vol. 33. No 1.
2. Curtin M., O'Brien P. Phase-Locked Loops for High-Frequency Receivers and Transmitters. Part 2 // Analog Dialogue. 1999. Vol. 33. No 1.
3. Curtin M., O'Brien P. Phase-Locked Loops for High-Frequency Receivers and Transmitters. Part 3 // Analog Dialogue. 1999. Vol. 33. No 1.
4. CN0147 Circuit Note. Powering a Fractional-N Voltage Controlled Oscillator (VCO) with Low Noise LDO Regulators for Reduced Phase Noise.
5. Fox A. PLL Synthesizers (Ask the Applications Engineer 30) // Analog Dialogue. 2002. Vol. 36. No 3.
6. MT-086 Tutorial. Fundamentals of Phase-Locked Loops (PLLs).
7. www.analog.com/pll