

## В чем важность интерфейса JESD204?

Джонатан ХАРРИС (Jonathan HARRIS)

**Новый интерфейс JESD204 приобретает все бóльшую популярность и, с большой долей вероятности, в будущем станет основным протоколом для подключения преобразователей данных.**

### Введение

Первая версия этого интерфейса была предложена несколько лет назад, но с тех пор он претерпел несколько ревизий. По мере роста разрядности и быстродействия преобразователей возросла и потребность в более эффективном интерфейсе. JESD204 обеспечивает необходимую эффективность, а также обладает рядом преимуществ по сравнению со своими предшественниками — КМОП и LVDS — в части быстродействия, габаритов и стоимости. JESD204 — более быстродействующий интерфейс, позволяющий «шагать в ногу» с растущей частотой дискретизации преобразователей. Кроме того, интерфейс имеет меньшее количество выводов, что позволяет уменьшить габариты корпусов и количество проводников на печатной плате. Это, в свою очередь, значительно упрощает проектирование плат и снижает общую стоимость системы.

Стандарт также легко масштабируется и может быть адаптирован к изменяющимся требованиям в будущем, о чем свидетельствуют две ревизии, которые он уже претерпел. Стандарт JESD204 был предложен в 2006 году, а в настоящее время действует его ревизия «В». По мере того как он получил признание большого числа производителей и пользователей преобразователей данных, а также производителей FPGA, он был переработан и дополнен новыми функциями, направленными на повышение эффективности и упрощение аппаратной реализации. Стандарт распространяется как на аналого-цифровые преобразователи (АЦП), так и на цифро-аналоговые преобразователи (ЦАП), и рассматривается, в первую очередь, как стандартный интерфейс с микросхемами FPGA. (Однако его также можно использовать и для подключения к специализированным микросхемам ASIC.)

### JESD204 — что это такое?

Первоначальная версия JESD204 была выпущена в апреле 2006 года. Стандарт описывает мультигигабитный последовательный канал связи между преобразователем (преоб-

разователями) и приемником (обычно FPGA или ASIC). В этой первоначальной версии JESD204 последовательный канал передачи данных был определен для одной последовательной линии между преобразователем или несколькими преобразователями и приемником (рис. 1). Линия связи представляет собой физический интерфейс между М преобразователями и приемником. Интерфейс включает в себя дифференциальную пару проводников с драйверами и приемниками, работающими с сигналами CML (current mode logic). Данные передаются в канале между преобразователем (преобразователями) и приемником последовательно. Сигнал кадровой синхронизации, обеспечивающий синхронизацию канала JESD204, подается и на преобразователь (преобразователи), и на приемник.

Скорость передачи данных по линии определена в интервале от 312,5 Мбит/с до 3,125 Гбит/с, а импеданс источника и нагрузки должен быть равен  $100 \text{ Ом} \pm 20\%$ . Номинальный размах дифференциального напряжения составляет 800 мВ, а синфазное напряжение имеет допустимый диапазон от 0,72 до 1,23 В. В канале используется кодирование 8b/10b со встроенным в поток сигналом тактовой синхронизации, что избавляет от необходимости в трассировке дополнительной линии тактового сигнала и соответствующих проблем, связанных с выравниванием фазы тактового сигнала относительно передаваемых данных при высокой скорости передачи. Когда стандарт

JESD204 начал набирать популярность, стала очевидной необходимость его модернизации для добавления поддержки нескольких последовательных линий, что позволило бы учесть растущие быстродействие и разрешение преобразователей.

В апреле 2008 года появилась первая ревизия стандарта JESD204, которая получила обозначение JESD204A. В этой ревизии стандарта была добавлена поддержка нескольких выровненных во времени последовательных линий и нескольких преобразователей. Скорости передачи по отдельным линиям остались без изменения, равно как и требования к сигналу кадровой синхронизации и спецификации электрического интерфейса. Расширение возможностей стандарта за счет поддержки нескольких последовательных линий сделало возможной работу с преобразователями, имеющими высокую частоту дискретизации и большую разрядность, при сохранении максимальной поддерживаемой скорости передачи 3,125 Гбит/с. Дополнительные возможности, реализованные в ревизии JESD204A, изображены на рис. 2.

Несмотря на то, что и исходный стандарт JESD204, и его ревизия JESD204A обеспечивали повышение производительности по сравнению с интерфейсами предыдущего поколения, в них не хватало одного ключевого элемента. Этим элементом была детерминированная задержка последовательно передаваемых данных в канале. При работе с преобразователем данных важно

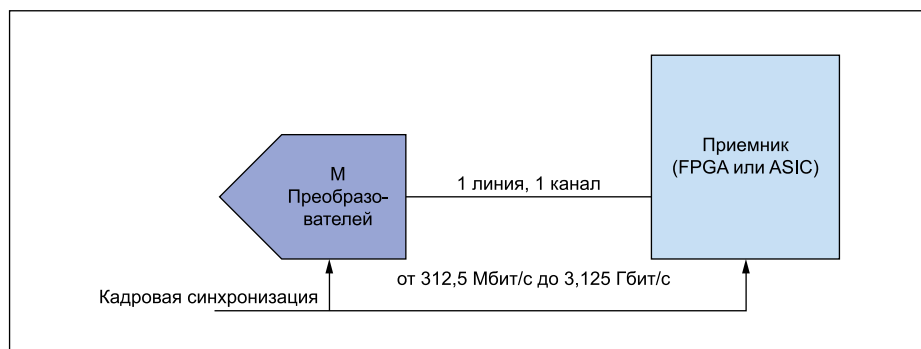


Рис. 1. Первоначальный вариант стандарта JESD204

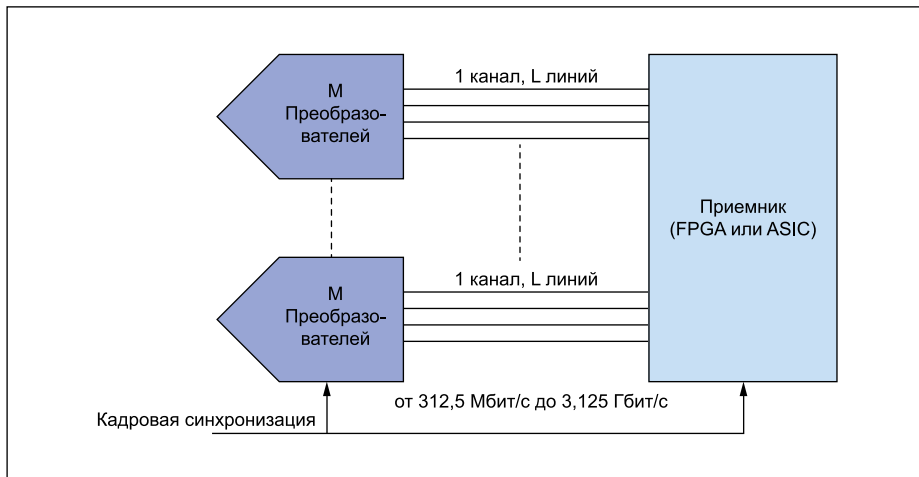


Рис. 2. Первая ревизия — JESD204A

знать временное соотношение между исходным дискретизированным сигналом и его цифровым представлением, что позволило бы правильно воссоздать сигнал в аналоговой области после его приема. (Эта ситуация, естественно, относится к АЦП, однако похожая ситуация имеет место и для ЦАП.) На это временное соотношение влияет задержка преобразователя, которая определяется для АЦП как количество периодов тактового сигнала между фронтом дискретизации входного сигнала и моментом времени, когда соответствующий цифровой код появляется на выходах преобразователя. Аналогичным образом для ЦАП задержка определяется как количество периодов тактового сигнала от момента записи цифрового сигнала в ЦАП до начала изменения выходного аналогового сигнала. В стандартах JESD204 и JESD204A не было заложено никаких функций, которые позволяли бы поддерживать детерминированную задержку преобразователя и его последовательных потоков входных/выходных данных. Этот фактор, наряду с дальнейшим ростом быстродействия и разрешения преобразователей, привел к появлению второй ревизии стандарта — JESD204B.

Вторая, актуальная на сегодня, ревизия стандарта, JESD204B, была представлена в июле 2011 года. Одним из ключевых компонентов пересмотренной версии стандарта стало добавление возможностей, позволяющих достичь детерминированной задержки. Кроме того, предельная поддерживаемая скорость передачи была увеличена до 12,5 Гбит/с, а также было введено разделение компонентов по различным градациям быстродействия. И наконец, в этой ревизии стандарта в качестве источника задающего тактового сигнала для канала вместо сигнала кадровой синхронизации предусматривается использование тактового сигнала компонента. Дополнительные возможности, введенные в ревизии JESD204B, представлены на рис. 3.

В ревизии JESD204B заложен ряд механизмов, которые гарантируют повторяющуюся и детерминированную задержку между циклами включения питания, а также при повторной синхронизации канала. Один из способов достижения этого заключается в одновременной инициации последовательности начального выравнивания на всех линиях преобразователя (преобразователей) в определенный момент времени при помощи входного сигнала SYNC~. Другая реализация основана на применении сигнала SYSREF, который впервые был введен в JESD204B. Сигнал SYSREF играет роль задающего опорного сигнала синхронизации, по которому происходит выравнивание фаз всех внутренних делителей тактового сигнала устройства, а также локальных мультикадровых тактовых сигналов в каждом приемнике и передатчике. Это помогает гарантировать детерминированную задержку в системе.

В спецификации JESD204B введены три подкласса устройств:

- подкласс 0 — без поддержки детерминированной задержки;

- подкласс 1 — с реализацией детерминированной задержки при помощи SYSREF;
- подкласс 2 — с реализацией детерминированной задержки при помощи SYNC~.

Подкласс 0 фактически аналогичен каналу JESD204A. Подкласс 1 предназначен, в первую очередь, для преобразователей, имеющих быстродействие от 500 MSPS, а подкласс 2 — в первую очередь, для преобразователей, имеющих быстродействие до 500 MSPS.

Помимо функций для реализации детерминированной задержки, в версии JESD204B увеличена поддерживаемая скорость передачи данных и введено разделение устройств на три различные градации быстродействия. Для всех трех градаций производительности импеданс источника и нагрузки одинаков и должен составлять  $100 \text{ Ом} \pm 20\%$ .

Первая градация быстродействия соответствует скорости передачи, введенной в версиях стандарта JESD204 и JESD204A, — до 3,125 Гбит/с. Вторая градация быстродействия в JESD204B определяет электрический интерфейс для скорости передачи данных на линии до 6,375 Гбит/с. Для устройств этой градации минимальный размах дифференциального напряжения понижен с 500 мВ (уровень, определенный для первой градации быстродействия) до 400 мВ. Третья градация быстродействия в JESD204B определяет электрический интерфейс для скорости передачи данных на линии до 12,5 Гбит/с. Для устройств этой градации минимальный размах дифференциального напряжения, необходимый для работы электрического интерфейса, снижен до 360 мВ. Таким образом, по мере увеличения скорости передачи минимальный требуемый уровень дифференциального напряжения уменьшается. Это позволяет упростить физическую реализацию за счет смягчения требований к скорости изменения фронтов сигнала в драйверах.

В целях обеспечения дополнительной гибкости в ревизии JESD204B произошел переход от сигнала кадровой синхронизации

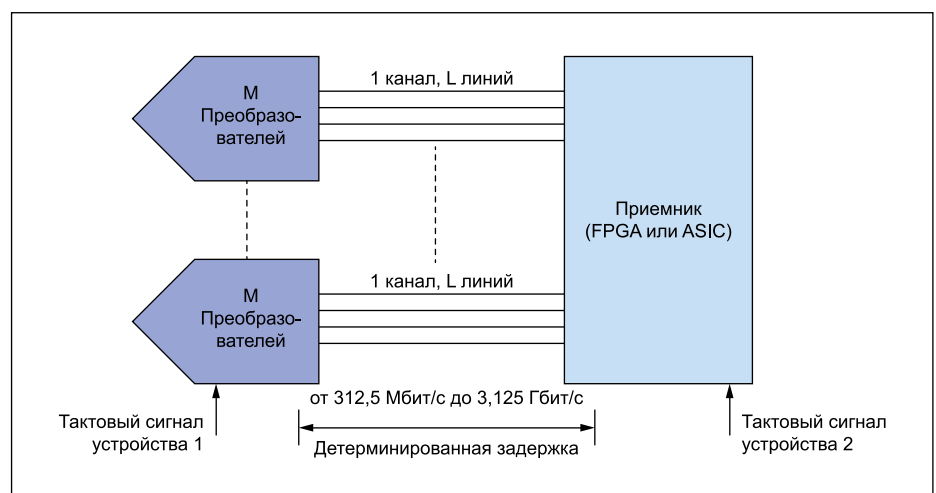


Рис. 3. Вторая (текущая) ревизия — JESD204B

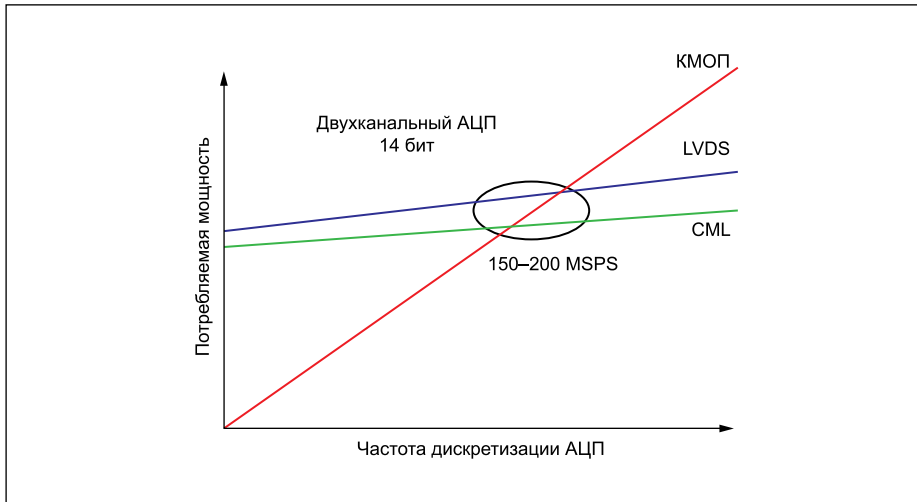


Рис. 4. Потребляемая мощность драйверов КМОП, LVDS и CML

Таблица. Сравнение количества выводов — АЦП с быстродействием 200 MSPS

Количество каналов	Разрешение, бит	Количество выводов КМОП	Количество выводов LVDS (DDR)	Количество выводов CML (JESD204B)
1	12	13	7	4
2		26	14	
4		52	28	
8		104	56	
1	13	15	8	4
2		30	16	
4		60	32	
8		120	64	
1	16	17	9	4
2		34	18	
4		68	36	
8		136	72	

данных в случае работы интерфейсов КМОП и LVDS, а также максимальная скорость передачи 4 Гбит/с для интерфейса JESD204B (выходные драйверы CML). При анализе этой таблицы становится очевидной причина перехода к интерфейсу JESD204B, использующему драйверы CML, ведь он позволяет достичь существенного сокращения количества выводов.

Потенциально стандарт JESD204, предложенный организацией JEDEC, может стать основным цифровым интерфейсом преобразователей данных. Это очевидно, и специалисты компании Analog Devices, лидера рынка в области преобразователей данных, давно поняли это. Analog Devices участвует в работе над стандартом с момента выпуска первой спецификации JESD204. На сегодня компания начала серийное производство нескольких преобразователей, совместимых с JESD204 и JESD204A, а также ведется работа по созданию продуктов, совместимых с JESD204B.

AD9639 — это четырехканальный 12-разрядный АЦП с быстродействием 170 MSPS/210 MSPS, имеющий интерфейс JESD204. AD9644 и AD9641 — это 14-разрядные двухканальный и одноканальный АЦП с быстродействием 80 MSPS/155 MSPS, имеющие интерфейс JESD204A. Недавно компания выпустила двухканальный 16-разрядный АЦП с быстродействием 1,25 GSPS — AD9128 с интерфейсом JESD204A. Дополнительную информацию о решениях Analog Devices в области интерфейса JESD204 можно найти на сайте [4].

## Заключение

По мере роста быстродействия и разрядности преобразователей данных возросла необходимость в более эффективном цифровом интерфейсе, что повлекло за собой появление последовательного интерфейса данных JESD204. Спецификация интерфейса продолжает развиваться, при этом учитываются требования к упрощению и ускорению передачи данных между преобразователями

к тактовому сигналу устройства. В ревизиях JESD204 и JESD204A в качестве абсолютно опорного синхронизирующего сигнала системы стандарта JESD204 предлагалось использовать сигнал кадровой синхронизации. Обычно в качестве сигнала кадровой синхронизации применялся сигнал частоты дискретизации преобразователя (преобразователей). Это не давало большой свободы при проектировании и могло привести к нежелательному усложнению системы из-за необходимости разводки одного сигнала по нескольким устройствам с учетом возможной рассинхронизации между отдельными дифференциальными парами проводников.

В JESD204B в качестве опорного синхронизирующего сигнала для каждого из элементов системы JESD204 предлагается использовать тактовый сигнал устройства. Каждый преобразователь и приемник получает соответствующий тактовый сигнал от схемы генератора, которая отвечает за формирование всех тактовых сигналов устройств из общего источника. Это позволяет повысить гибкость при проектировании системы, однако требует спецификации соотношения между сигналом кадровой синхронизации и тактовым сигналом для каждого отдельно взятого устройства.

## JESD204 — почему ему стоит уделить внимание?

Во многом аналогично тому, как несколько лет назад интерфейс LVDS стал заменять интерфейс КМОП в качестве предпочтительного цифрового интерфейса преобразователя, в следующие несколько лет это ожидает и JESD204. Несмотря на то, что технология КМОП по-прежнему иногда встречается, она практически вытеснена интерфейсом LVDS. Быстродействие и разрядность преобразователей, а также желание уменьшить потребляемую мощность в ко-

нечном итоге приводят к невозможности использования интерфейсов КМОП и LVDS в современных преобразователях данных. По мере увеличения частоты данных на выходах КМОП растут и токи при переключениях, что приводит к росту потребляемой мощности. Несмотря на то, что ток, а следовательно, и потребляемая мощность в интерфейсе LVDS остаются примерно постоянными, максимальное быстродействие, достижимое при использовании этого интерфейса, ограничено. Это обусловлено архитектурой драйвера, а также большим количеством линий данных, которые необходимо синхронизировать с тактовым сигналом данных. На рис. 4 представлены требования к потребляемой мощности для выходных каскадов типа КМОП, LVDS и CML двухканального 14-разрядного АЦП.

При быстродействии примерно от 150 до 200 MSPS и разрядности 14 бит выходные драйверы CML становятся более эффективными с точки зрения потребляемой мощности. Кроме того, CML требует меньшего количества выходных пар при отдельно взятой разрядности преобразователя по сравнению с драйверами LVDS и КМОП благодаря последовательной передаче данных. Драйверы CML, используемые в интерфейсе JESD204B, имеют еще одно дополнительное преимущество, поскольку стандартом определено уменьшение размаха напряжения с ростом частоты дискретизации и, следовательно, скорости передачи по выходной линии. В то же время количество выводов, необходимое для отдельно взятой разрядности и частоты дискретизации преобразователя, значительно меньше.

В таблице приведены значения количества выводов для трех разных интерфейсов преобразователя с быстродействием 200 MSPS при различных значениях разрядности и числа каналов. При составлении таблицы было учтено наличие отдельного сигнала тактовой синхронизации для каждого канала

и микросхемами FPGA (или ASIC). Интерфейс уже претерпел две ревизии, в которые добавлены возможности, упрощающие аппаратную реализацию и позволяющие удовлетворить растущие потребности преобразователей с высоким разрешением и высоким быстродействием.

Если представить будущее цифровых интерфейсов преобразователей, станет ясно, что JESD204 имеет все шансы стать предпочтительным вариантом интерфейса. Каждая из ревизий отвечала актуальным потребностям отрасли и позволила стандарту соответствовать изменениям технологий преобразователей данных. По мере дальнейшего усложнения проектов систем и роста произ-

водительности преобразователей стандарт JESD204 сможет адаптироваться и развиваться в соответствии с новыми требованиями. ■

#### Литература

1. JEDEC Standard JESD204 (Apr. 2006). JEDEC Solid State Technology Association // [www.jedec.org](http://www.jedec.org)
2. JEDEC Standard JESD204A (Apr. 2008). JEDEC Solid State Technology Association // [www.jedec.org](http://www.jedec.org)
3. JEDEC Standard JESD204B (July 2011). JEDEC Solid State Technology Association // [www.jedec.org](http://www.jedec.org)
4. [www.analog.com/jesd204](http://www.analog.com/jesd204)