

Маршрут и методика проектирования микросхемы контроллера класса «системы на кристалле» для SD-карт стандарта SDHC

Дмитрий ГРЕЧИЩЕВ
Ярослав ГУБИН
Александр РУТКЕВИЧ
Денис СТРОГАНОВ
Григорий ШИШКИН

В статье описан маршрут и методика проектирования микросхемы контроллера класса «система на кристалле» (СнК) для SD-карт стандарта SDHC. Маршрут разработан на основании проектных процедур и маршрутов, установленных фирмами — разработчиками САПР для проектирования СБИС (Cadence, Synopsys, Mentor Graphics) с учетом рекомендаций фабрик и особенностей технологических процессов производства СБИС.

Введение

Процесс разработки микроэлектронной техники состоит из многих стадий, как технических, так и организационных. Для его упорядочивания, эффективного взаимодействия между различными группами разработчиков и обеспечения качества и надежности будущего изделия компании — разработчики микроэлектронных изделий придерживаются определенной последовательности действий. Эти действия и называются маршрутом проектирования.

«Системы на кристалле» — особый класс микроэлектронных изделий, в разработке которых принимают участие не только компании-разработчики, но и компании — поставщики сложнотехнологических блоков (СФ-блоков), фабрики-производители, корпусирующие фабрики и фабрики по тестированию готовых микросхем. Чтобы процесс разработки СнК был наиболее эффективным, вносятся изменения и дополнения в стандартный маршрут проектирования, касающиеся в первую очередь упрощения взаимодействия между различными участниками процесса разработки и обеспечения полноты передаваемой информации между ними.

Основная область применения СнК для SD-карт — это портативные устройства, поэтому ограничением является низкое энергопотребление, а также размеры микросхемы. Исходя из этого, маршрут проектирования СнК изменяют для получения решения с наименьшими возможными параметрами — энергопотреблением и площадью.

Рассмотрим перечень и содержание технических процедур проектирования, регламентирующих маршрут и методику проектирования

СнК для SD-карт стандарта SDHC. Маршрут проектирования (рис. 1) можно разбить на пять основных этапов: это системное, функциональное, логическое и, наконец, физическое (топологическое) проектирование и верификация совместно с подготовкой к производству.

Системное проектирование

На этапе системного проектирования (рис. 2) разрабатывается поведенческая модель СнК для SD-карт и определяется состав СФ-блоков. Исполняемые спецификации представляются в определенном формате на языках C, C++, Verilog и VHDL.

Разработка СнК начинается с анализа задач и требований, а также написания системной спецификации. При этом определяются основные эксплуатационно-технические свойства СнК, такие как требуемое быстродействие, допустимая потребляемая мощность и др.

Алгоритм работы СнК для SD-карт на уровне математического описания создается на основе разработанной ранее системной спецификации. Производится математическое моделирование разработанных алгоритмов функционирования СнК, оценка требуемого быстродействия, разрядности и оценка формата представления внутренних данных. Также при необходимости может производиться синтез наборов данных (сигналов), предназначенных для тестирования схемотехнических решений СнК для SD-карт.

На основе алгоритма работы СнК для SD-карт разрабатывается поведенческая модель системы на уровне СФ-блоков в виде блок-схемы, отражающей принцип взаимодействия СФ-блоков в составе СнК и включающей их основные параметры.

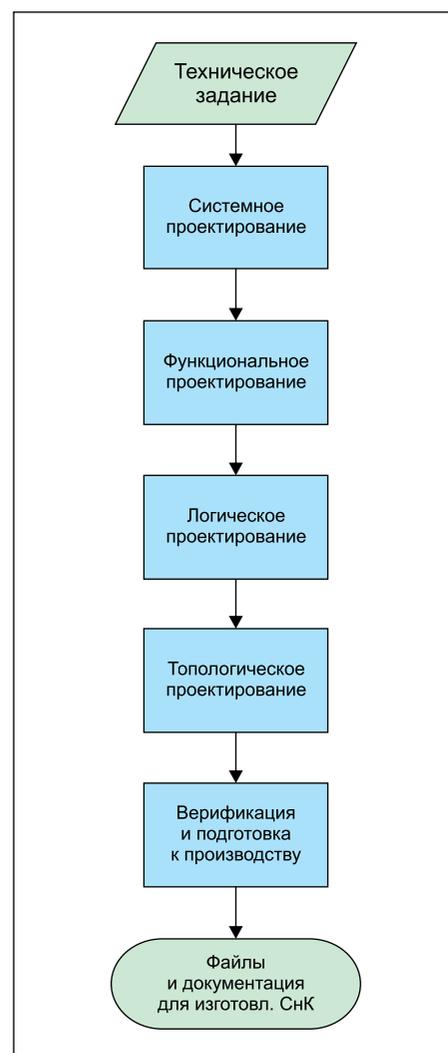


Рис. 1. Маршрут проектирования

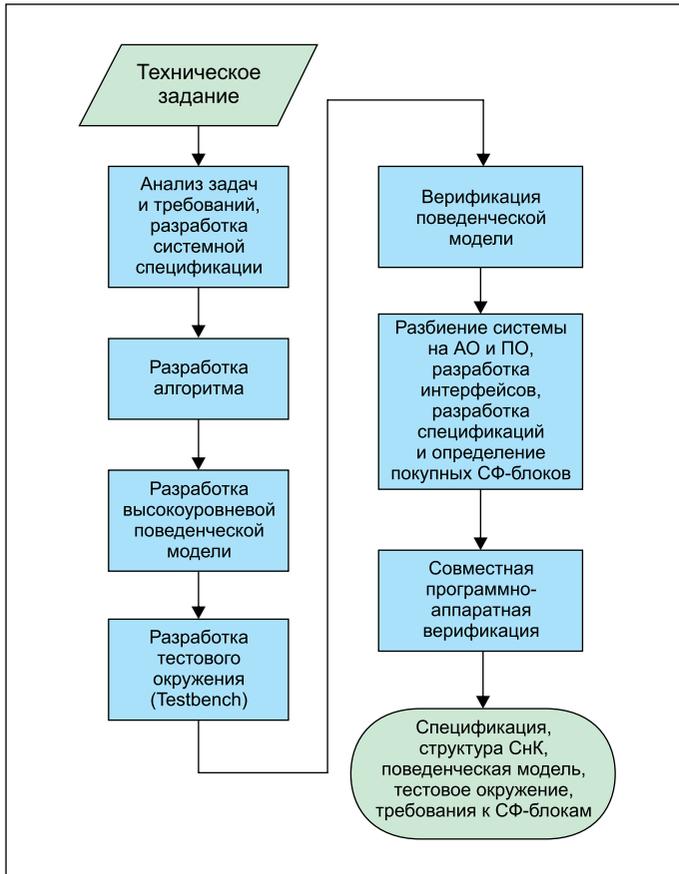


Рис. 2. Этап системного проектирования

Для верификации поведенческой модели создают проект тестового окружения (Testbench). Оно включает в себя тестовые последовательности, генераторы входных сигналов и средства отображения выходной информации. На основе тестового окружения впоследствии разрабатываются тестовые последовательности для верификации проекта на нижних уровнях проектирования, а также для функционального тестирования опытных образцов. После этого проводят верификацию поведенческой модели путем компьютерного моделирования с помощью специальных программных средств.

Далее принимается решение о том, какие СФ-блоки поведенческой модели будут впоследствии реализованы на аппаратном уровне, а какие — на программном, на основе встроенных в СнК для SD-карт процессорных ядер, разрабатывается интерфейс между аппаратным и программным обеспечением и определяется общая аппаратная архитектура СнК. Разрабатывается спецификация и определяются приобретаемые, имеющиеся в наличии и вновь разрабатываемые СФ-блоки. В итоге создается набор спецификаций на разработку как программного обеспечения, так и каждого аппаратно реализуемого СФ-блока.

При совместной программно-аппаратной верификации проверяется функционирование аппаратного обеспечения, разрабатываемого в соответствии с имеющимися спецификациями, под управлением встроенного программного обеспечения в реальном масштабе времени. В качестве аппаратного обеспечения используются исполняемые спецификации аппаратно реализуемых блоков, в качестве программного — прототип ПО.

При выборе архитектуры главным параметром является низкое энергопотребление микросхемы. Исходя из этого производится подбор СФ-блоков и разделение на аппаратный и программный уровни. Поэтому необходимо получить полную техническую информацию о покупаемых СФ-блоках и уже имеющихся в наличии, так как их характеристики могут существенно повлиять на архитектуру микросхемы.

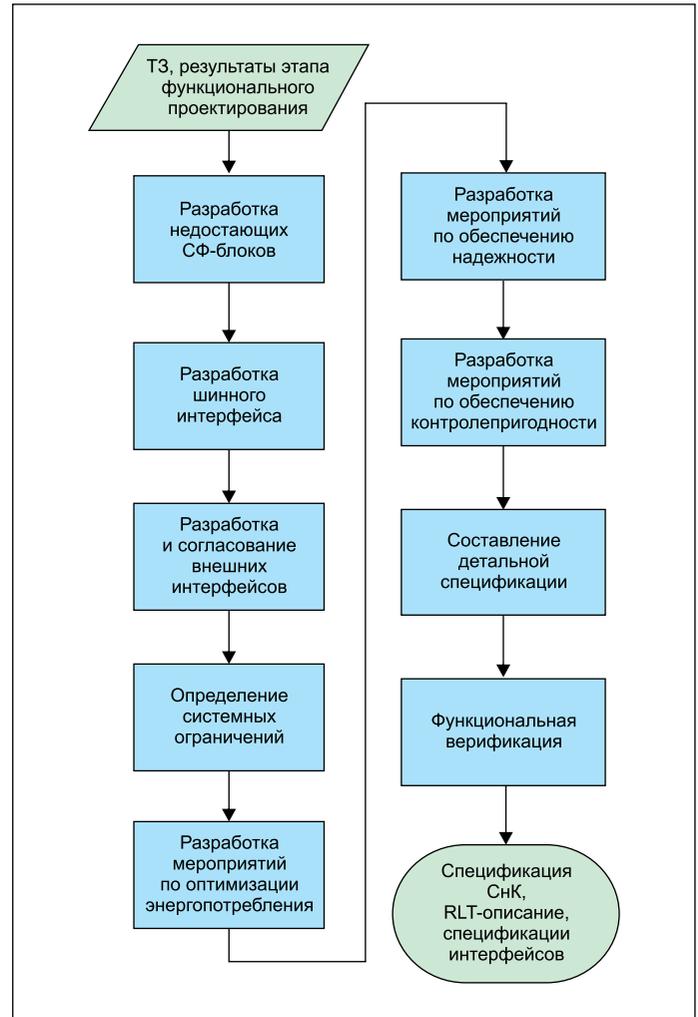


Рис. 3. Этап функционального проектирования

Функциональное проектирование

На этапе функционального проектирования (рис. 3) создается RTL-описание функциональной модели системы на языке описания аппаратуры (VHDL, Verilog) и осуществляется верификация и функциональное тестирование схемотехнических решений СнК для SD-карт. Функциональная модель СнК реализуется либо на уровне крупных структурных блоков (PMS-level), либо на уровне регистров (RTL-level).

Сначала разрабатывают все недостающие цифровые и аналоговые СФ-блоки. Для цифровых СФ-блоков создают поведенческую модель (RTL-описание) на языке описания аппаратуры (VHDL, Verilog). Аналоговые СФ-блоки проектируют на транзисторном уровне.

Для осуществления взаимодействия СФ-блоков между собой производится разработка и/или выбор шинной архитектуры, в том числе протоколов передачи информации, и расчет электрических параметров линий связи.

Для осуществления взаимодействия СнК для SD-карт с внешним окружением производится разработка и/или выбор архитектуры внешних интерфейсов СнК, а также расчет электрических параметров линий связи с учетом влияния корпуса микросхемы.

Для соответствия требуемым параметрам задаются системные ограничения, к которым относятся: ограничения на тактовые частоты и характер связей между ними, для каждого тактового сигнала определяется расфазировка и время установления, ограничения на входные и выходные сигналы, диапазон динамического потребления и токов утечки. При наличии в проекте нескольких доменов питания описываются требования к значениям рабочего напряжения для каждого до-

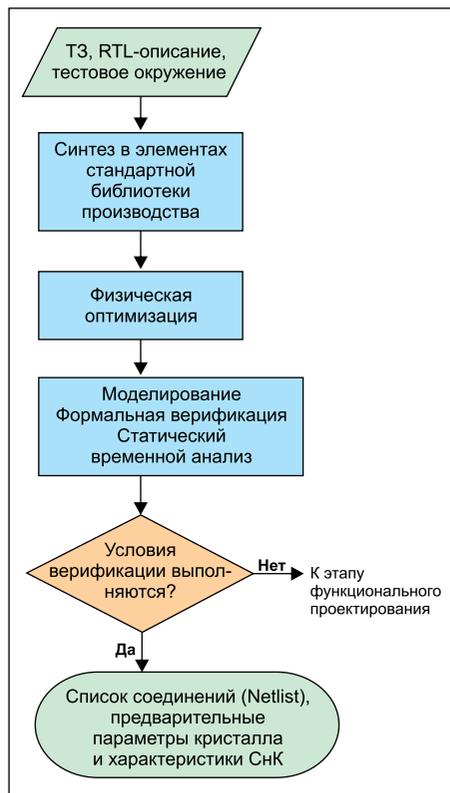


Рис. 4. Этап логического проектирования

мена, а также правила переключения доменов в процессе работы микросхемы.

Для оптимизации энергопотребления проводятся, во-первых, оценка потребляемой мощности СпК для SD-карт и, во-вторых, мероприятия по ее экономии с помощью таких методов, как снижение рабочей частоты блока до минимально необходимой, снижение напряжения питания блока до величины, обеспечивающей функционирование и требуемое быстродействие, и снижение логического перепада в длинных линиях связи.

Для обеспечения требуемой надежности работы СпК для SD-карт производится ее расчет и при необходимости применение мер по ее повышению. Для повышения надежности СпК используются методы избыточности и резервирования, например применение резервных блоков памяти, кодовой защиты данных при хранении и передаче, дублирование блоков и мажоритарный выбор данных, применение программируемой замены блоков.

Для обеспечения контролепригодности СпК для SD-карт используются методы функциональной и физической декомпозиции проекта, из схемы исключаются двуправленные связи, применяется эффективная система встроенного контроля.

На основе всех выработанных требований и ограничений составляют окончательную детальную спецификацию, которую будут использовать при проектировании микросхемы СпК для SD-карт, разработке программы производственного контроля и подготовке рекомендаций по применению изделия.

Функциональная модель должна быть отлажена совместно с программным обеспечением. Для этого проводится функциональная верификация СпК на основе трех методов: моделирование, эмуляция и аппаратная верификация с тестовыми СФ-блоками.

На этапе функционального проектирования СпК для SD-карт основной особенностью является обеспечение контролепригодности микросхем. Так как кристаллы сразу же устанавливаются в корпуса SD-карт, то функциональное тестирование и отбраковка микросхем на пластинах позволяет существенно сократить брак на этапе сборки. Для тестирования на пластинах выбирают оптимальные внешние тестовые интерфейсы как по скорости, так и по количеству требуемых выводов.

Логическое проектирование

На этапе логического проектирования (рис. 4) осуществляется описание схемы СпК для SD-карт на вентиляном уровне, представляемое в форме списка соединений (Netlist), который является текстовой формой кодирования схемы.

При проведении синтеза формируют список соединений логических библиотечных элементов в базе выбранного технологического процесса. Выходной формат файла списка соединений — EDIF, Verilog или VHDL. При формировании списка соединений задаются ограничения на временные задержки, размещение элементов и связи. Далее проводится физическая оптимизация посредством выполнения синтеза с заданными ограничениями по временным характеристикам, потребляемой мощности, площади и другим параметрам.

Статический временной анализ — метод расчета временных параметров СпК для SD-карт, не требующий полного электрического моделирования работы схемы. Он используется для определения нарушений времени предустановки и удержания триггеров, а также критического пути, задержки прохождения сигнала, предельно допустимой задержки сигнала и запаса по времени.

Формальная верификация является проверкой соответствия синтезированного списка соединений СпК для SD-карт и исходного RTL-представления. Утверждение о работоспособности той или иной модели проекта основано на эквивалентности с другой моделью. Методы формальной верификации позволяют получить практически полную проверку при сравнительно небольших временных затратах. Большинство логических ошибок в таких сложных проектах, как, например, разработка процессоров, удается найти с помощью методов формальной верификации.

Моделирование списка соединений на этапе логического проектирования проводят для проверки функциональности СпК для SD-карт с учетом временных задержек на логических элементах.

К началу этапа логического проектирования для правильного выбора по параметрам и дальнейшего процесса разработки должна быть в наличии вся техническая информация по всем библиотекам логических элементов, получаемая от компаний — поставщиков библиотек. Для СпК для SD-карт наиболее важными параметрами при выборе библиотеки являются потребляемая мощность, а также площадь ячеек.

Топологическое проектирование

На этапе топологического проектирования (рис. 5) осуществляется переход от логического уровня проектирования к физической реализации с учетом влияния технологических ограничений и физических факторов.

Предварительный выбор (разработку конструкции) корпуса осуществляют на основе геометрических параметров создаваемой микросхемы, таких как оценочная площадь кристалла, количество и взаимное расположение выводов и толщина кристалла, а также технических требований к выделяемой тепловой мощности, электромагнитной совместимости, стойкости к воздействию механических и климатических факторов, надежности и других специфических требований.

Исходными данными для топологического проектирования являются требования к геометрическим параметрам кристалла, перечисленные выше, а также требования к электрическим параметрам (токи потребления по цепям питания, питающие напряжения), требования по электромагнитной совместимости, ограничения техпроцесса.

Планирование геометрии кристалла заключается в разбиении схемы на макроблоки, задании их размеров и форм, а также размещении контактных площадок, планировании размещения СФ-блоков и модулей памяти.

В процессе планирования схемы питания кристалла определяют домены питания, задают топологию полигонов цепей питания и общей шины для обеспечения минимального падения напряжения, определяют необходимое количество выводов питания и размещение элементов преобразования уровня напряжения.

Далее производится автоматическое размещение ячеек в подготовленный план кристалла СпК для SD-карт. При этом задаются дополнительные параметры, например плотность расстановки ячеек как на весь кристалл, так и на отдельные его области.

Согласно информации о задержках на вентилях и ограничениям на быстродействие, потребляемую мощность и токи утечки проводится оптимизация моделей сигнальных цепей и списка соединений. Для этого определяют наиболее медленные цепи, после чего проводят замену вентилях, входящих в их состав, на более быстродействующие, изменяют их местоположение на кристалле и линии связи между ними.

Далее автоматически производится трассировка цепей тактовой синхронизации. Цепь тактовых импульсов проектируется таким образом, чтобы расфазировка и дрожание тактовых импульсов были минимальны. Одним из наиболее часто применяемых подходов к проектированию является использование сбалансированных путей (деревьев). После этого проводится повторная оптимизация по временным ограничениям, ограничениям динамического потребления и токов утечки, а также временной анализ.

Затем проводится размещение элементов для обеспечения постоянных уровней логической единицы и логического нуля (TieHi, TieLo) для логических элементов, входящих в состав СнК для SD-карт.

Автоматическую трассировку сигнальных цепей проводят с учетом технологических требований фабрики, к которым относятся ширина проводника, зазор между полигонами металла и количество слоев металлов. Связи, для которых необходим учет особых требований (ограничения на временные параметры, требования электромагнитной совместимости и т. п.), разводятся отдельно.

С целью увеличения количества выхода годных кремниевых структур при производстве и увеличения срока жизни изделия применяется оптимизация геометрии сигнальных цепей (Design For Manufacturing, DFM). При этом одинарные переходные отверстия заменяются двойными или большей размерности, изменяются расположение и толщина проводников и т. п. После чего проводится дополнительная оптимизация по временным ограничениям, динамическому потреблению и токам утечки.

Производится размещение элементов заполнения (Filler) в рядах стандартных ячеек для создания непрерывных активных областей, а также элементов заполнения площадок для обеспечения непрерывности кольца шин питания и общей шины. После этого добавляют полигоны металлов для выполнения технологических требований фабрики по плотности заполнения.

Основная цель извлечения паразитных связей заключается в создании подробной модели схемы для уточнения ее характеристик. Характеристики схем используются для создания баз данных задержек и нагрузочной способности элементов, которые необходимы при временном анализе, моделировании схемы и оценке параметров сигналов. Также на основе модели проводится анализ перекрестных помех, возникающих в результате взаимного влияния цепей друг на друга из-за наличия паразитных связей.

Выполняется оценка потребляемой мощности СнК для SD-карт, параметров динамического потребления и токов утечки, а также оценка падения напряжения на цепях питания СнК (IRdrop) с учетом активности отдельных элементов и других факторов. После этого автоматически проводится оптимизация динамического потребления и токов

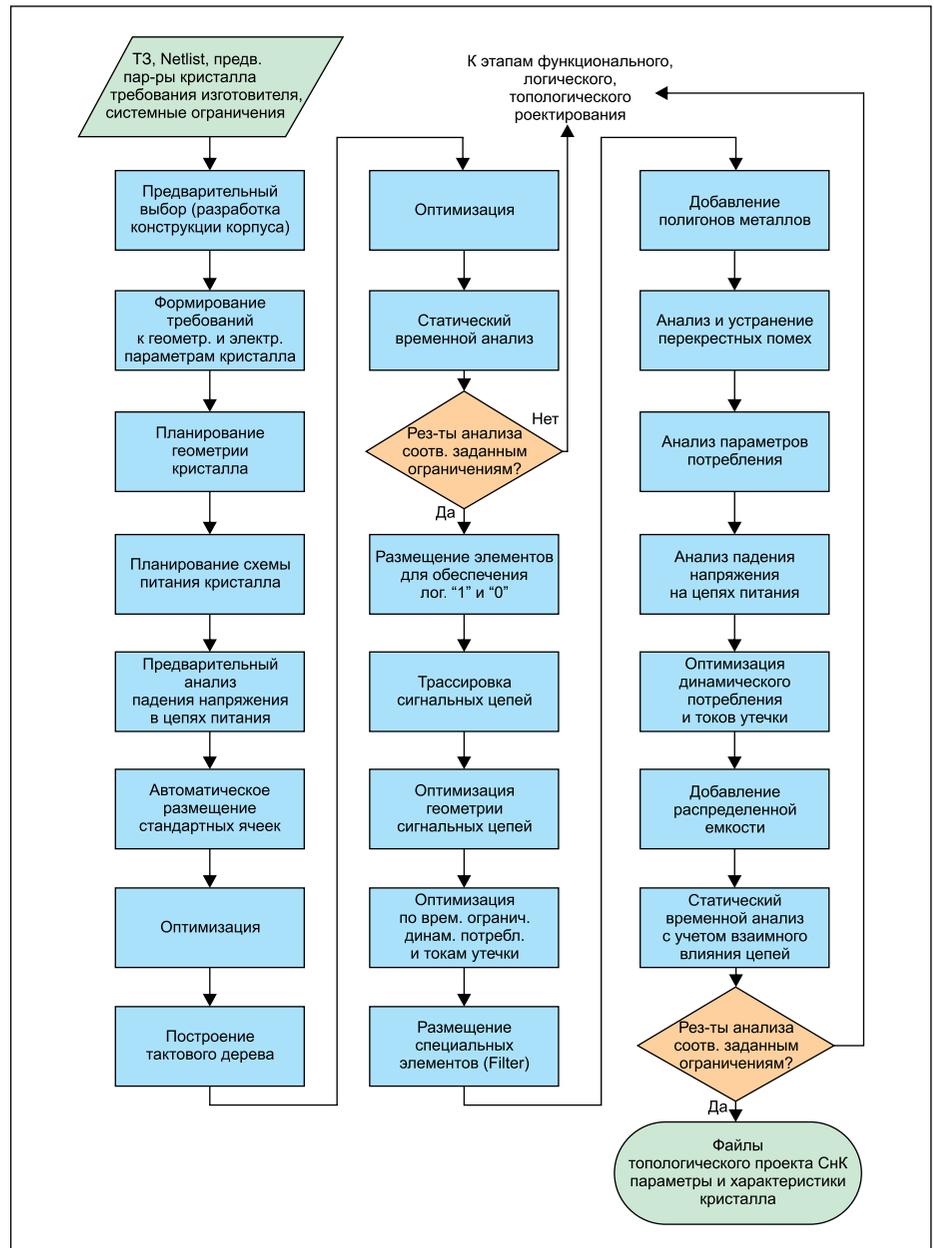


Рис. 5. Этап топологического проектирования

утечки при задании ограничений на величину тока потребления и падение напряжения.

Операция добавления ячеек Decap, содержащих конденсатор небольшой емкости между шиной питающего напряжения и общей шиной, необходима для фильтрации кондуктивных помех в цепях питания СФ-блоков и отдельных элементов, вызванных резким изменением потребляемого тока.

Статический временной анализ с учетом взаимного влияния цепей выполняется аналогично анализу, который проводят при логическом проектировании. По полученным отчетам производится оценка соответствия фактических параметров цепей заданным значениям, а также оценка полноты и корректности заданных ограничений.

На этапе топологического проектирования требуется вся необходимая информация

от фабрики-производителя по технологическим ограничениям выбранного техпроцесса. Кроме того, при выборе корпуса проводится согласование с фабрикой-производителем SD-карт возможности использования тех или иных схем разварки.

Для микросхемы СнК для SD-карт кроме получения наименьшего достигаемого потребления накладываются серьезные ограничения на размеры кристалла. Также есть ограничения на расположение выводов СнК с учетом дальнейшей установки в корпус SD-карты.

Верификация и подготовка к производству

Этап верификации и подготовки к производству (рис. 6) предназначен для осуществления окончательной проверки СнК

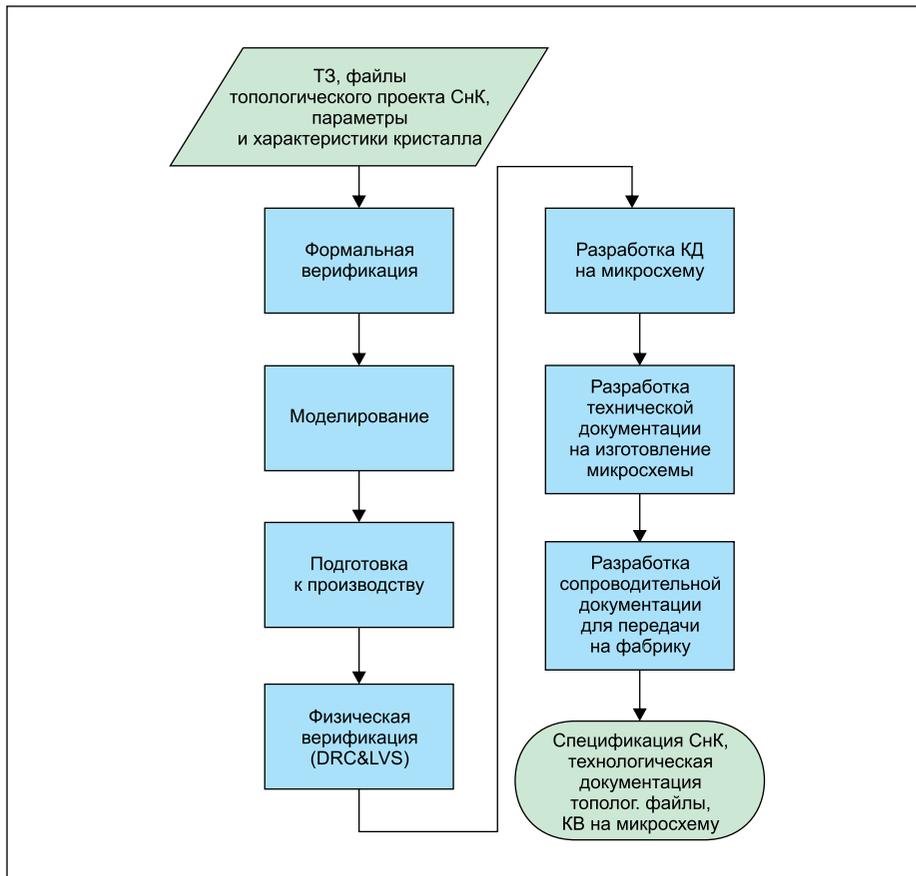


Рис. 6. Этап верификации и подготовки к производству

для SD-карт на соответствие требованиям спецификаций, осуществления операций для подготовки к производству, разработки конструкторской и сопроводительной документации для передачи изготовителю.

Формальную верификацию проводят для того, чтобы проверить проект на соответствие требованиям спецификаций и принять решение о передаче информации для изготовления СнК для SD-карт на фабрику.

Финальное моделирование осуществляют с учетом временных задержек на линиях связи, взаимного влияния элементов, линий связи и других паразитных эффектов. На основе отчетов оценивают соответствие фактических параметров цепей заданным значениям, а также полноту и корректность заданных ограничений.

Подготовка к производству включает в себя добавление в топологию СнК для SD-карт реперных знаков для идентификации контактных площадок при выполнении операции разварки, условных обозначений для идентификации фотошаблонов и изготавливаемых в дальнейшем кремниевых структур, формирование защитного кольца (Seal Ring), дополнительной защитной металлизации на углах (Chip Corner Stress Relief Pattern) и необходимой защиты кремниевых структур от теплового воздействия при выполнении операций резки и корпусирования и другие вспомогательные операции.

Проводится окончательная проверка топологии СнК для SD-карт на соответствие правилам топологического проектирования (Design Rule Check, DRC) и проверка соответствия электрической схемы и топологии СнК (Layout Versus Schematic, LVS). При этом руководствуются правилами, полученными от фабрики для используемого технологического процесса и выбранного программного обеспечения.

Производится разработка конструкторской документации для изготовления микросхемы СнК для SD-карт как сборочной единицы, включающей корпус, кристалл и элементы соединений.

Разработка технологической документации на изготовление микросхемы не является обязательной и включается в маршрут проектирования тогда, когда требуется коррекция стандартного или создание нового техпроцесса изготовления микросхемы при предъявлении к ней особых требований, например стойкости к воздействию оговоренных в ТЗ механических, климатических, специальных и других факторов.

Для передачи топологии СнК для SD-карт на изготавливающую фабрику разрабатывается сопроводительная документация с краткой информацией о предприятии — разработчике СнК, плюс общие топологические характеристики, такие как размеры кристалла, количество контактных площадок, список

топологических слоев, и требования к техпроцессу.

Таким образом, устанавливается полный перечень этапов и содержание технических процедур, составляющих маршрут и методику проектирования СнК для SD-карт стандарта SDHC.

Заключение

Описанный маршрут и методика проектирования микросхемы контроллера класса «система на кристалле» для SD-карт стандарта SDHC позволяет унифицировать процесс разработки СнК на базе СБИС. Такая унификация дает возможность улучшить координацию деятельности по созданию СнК между предприятиями, которые разрабатывают РЭА, и внутри этих компаний.

Статья подготовлена сотрудниками компании ООО «НПП «Цифровые решения» в рамках выполнения государственного контракта №16.426.11.0035 с Минобрнауки РФ.

Литература

1. Немудров В., Мартин Г. Системы на кристалле. Проектирование и развитие. М.: Техносфера, 2004.
2. Рабаи Ж. М., Чандракасан А., Николич Б. Цифровые интегральные схемы. Методология проектирования. Пер. с англ. М.: ИД «Вильямс», 2007.
3. Мурог С. Системное проектирование сверхбольших интегральных схем. В 2 кн. Пер. с англ. М.: Мир, 1985.
4. Ферри Д., Эйкерс Л., Гринич Э. Электроника ультрабольших интегральных схем. М.: Мир, 1991.
5. Уэйкерли Д. Ф. Проектирование цифровых устройств. М.: Постмаркет, 2002.
6. Бухтеев А. В. Методы и средства проектирования систем на кристалле // Chip news. 2003. № 4.
7. Hastings A. The art of analog layout. N. J.: Prentice Hall, 2001.
8. Chandrakasan A. P., Bowhill W. J., Fox F. Design of high-performance microprocessor circuits. IEEE Press, 2001.
9. Doering R., Nishi Y. Limits of integrated circuit manufacturing // Proceedings of the IEEE. 2001. V. 89. № 3.
10. Bryant R. E., Cheng K.-T., Kahng A. B., et al. Limitations and challenges of computer-aided design technology for CMOS VLSI // Proceedings of the IEEE. 2001. V. 89, № 3.
11. Ed. Wai-Kai Chen. The VLSI handbook. Boca Raton: CRC Press LLC, 2000.
12. Состав информации и форматы ее передачи для цифровых СФ-блоков. ШИЛГ 430109.002 РМ.
13. Сложнофункциональные блоки (СФ-блоки). Общие требования к разработке. ШИЛГ 430109.004 РМ.
14. Состав и форматы передачи информации для тестирования цифровых СФ-блоков. ШИЛГ 430109.003 РМ.