

Особенности архитектуры нового поколения ПЛИС с архитектурой FPGA фирмы Xilinx

Валерий ЗОТОВ
walerry@km.ru

В текущем году фирма Xilinx приступила к серийному выпуску последних семейств ПЛИС, относящихся к сериям Virtex-6 и Spartan-6, информация о которых была представлена в [1–3]. Вместе с тем, подтверждая статус ведущего производителя кристаллов программируемой логики с архитектурой FPGA (Field Programmable Gate Array), фирма Xilinx сообщила о разработке нового поколения ПЛИС, производство которых должно начаться в следующем, 2011 году. Цель этой статьи — ознакомление разработчиков с наиболее существенными особенностями, основными характеристиками и составом новых серий ПЛИС.

Общая характеристика и особенности кристаллов программируемой логики с архитектурой FPGA нового поколения

Новое поколение кристаллов программируемой логики с архитектурой FPGA будет представлено тремя сериями ПЛИС —

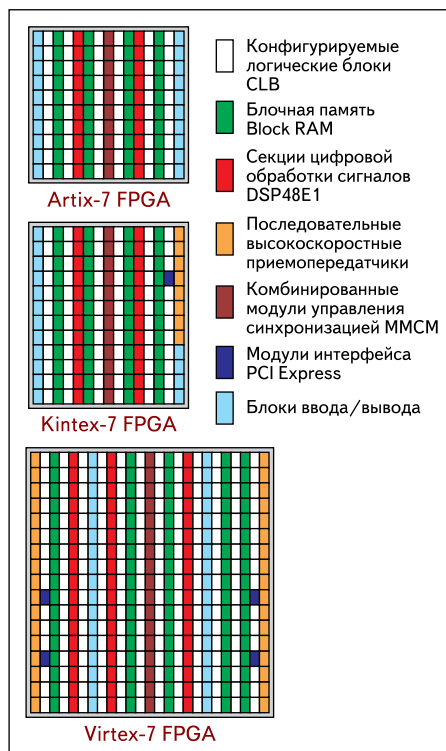


Рис. 1. Топология логических и специализированных аппаратных блоков в ПЛИС серий Artix-7, Kintex-7 и Virtex-7

Artix-7, Kintex-7 и Virtex-7, производимыми по High-K Metal Gate (HKMG) технологии 28 нм. Таким образом, фирма Xilinx существенно обновляет спектр продукции, который традиционно был представлен ею на рынке ПЛИС в последнее десятилетие [4]. Прекращается разработка новых семейств кристаллов линейки Spartan, архитектура которых, за исключением Spartan-6, соответствовала структуре ПЛИС серии Virtex предыдущего поколения. При проектировании серий Virtex-6 [5–16] и Spartan-6 [17–26] был сделан первый шаг в процессе перехода к одновременному выпуску нескольких линеек кристаллов программируемой логики с архитектурой FPGA, соответствующих одному поколению.

В кристаллах программируемой логики всех семейств нового поколения применяется единая унифицированная архитектура, которая является результатом дальнейшего развития архитектуры ПЛИС серии Virtex-6. Тем самым созданы все необходимые предпосылки для быстрого и легкого переноса разработанных ранее проектов в кристаллы соответствующей серии — Artix-7, Kintex-7 или Virtex-7. Одновременный выпуск трех указанных линеек ПЛИС с унифицированной архитектурой позволяет выбрать для реализации проектируемого устройства и последующего серийного производства кристалл с оптимальным сочетанием объемов логических ресурсов, специализированных аппаратных блоков, быстродействия и потребляемой мощности. В ПЛИС всех серий нового поколения применяется единая масштабируемая топология логических и специализированных аппаратных блоков (рис. 1).

Основу архитектуры кристаллов серий Artix-7, Kintex-7 и Virtex-7 образует мас-

сив конфигурируемых логических блоков (Configurable Logic Block, CLB), каждый из которых содержит две секции. Во всех трех сериях используются секции двух типов SLICEM и SLICEL, структура которых унаследована от ПЛИС серии Virtex-6 [1]. Каждая из этих секций включает в себя четыре реальные шестивходовые таблицы преобразования Look-Up Table (LUT), с выходами которых сопряжено по паре триггеров. В состав конфигурируемого логического блока могут входить секции двух типов (CLB_LM) или только одного типа SLICEL (CLB_LL). На рис. 2 представлена структура двух ти-

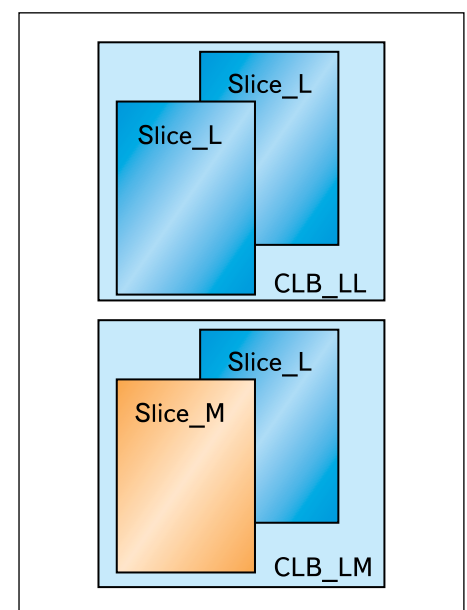


Рис. 2. Обобщенная структура конфигурируемых логических блоков CLB, применяемых в ПЛИС серий Artix-7, Kintex-7 и Virtex-7

пов конфигурируемых логических блоков CLB, применяемых в ПЛИС серий Artix-7, Kintex-7 и Virtex-7. В отличие от ПЛИС серии Spartan-6 в архитектуре кристаллов нового поколения отсутствуют секции SLICEX.

Блочная память Block RAM в кристаллах серий Artix-7, Kintex-7 и Virtex-7 имеет ту же организацию, что и в ПЛИС серии Virtex-6. Каждый модуль двухпортовой блочной памяти емкостью 36 кбит, который может использоваться в виде двух независимых блоков объемом 18 кбит, оснащенных встроенной системой обнаружения и коррекции ошибок и специальной схемой управления, необходимой для организации запоминающих устройств, функционирующих по принципу «первым вошел – первым вышел» (first-in first-out, FIFO).

Наиболее заметными отличиями кристаллов программируемой логики нового поколения по сравнению с ПЛИС серий Virtex-6 и Spartan-6 являются:

- Снижение уровня потребляемой мощности.
- Повышение производительности реализуемых устройств и систем.
- Усовершенствованная комплексная система распределения тактовых сигналов внутри кристалла, включающая совокупность различных типов линий и соответствующих буферных элементов и обеспечивающая минимизацию задержек распространения сигналов синхронизации.
- Внедрение модернизированных блоков управления синхронизацией Clock Management Tile (CMT), включающих в себя комбинированный модуль управления синхронизацией Mixed-Mode Clock Managers (MMCM) и систему ФАПЧ (Phase-Locked Loop, PLL).
- Применение интегрированных аппаратных модулей интерфейса PCI Express следующего поколения, соответствующих спецификации PCI Express Base Specification Revision 2.1 (Gen1, Gen2), которые могут конфигурироваться как конечное устройство (Endpoint) или как корневой порт (Root Port).
- Возможность реализации в кристаллах серий Kintex-7 и Virtex-7 модулей интерфейса PCI Express, соответствующих спецификации PCI Express Base Specification Revision 3.0 (Gen3) на основе синтезируемых IP-ядер.
- Поддержка расширенного спектра однополюсных и дифференциальных цифровых стандартов ввода/вывода с уровнями сигналов от 1,2 до 3,3 В, что является результатом дальнейшей модернизации технологии SelectI/O, включающей в себя модули цифрового управления импедансом Digitally controlled impedance (DCI) и интерфейсные блоки ChipSync.
- Применение усовершенствованных блоков ввода/вывода, поддерживающих режим энергосбережения.

Таблица 1. Основные параметры ПЛИС серии Artix-7

Тип ресурсов ПЛИС		Тип кристалла				
		XC7A20	XC7A40	XC7A105	XC7A175T	XC7A355T
Логические ресурсы	Количество секций (Slices)	2800	6200	16 200	27 050	55 050
	Общее число триггеров (CLB)	22 400	49 600	129 600	216 400	440 400
	Число логических ячеек (Logic Cells)	17 920	39 680	103 680	173 200	352 320
Ресурсы памяти	Объем распределенной памяти (1К = 1024 бит)	225К	450К	1275К	2063К	4188К
	Количество модулей блочной памяти (Block RAM) емкостью 36 кбит	20	40	120	185	335
	Объем блочной памяти (1К = 1024 бит) (Block RAM)	720К	1440К	4320К	6660К	12 060К
Модули синхронизации	Количество блоков управления синхронизацией (Clock Management Tiles, CMT)	2	4	6	9	9
	Число модулей управления синхронизацией (Mixed-Mode Clock Managers, MMCM)	2	4	6	9	9
Встроенные специализированные аппаратные модули	Число аппаратных секций цифровой обработки сигналов DSP48E1	40	80	240	400	700
	Число аппаратных модулей PCI Express	–	–	–	1	1
	Количество аппаратных блоков HMAC	–	–	1	1	1
	Число высокоскоростных последовательных приемопередатчиков RocketIO GTP	–	–	–	4	4
	Количество аналого-цифровых блоков XADC	–	–	1	1	1
Ресурсы ввода/вывода	Максимальное число пользовательских выводов	100	200	300	450	450
	Максимальное число дифференциальных пар выводов	48	96	144	216	216
	Поддерживаемые стандарты сигналов ввода/вывода	LVCMOS (3,3; 2,5; 1,8; 1,5 и 1,2 В), HSTL_I (1,8 и 1,5 В), HSTL_II (1,8 и 1,5 В), Diff_HSTL_I (1,8 и 1,5 В), Diff_HSTL_II (1,8 В), LVDS, Mini LVDS, PPDS, RSDS (pt-to-pt), SSTL_I (1,8 В), SSTL_II (1,8 В), SSTL (1,5 В), PCI, TMDS				
Варианты быстройдействия ПЛИС	Варианты быстройдействия для коммерческого исполнения	-L1, -1, -2, -3	-L1, -1, -2, -3	-L1, -1, -2, -3	-L1, -1, -2, -3	-L1, -1, -2, -3
	Варианты быстройдействия для промышленного исполнения	-L1, -1, -2	-L1, -1, -2	-L1, -1, -2	-L1, -1, -2	-L1, -1, -2
Конфигурационная память	Объем конфигурационной памяти, Мбит	5,3	10,5	27,1	45,1	84,6

- Наличие в каждом кристалле, содержащем более 100 000 логических ячеек, аналого-цифрового блока XADC, предоставляющего возможность преобразования в цифровую форму 17 внешних аналоговых сигналов, а также контроля значений уровней напряжений питания и температуры ПЛИС.
 - Применение новых модификаций высокоскоростных приемопередатчиков RocketIO с максимальной скоростью приема и передачи данных до 13,1 Гбит/с, обеспечивающих возможность реализации широкого спектра интерфейсов вычислительных и телекоммуникационных систем, включая PCI Express, SATA/SAS, DisplayPort, Ethernet, SONET/OTU, Interlaken, Aurora.
 - Поддержка новых низковольтных (1,2, 1,35 В) высокоскоростных интерфейсов памяти различного типа.
 - Использование во всех сериях ПЛИС (Artix-7, Kintex-7 и Virtex-7) единой архитектуры секций цифровой обработки сигналов (ЦОС) DSP48E1.
 - Новый расширенный ряд корпусного исполнения, включающий компактные варианты корпусов, обеспечивающие минимизацию площади печатной платы, занимаемой ПЛИС.
 - Возможность реализации встраиваемых микропроцессорных систем на основе новой версии конфигурируемого 32-разрядного ядра MicroBlaze v8.
- Поддержка кристаллов нового поколения средствами проектирования Xilinx ISE (Integrated Software Environment/Integrated Synthesis Environment) Design Suite будет осуществляться, предположительно, начиная с 13-й версии.

Состав и основные характеристики ПЛИС серии Artix-7

Кристаллы программируемой логики серии Artix-7 характеризуются среди ПЛИС нового поколения наименьшими значениями потребляемой мощности и низкой стоимостью, поэтому ориентированы на применение в составе серийно выпускаемой аппаратуры. ПЛИС этой линейки наиболее эффективно подходят для реализации проектируемых устройств, выполняемых в настоящее время на базе кристаллов серии Spartan-3 и Spartan-6.

В составе серии Artix-7 предполагается выпуск пяти типов кристаллов, содержащих от 17 920 до 352 320 логических ячеек (Logic Cells). Сведения об основных функциональных возможностях ПЛИС серии Artix-7 представлены в таблице 1, которая содержит данные об объеме доступных ресурсов различного типа. Эту серию условно можно разбить на два семейства, по аналогии с линейкой ПЛИС Spartan-6. К первому семейству относятся кристаллы XC7A20, XC7A40 и XC7A105, которые не содержат высокоскоростных приемопередатчиков и аппаратных блоков интерфейса PCI Express. Второе семейство представлено двумя типами ПЛИС — XC7A175T и XC7A355T, в состав которых входят четыре высокоскоростных приемопередатчика RocketIO типа GTP, поддерживающие скорости приема и передачи данных до 3,75 Гбит/с, и аппаратный блок интерфейса PCI Express, соответствующий спецификации PCI Express Base 2.1 Specification (Gen1) с поддержкой скорости передачи данных 2,5 Гбит/с.

Информация о корпусном исполнении каждого типа ПЛИС серии Artix-7, с указанием количества доступных высокоскорост-

Таблица 2. Типы корпусного исполнения ПЛИС серии Artix-7

Тип кристалла	Тип корпуса ПЛИС											
	CPG236		CSG324		CSG484		FTG256		FGG484		FGG 784	
	10×10 мм		15×15 мм		19×19 мм		17×17 мм		23×23 мм		29×29 мм	
	Количество высокоскоростных приемопередатчиков RocketIO GTP	Число пользовательских выводов	Количество высокоскоростных приемопередатчиков RocketIO GTP	Число пользовательских выводов	Количество высокоскоростных приемопередатчиков RocketIO GTP	Число пользовательских выводов	Количество высокоскоростных приемопередатчиков RocketIO GTP	Число пользовательских выводов	Количество высокоскоростных приемопередатчиков RocketIO GTP	Число пользовательских выводов	Количество высокоскоростных приемопередатчиков RocketIO GTP	Число пользовательских выводов
XC7A20	–	100	–	–	–	–	100	–	–	–	–	–
XC7A40	–	140	–	200	–	–	170	–	–	–	–	–
XC7A105	–	140	–	210	–	285	–	–	–	300	–	–
XC7A175T	–	–	–	210	4	285	–	–	–	325	4	450
XC7A355T	–	–	–	–	4	285	–	–	–	325	4	450

нальные стандарты с максимальными уровнями 1,8 и 3,3 В, и последовательных приемопередатчиков RocketIO GTX, приведена в таблице 4.

Состав и основные характеристики ПЛИС серии Virtex-7

Кристаллы программируемой логики серии Virtex-7 из всей совокупности ПЛИС нового поколения обладают максимальным объемом логических и специализированных аппаратных ресурсов, включающих в себя секции цифровой обработки сигналов, сверхскоростные последовательные приемопередатчики и модули интерфейса PCI Express. Максимальный объем ресурсов различного типа и производительность представителей линейки Virtex-7 более чем в два раза превосходят аналогичные показатели серии Virtex-6 [5–16]. Поэтому кристаллы этой серии могут рассматриваться в качестве перспективной элементной базы для реализации сверхпроизводительных телекоммуникационных устройств и систем.

В составе серии Virtex-7 первоначально планируется выпуск двух семейств ПЛИС — Virtex-7 T и Virtex-7 XT. Наиболее заметные различия в архитектуре кристаллов этих семейств — тип применяемых высокоскоростных последовательных приемопередатчиков и совокупность цифровых сигнальных

ных последовательных приемопередатчиков RocketIO типа GTP и пользовательских входов/выходов, приведена в таблице 2. Судя по этой таблице, в кристалле XC7A175T, выпускаемом в корпусах CSG324 и FGG484, а также в ПЛИС XC7A355T в корпусе FGG484 отсутствуют высокоскоростные последовательные приемопередатчики RocketIO GTP. Такое решение объясняется необходимостью обеспечения совместимости по выводам с другими ПЛИС серии Artix-7, которые производятся в указанных корпусах. Все пользовательские выводы кристаллов этой серии поддерживают цифровые сигнальные стандарты с уровнями сигналов до 3,3 В включительно.

Состав и основные характеристики кристаллов программируемой логики серии Kintex-7

ПЛИС серии Kintex-7 отличаются оптимальным соотношением производительности и стоимости. Эта линейка будет представлена пятью типами кристаллов, которые содержат от 30 400 до 406 720 логических ячеек (Logic Cells). Основные параметры ПЛИС этой серии, отражающие сведения о количестве доступных логических и специализированных аппаратных ресурсов каждого типа, представлены в таблице 3.

По сравнению с кристаллами программируемой логики серии Artix-7 ПЛИС линейки Kintex-7 обладают более высокой концентрацией секций цифровой обработки сигналов DSP48E1 и модулей двухпортовой блочной памяти Block RAM. Кроме того, каждый кристалл серии Kintex-7 содержит модифицированные последовательные высокоскоростные приемопередатчики RocketIO типа GTX, которые поддерживают скорость приема и передачи данных до 10,3125 Гбит/с. В составе каждой ПЛИС указанной серии присутствует аппаратный модуль интерфейса PCI Express, который соответствует спецификации PCI Express Base Specification Revision 2.1 (Gen1, Gen2) и поддерживает скорости передачи данных 2,5 и 5 Гбит/с соответственно.

Блоки ввода/вывода кристаллов серии Kintex-7 подразделяются на две группы. В первую группу входят блоки ввода/вывода, поддерживающие цифровые сигнальные стандарты с уровнями сигналов до 3,3 В. Ко второй группе относятся блоки ввода/вывода, в которых предусмотрена поддержка только низковольтных цифровых сигнальных стандартов с уровнями сигналов до 1,8 В.

Информация о применяемых разновидностях корпусов для каждого типа кристалла программируемой логики серии Kintex-7, с указанием количества доступных пользовательских выводов, поддерживающих сиг-

Таблица 3. Основные параметры ПЛИС серии Kintex-7

Тип ресурсов ПЛИС	Тип кристалла				
	XC7K30T	XC7K70T	XC7K160T	XC7K325T	XC7K410T
Логические ресурсы	Количество секций (Slices)				
	4750	10 550	25 350	50 950	63 550
Ресурсы памяти	Общее число триггеров CLB				
	38 000	84 400	202 800	407 600	508 400
Модули синхронизации	Число логических ячеек (Logic Cells)				
	30 400	67 520	162 240	326 080	406 720
Встроенные специализированные аппаратные модули	Объем распределенной памяти (1К = 1024 бит)				
	413К	838К	1938К	4000К	5663К
Ресурсы ввода/вывода	Количество модулей блочной памяти (Block RAM) емкостью 36 кбит				
	65	135	225	445	795
Варианты быстродействия ПЛИС	Объем блочной памяти (1К = 1024 бит) (Block RAM)				
	2340К	4860К	8100К	16 020К	28 620К
Конфигурационная память	Количество блоков управления синхронизацией (Clock Management Tiles, CMT)				
	3	6	8	10	10
Варианты быстродействия ПЛИС	Число модулей управления синхронизацией (Mixed-Mode Clock Managers, MMCM)				
	3	6	8	10	10
Варианты быстродействия ПЛИС	Число аппаратных секций цифровой обработки сигналов DSP48E1				
	120	240	400	840	1540
Варианты быстродействия ПЛИС	Число аппаратных модулей PCI Express				
	1	1	1	1	1
Варианты быстродействия ПЛИС	Количество аппаратных блоков HMAC				
	1	1	1	1	1
Варианты быстродействия ПЛИС	Число высокоскоростных последовательных приемопередатчиков RocketIO GTX				
	4	8	8	16	16
Варианты быстродействия ПЛИС	Количество аналого-цифровых блоков XADC				
	–	–	1	1	1
Варианты быстродействия ПЛИС	Максимальное число пользовательских выводов				
	150	300	400	500	500
Варианты быстродействия ПЛИС	Максимальное число дифференциальных пар выводов				
	72	144	192	240	240
Варианты быстродействия ПЛИС	Поддерживаемые стандарты сигналов ввода/вывода				
	1) LVCMOS (3,3; 2,5; 1,8; 1,5 и 1,2 В), HSTL_I (1,8 и 1,5 В), HSTL_II (1,8 и 1,5 В), Diff_HSTL_I (1,8 и 1,5 В), Diff_HSTL_II (1,8 В), LVDS, Mini LVDS, PPDS, RSDS (pt-to-pt), SSTL_I (1,8 В), SSTL_II (1,8 В), SSTL (1,5 и 1,35 В), PCI, TMDS; 2) LVCMOS (1,8; 1,5 и 1,2 В), SSTL_I (1,8 В), SSTL_I_DCI (1,8 В), SSTL_II (1,8 В), SSTL_II_DCI (1,8 В), SSTL_II_T_DCI (1,8 В), DIFF_SSTL_II_T_DCI (1,8 В), DIFF_SSTL_I (1,8 В), DIFF_SSTL_I_DCI (1,8 В), DIFF_SSTL_II (1,8 В), DIFF_SSTL_II_DCI (1,8 В), HSTL_I (1,8; 1,5 и 1,2 В), HSTL_I_DCI (1,8 и 1,5 В), HSTL_II (1,8 и 1,5 В), HSTL_II_T_DCI (1,8 и 1,5 В), DIFF_HSTL_II_T_DCI (1,8 и 1,5 В), DIFF_HSTL_I (1,8 и 1,5 В), DIFF_HSTL_II_DCI (1,8 и 1,5 В), DIFF_HSTL_II (1,8 и 1,5 В), DIFF_HSTL_II_DCI (1,8 и 1,5 В), LVDCI (1,8 и 1,5 В), HSTLVDCI (1,8 и 1,5 В), LVDCI_DV2 (1,8 и 1,5 В), SSTL (1,5 и 1,35 В), SSTL_DCI (1,5 и 1,35 В), DIFF_SSTL (1,5 и 1,35 В), DIFF_SSTL_dci (1,5 и 1,35 В), DIFF_SSTL_T_DCI (1,5 и 1,35 В).				
Варианты быстродействия ПЛИС	Варианты быстродействия для коммерческого исполнения				
	-L1, -1, -2, -3	-L1, -1, -2, -3	-L1, -1, -2, -3	-L1, -1, -2, -3	-L1, -1, -2, -3
Варианты быстродействия ПЛИС	Варианты быстродействия для промышленного исполнения				
	-L1, -1, -2	-L1, -1, -2	-L1, -1, -2	-L1, -1, -2	-L1, -1, -2
Варианты быстродействия ПЛИС	Объем конфигурационной памяти, Мбит				
	11,6	23,2	45,1	88,2	122,0

Таблица 4. Типы корпусного исполнения ПЛИС серии Kintex-7

Тип кристалла	Тип корпуса ПЛИС																	
	SBG324			FBG484			FBG676			FBG900			FFG676			FFG900		
	15×15 мм			23×23 мм			27×27 мм			31×31 мм			27×27 мм			31×31 мм		
	Количество высокоскоростных приемопередатчиков RocketIO GTX	Число пользовательских выводов, совместимых с 3,3 В	Число пользовательских выводов, совместимых с 1,8 В	Количество высокоскоростных приемопередатчиков RocketIO GTX	Число пользовательских выводов, совместимых с 3,3 В	Число пользовательских выводов, совместимых с 1,8 В	Количество высокоскоростных приемопередатчиков RocketIO GTX	Число пользовательских выводов, совместимых с 3,3 В	Число пользовательских выводов, совместимых с 1,8 В	Количество высокоскоростных приемопередатчиков RocketIO GTX	Число пользовательских выводов, совместимых с 3,3 В	Число пользовательских выводов, совместимых с 1,8 В	Количество высокоскоростных приемопередатчиков RocketIO GTX	Число пользовательских выводов, совместимых с 3,3 В	Число пользовательских выводов, совместимых с 1,8 В	Количество высокоскоростных приемопередатчиков RocketIO GTX	Число пользовательских выводов, совместимых с 3,3 В	Число пользовательских выводов, совместимых с 1,8 В
XC7K30T	4	100	50	4	100	50	—	—	—	—	—	—	—	—	—	—	—	—
XC7K70T	4	114	50	4	185	100	8	200	100	—	—	—	—	—	—	—	—	—
XC7K160T	—	—	—	4	185	100	8	250	150	—	—	—	8	250	150	—	—	—
XC7K325T	—	—	—	—	—	—	8	250	150	16	350	150	8	250	150	16	350	150
XC7K410T	—	—	—	—	—	—	8	250	150	16	350	150	8	250	150	16	350	150

Таблица 5. Основные параметры ПЛИС семейства Virtex-7 Т

Тип ресурсов ПЛИС	Тип кристалла						
	XC7V285T	XC7V450T	XC7V585T	XC7V855T	XC7V1500T	XC7V2000T	
Логические ресурсы	Количество секций (Slices)	44 700	70 450	91 050	133 350	229 050	305 400
	Общее число триггеров (CLB)	357 600	563 600	728 400	1 066 800	1 832 400	2 443 200
	Число логических ячеек (Logic Cells)	286 080	450 880	582 720	853 440	1 465 920	1 954 560
Ресурсы памяти	Объем распределенной памяти (1К = 1024 бит)	3475К	5388К	6938К	10 313К	16 163К	21 550К
	Количество модулей блочной памяти (Block RAM) емкость 36 кбит	410	615	795	1155	969	1292
	Объем блочной памяти (1К = 1024 бит) (Block RAM)	14 760К	22 140К	28 620К	41 580К	34 884К	46 512К
Модули синхронизации	Количество блоков управления синхронизацией (Clock Management Tiles, CMT)	14	14	18	18	18	24
	Число модулей управления синхронизацией (Mixed-Mode Clock Managers, MMCM)	14	14	18	18	18	24
Встроенные специализированные аппаратные модули	Число аппаратных секций DSP48E1	700	980	1260	1800	1620	2160
	Число аппаратных модулей PCI Express	2	3	3	3	3	4
	Количество аппаратных блоков HMAC	1	1	1	1	1	1
	Число высокоскоростных последовательных приемопередатчиков RocketIO GTX	28	28	36	36	36	36
Ресурсы ввода/вывода	Количество аналого-цифровых блоков XADC	1	1	1	1	1	1
	Максимальное число пользовательских выводов	700	700	850	850	850	1200
	Максимальное число дифференциальных пар выводов	336	336	408	408	408	576
Поддерживаемые стандарты сигналов ввода/вывода	1) LVCMOS (3,3; 2,5; 1,8; 1,5 и 1,2 В), HSTL_I (1,8 и 1,5 В), HSTL_II (1,8 и 1,5 В), Diff_HSTL_I (1,8 и 1,5 В), Diff_HSTL_II (1,8 В), LVDS, Mini LVDS, PPDS, RSDS (pt-to-pt), SSTL_I (1,8 В), SSTL_II (1,8 В), SSTL (1,5 и 1,35 В), PCI, TMD5; 2) LVCMOS (1,8; 1,5 и 1,2 В), SSTL_I (1,8 В), SSTL_II_DCI (1,8 В), SSTL_II (1,8 В), SSTL_II_DCI (1,8 В), SSTL_II_T_DCI (1,8 В), DIFF_SSTL_II_T_DCI (1,8 В), DIFF_SSTL_I (1,8 В), DIFF_SSTL_T_DCI (1,8 В), DIFF_SSTL_II (1,8 В), DIFF_SSTL_II_DCI (1,8 В), HSTL_I (1,8 В, 1,5 В, 1,2 В), HSTL_II_DCI (1,8 и 1,5 В), HSTL_II (1,8 и 1,5 В), HSTL_II_DCI (1,8 и 1,5 В), HSTL_II_T_DCI (1,8 и 1,5 В), DIFF_HSTL_II_T_DCI (1,8 и 1,5 В), DIFF_HSTL_I (1,8 и 1,5 В), DIFF_HSTL_II_DCI (1,8 и 1,5 В), DIFF_HSTL_II (1,8 и 1,5 В), DIFF_HSTL_II_DCI (1,8 и 1,5 В), LVDCI (1,8 и 1,5 В), HSTLVDCI (1,8 и 1,5 В), LVDCI_DV2 (1,8 и 1,5 В), SSTL (1,5 и 1,35 В), SSTL_DCI (1,5 и 1,35 В), DIFF_SSTL (1,5 и 1,35 В), DIFF_SSTL_dci (1,5 и 1,35 В), DIFF_SSTL_T_DCI (1,5 и 1,35 В).						
Варианты быстродействия ПЛИС	Варианты быстродействия для коммерческого исполнения	-L1, -1, -2, -3	-L1, -1, -2, -3	-L1, -1, -2, -3	-L1, -1, -2, -3	-L1, -1, -2	-L1, -1, -2
	Варианты быстродействия для промышленного исполнения	-L1, -1, -2	-L1, -1, -2	-L1, -1, -2	-L1, -1, -2	-L1, -1	-L1, -1
Конфигурационная память	Объем конфигурационной памяти, Мбит	75,4	115,4	148,4	214,9	314,4	419,1

стандартов, поддерживаемых блоками ввода/вывода. Кроме того, отличия проявляются в функциональных возможностях отдельных блоков, в частности модуля интерфейса PCI Express.

Семейство Virtex-7 Т будет представлено шестью типами кристаллов, содержащих от 286080 до 1954560 логических ячеек Logic Cells. Детальная информация об объеме доступных ресурсов различного типа и вариантах быстродействия ПЛИС этого семейства приведена в таблице 5.

В составе всех кристаллов семейства Virtex-7 Т используются только модифицированные последовательные высокоскоростные приемопередатчики RocketIO типа GTX, поддерживающие скорости приема и передачи данных до 10,3125 Гбит/с. В составе ПЛИС этого семейства, как и в кристаллах серии Kintex-7, присутствуют блоки ввода/вывода двух видов, отличающиеся совокупностью

Таблица 6. Типы корпусного исполнения ПЛИС семейства Virtex-7 Т

Тип кристалла	Тип корпуса ПЛИС													
	FFG 484			FFG 784			FFG1157			FFG1761			FFG1925	
	23×23 мм			29×29 мм			35×35 мм			42,5×42,5 мм			45×45 мм	
	Количество высокоскоростных приемопередатчиков RocketIO GTX	Число пользовательских выводов, совместимых с 3,3 В	Число пользовательских выводов, совместимых с 1,8 В	Количество высокоскоростных приемопередатчиков RocketIO GTX	Число пользовательских выводов, совместимых с 3,3 В	Число пользовательских выводов, совместимых с 1,8 В	Количество высокоскоростных приемопередатчиков RocketIO GTX	Число пользовательских выводов, совместимых с 3,3 В	Число пользовательских выводов, совместимых с 1,8 В	Количество высокоскоростных приемопередатчиков RocketIO GTX	Число пользовательских выводов, совместимых с 3,3 В	Число пользовательских выводов, совместимых с 1,8 В	Количество высокоскоростных приемопередатчиков RocketIO GTX	Число пользовательских выводов, совместимых с 3,3 В
XC7V285T	8	0	250	12	50	350	20	0	600	28	50	650	—	—
XC7V450T	—	—	—	12	50	350	20	0	600	28	50	650	—	—
XC7V585T	—	—	—	—	—	—	20	0	600	36	100	750	—	—
XC7V855T	—	—	—	—	—	—	20	0	600	36	100	750	—	—
XC7V1500T	—	—	—	—	—	—	20	0	600	36	0	850	—	—
XC7V2000T	—	—	—	—	—	—	—	—	—	36	0	850	16	0

Таблица 7. Основные параметры ПЛИС семейства Virtex-7 XT

Тип ресурсов ПЛИС		Тип кристалла					
		XC7VX415T	XC7VX485T	XC7VX575T	XC7VX690T	XC7VX850T	XC7VX865T
Логические ресурсы	Количество секций (Slices)	64 400	75 900	90 000	107 800	133 000	135 000
	Общее число триггеров (CLB)	515 200	607 200	720 000	862 400	1 064 000	1 080 000
	Число логических ячеек (Logic Cells)	412 160	485 760	576 000	689 920	851 200	864 000
Ресурсы памяти	Объем распределенной памяти (1К = 1024 бит)	6525K	8000K	8850K	10 850K	13 125K	13 275K
	Количество модулей блочной памяти (Block RAM) емкостью 36 кбит	880	1030	1200	1460	1740	1800
	Объем блочной памяти (1К = 1024 бит) (Block RAM)	31 680K	37 080K	43 200K	52 560K	63 360K	64 800K
Модули синхронизации	Количество блоков управления синхронизацией (Clock Management Tiles, CMT)	12	14	12	20	18	18
	Число модулей управления синхронизацией (Mixed-Mode Clock Managers, MMCM)	12	14	12	20	18	18
Встроенные специализированные аппаратные модули	Число аппаратных секций DSP48E1	2160	2800	2640	3600	3960	3960
	Число аппаратных модулей PCI Express	2	4	–	4	4	–
	Количество аппаратных блоков HMAC	1	1	1	1	1	1
	Число высокоскоростных последовательных приемопередатчиков RocketIO GTX	24	56	–	56	48	–
	Число высокоскоростных последовательных приемопередатчиков RocketIO GTH	24	–	48	24	24	72
	Количество аналого-цифровых блоков XADC	1	1	1	1	1	1
Ресурсы ввода/вывода	Максимальное число пользовательских выводов	600	700	600	1000	880	640
	Максимальное число дифференциальных пар выводов	288	336	288	480	422	307
	Поддерживаемые стандарты сигналов ввода/вывода	LVCMOS (1,8; 1,5 и 1,2 В), SSTL_I (1,8 В), SSTL_I_DCI (1,8 В), SSTL_II (1,8 В), SSTL_II_DCI (1,8 В), SSTL_II_T_DCI (1,8 В), DIFF_SSTL_II_T_DCI (1,8 В), DIFF_SSTL_I (1,8 В), DIFF_SSTL_T_DCI (1,8 В), DIFF_SSTL_II (1,8 В), DIFF_SSTL_DCI (1,8 В), HSTL_I (1,8; 1,5 и 1,2 В), HSTL_I_DCI (1,8 и 1,5 В), HSTL_II (1,8 и 1,5 В), HSTL_II_DCI (1,8 и 1,5 В), HSTL_II_T_DCI (1,8 и 1,5 В), DIFF_HSTL_I (1,8 и 1,5 В), DIFF_HSTL_I_DCI (1,8 и 1,5 В), DIFF_HSTL_II (1,8 и 1,5 В), DIFF_HSTL_II_DCI (1,8 и 1,5 В), LVDCI (1,8 и 1,5 В), HSTLVDCI (1,8 и 1,5 В), LVDCI_DV2 (1,8 и 1,5 В), SSTL (1,5 и 1,35 В), SSTL_DCI (1,5 и 1,35 В), DIFF_SSTL (1,5 и 1,35 В), DIFF_SSTL_dci (1,5 и 1,35 В), DIFF_SSTL_T_DCI (1,5 и 1,35 В).					
	Варианты быстройдействия для коммерческого исполнения	-1, -2, -3	-1, -2, -3	-1, -2	-1, -2, -3	-1, -2	-1, -2
Варианты быстройдействия для промышленного исполнения	-1, -2	-1, -2	-1	-1, -2	-1	-1	
Конфигурационная память	Объем конфигурационной памяти, Мбит	126,7	150,3	171,8	211,1	258,8	257,7

Таблица 8. Типы корпусного исполнения ПЛИС семейства Virtex-7 XT

Тип кристалла	Тип корпуса ПЛИС																										
	FFG1157			FFG1761			FFG1158			FFG1159			FFG1926			FFG1927			FFG1928			FFG1929			FFG1930		
	35×35 мм			42,5×42,5 мм			35×35 мм			35×35 мм			45×45 мм			45×45 мм			45×45 мм			45×45 мм			45×45 мм		
	Количество высокоскоростных приемопередатчиков GTX	Количество высокоскоростных приемопередатчиков GTN	Число пользовательских выводов, совместимых с 1,8 В	Количество высокоскоростных приемопередатчиков GTX	Количество высокоскоростных приемопередатчиков GTN	Число пользовательских выводов, совместимых с 1,8 В	Количество высокоскоростных приемопередатчиков GTX	Количество высокоскоростных приемопередатчиков GTN	Число пользовательских выводов, совместимых с 1,8 В	Количество высокоскоростных приемопередатчиков GTX	Количество высокоскоростных приемопередатчиков GTN	Число пользовательских выводов, совместимых с 1,8 В	Количество высокоскоростных приемопередатчиков GTX	Количество высокоскоростных приемопередатчиков GTN	Число пользовательских выводов, совместимых с 1,8 В	Количество высокоскоростных приемопередатчиков GTX	Количество высокоскоростных приемопередатчиков GTN	Число пользовательских выводов, совместимых с 1,8 В	Количество высокоскоростных приемопередатчиков GTX	Количество высокоскоростных приемопередатчиков GTN	Число пользовательских выводов, совместимых с 1,8 В	Количество высокоскоростных приемопередатчиков GTX	Количество высокоскоростных приемопередатчиков GTN	Число пользовательских выводов, совместимых с 1,8 В	Количество высокоскоростных приемопередатчиков GTX	Количество высокоскоростных приемопередатчиков GTN	Число пользовательских выводов, совместимых с 1,8 В
XC7VX415T	–	–	–	–	–	–	–	–	–	24	24	320	24	24	600	–	–	–	–	–	–	–	–	–	–	–	–
XC7VX485T	20	0	600	28	0	700	48	0	320	–	–	–	–	–	–	–	–	–	–	–	56	0	560	–	–	–	
XC7VX575T	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
XC7VX690T	–	–	–	–	–	–	48	0	320	24	24	320	48	24	640	24	24	880	–	–	–	56	24	560	28	0	1000
XC7VX850T	–	–	–	–	–	–	–	–	–	–	–	–	48	24	640	24	24	880	–	–	–	–	–	–	–	–	
XC7VX865T	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	640	0	72	–	–	–	

поддерживаемых цифровых сигнальных стандартов.

Подробные сведения о линейке корпусов для каждого типа ПЛИС семейства Virtex-7 T с указанием количества доступных высокоскоростных последовательных приемопередатчиков RocketIO типа GTX и пользовательских входов/выходов, соответствующих цифровым сигнальным стандартам с максимальными уровнями сигналов 1,8 и 3,3 В, представлены в таблице 6.

Семейство Virtex-7 XT будет также включать в себя шесть типов ПЛИС, которые содержат от 412 160 до 864 000 логических ячеек (Logic Cells). Кристаллы этого семейства отличаются от ПЛИС семейства Virtex-7 T, прежде всего, наличием сверхскоростных последовательных приемопередатчиков RocketIO типа GTN, которые обеспечивают возможность приема и передачи данных

со скоростью до 13,1 Гбит/с. В ПЛИС семейства Virtex-7 XT используются различные комбинации последовательных приемопередатчиков GTX и GTN. Таким образом, разработчику предоставляется возможность выбора кристалла с оптимальным сочетанием приемопередатчиков GTX и GTN для реализации проектируемой системы.

Основные параметры ПЛИС семейства Virtex-7 XT, отражающие сведения о количестве доступных логических и специализированных аппаратных ресурсов каждого типа и вариантах быстройдействия, содержатся в таблице 7.

При ознакомлении с данными, приведенными в указанной таблице, следует обратить внимание на то, что блоки ввода ПЛИС семейства Virtex-7 XT поддерживают только цифровые сигнальные стандарты с максимальными уровнями сигналов до 1,8 В.

Информация о применяемых разновидностях корпусов для ПЛИС семейства Virtex-7 XT, с указанием количества доступных пользовательских выводов и высокоскоростных приемопередатчиков RocketIO типов GTX и GTN, отражена в таблице 8.

Оптимизация энергопотребления кристаллов программируемой логики серий Artix-7, Kintex-7 и Virtex-7

Существенная особенность ПЛИС серий Artix-7, Kintex-7 и Virtex-7 — это значительное снижение уровня потребляемой мощности при сохранении и увеличении производительности по сравнению с соответствующими кристаллами предыдущего поколения. Например, использование ПЛИС серии Artix-7 вместо соответствующей

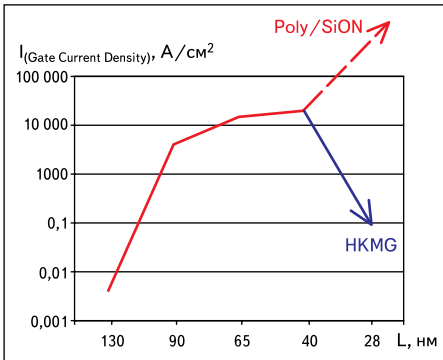


Рис. 3. Изменение плотности тока, протекающего через вентиль, в зависимости от технологических норм при использовании традиционной и НКMG-технологии

ских кристаллов программируемой логики семейств Spartan-6 позволяет в два раза сократить значение потребляемой мощности, повысив при этом производительность реализуемого устройства на 30%. ПЛИС серии Kintex-7 также позволяют получить двукратный выигрыш в энергопотреблении по сравнению с одноплатными кристаллами серии Virtex-6.

Снижение значения потребляемой мощности достигается за счет сочетания различных методов. Прежде всего, уменьшение уровня потребления в статическом режиме обусловлено внедрением нового технологического процесса High-K Metal Gate High-Performance Low-Power Process при производстве кристаллов. Необходимость перехода к новому процессу вызвана тем, что в случае использования вентилях, выполненных на основе традиционной Poly/SiON-технологии, при сокращении технологических норм от 45 до 28 нм и далее начинает значительно возрастать плотность тока, протекающего через вентиль (рис. 3). Применение вентилях, основанных на внедрении НКMG-технологии, позволяет добиться снижения значений этого параметра.

Еще одним фактором, оказывающим влияние на сокращение статической и динамической потребляемой мощности, является понижение значения дополнительного питающего напряжения V_{CCAUX} с 2,5 до 1,8 В. Кроме того, в каждой серии ПЛИС нового поколения предусмотрены варианты кристаллов, в которых значение напряжения питания ядра составляет 0,9 В. Дополнительное снижение потребляемой мощности обеспечивает возможность отключения неиспользуемых блоков. Сокращению энергопотребления способствует также поддержка блоками ввода/вывода ПЛИС серий Artix-7, Kintex-7 и Virtex-7 низковольтных интерфейсов памяти и режима энергосбережения.

Для уменьшения значения потребляемой мощности в динамическом режиме фирмой Xilinx предложена методика Intelligent Clock Gating, которая основана на реорганизации используемых логических ресурсов

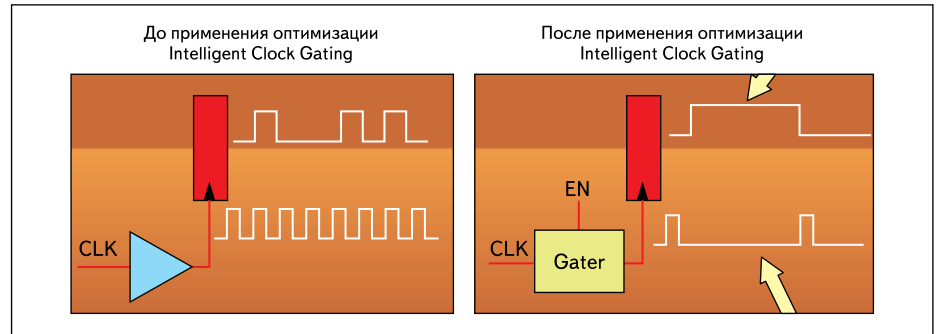


Рис. 4. Использование методики Intelligent Clock Gating для сокращения динамического энергопотребления ПЛИС серий Artix-7, Kintex-7 и Virtex-7

в процессе синтеза проектируемого устройства. Динамическая составляющая энергопотребления ПЛИС прямо пропорциональна частоте переключения сигналов реализуемого устройства. Поэтому в процессе синтеза проектов для последующего размещения и трассировки в кристаллах программируемой логики нового поколения будет выполняться дополнительная оптимизация HDL-описания разрабатываемого устройства, направленная на сокращение количества переключений сигналов с высокой частотой. На рис. 4 показано использование методики Intelligent Clock Gating для снижения мощности, потребляемой ПЛИС серий Artix-7, Kintex-7 и Virtex-7 в динамическом режиме.

Аналого-цифровой блок XADC, применяемый в составе ПЛИС нового поколения

Структура аналого-цифрового блока XADC, входящего в состав кристаллов программируемой логики серий Artix-7, Kintex-7 и Virtex-7, изображена на рис. 5. Основу этой структуры образуют два 12-разрядных аналого-цифровых преобразователя (АЦП) и мультиплексор. Кроме того, к рассматриваемому аналого-цифровому блоку

относятся внутрикристалльные датчики напряжения питания и температуры.

Аналого-цифровой блок XADC поддерживает 17 внешних входных аналоговых каналов. Коммутация аналоговых сигналов на входы АЦП осуществляется с помощью мультиплексора. Каждый АЦП позволяет выполнять преобразование входного аналогового сигнала с частотой дискретизации 1 млн выборок/с и точностью 0,1%. Таким образом, наличие блока XADC в составе ПЛИС нового поколения позволяет полностью реализовать устройство цифровой обработки низкочастотных сигналов на базе одного кристалла, не используя внешних АЦП.

Новый аналого-цифровой блок XADC, используемый в составе кристаллов программируемой логики серий Artix-7, Kintex-7 и Virtex-7, поддерживает также все функции, осуществляемые модулем системного мониторинга (System Monitor), который был представлен в архитектуре ПЛИС семейств Virtex-5 LX, Virtex-5 LXT, Virtex-5 SXT, Virtex-5 FXT, Virtex-5 LXT, Virtex-6 LXT, Virtex-6 SXT и Virtex-6 HXT [5, 14, 27–30]. Он позволяет измерять значение температуры кристалла с точностью $\pm 4^\circ\text{C}$ и уровни напряжений питания с точностью $\pm 1\%$. Для быстрой подготовки описаний

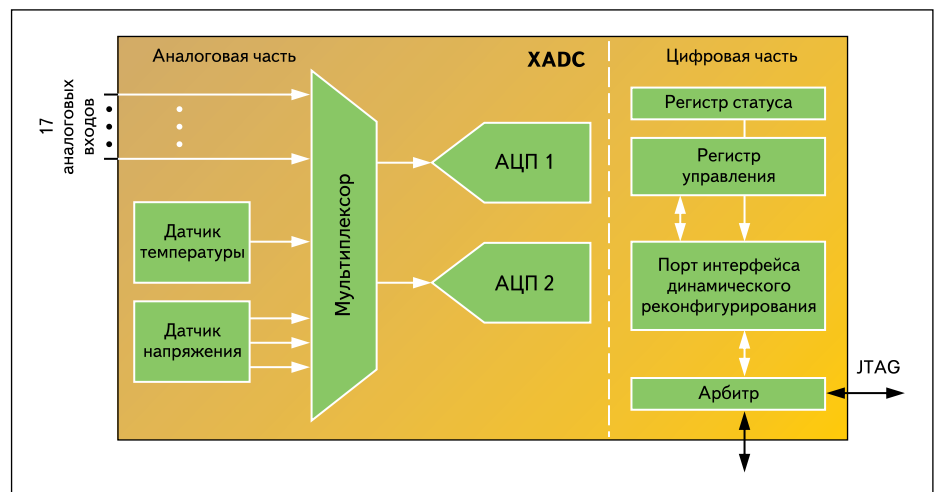


Рис. 5. Структура аналого-цифрового блока XADC, применяемого в составе кристаллов программируемой логики серий Artix-7, Kintex-7 и Virtex-7

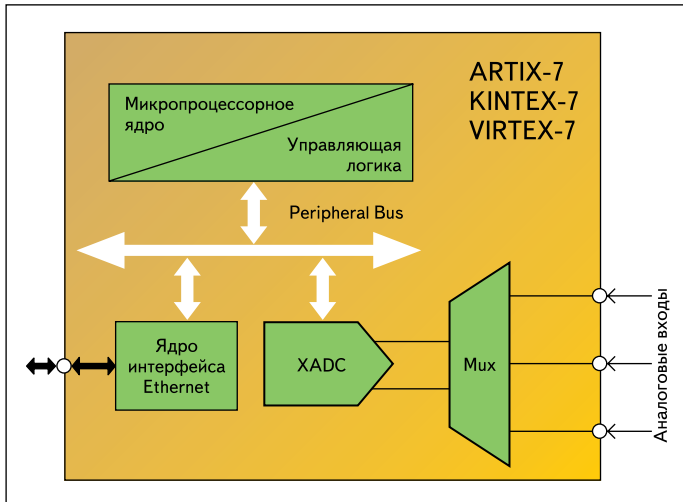


Рис. 6. Структура встраиваемой микропроцессорной системы, включающей аналого-цифровой блок XADC

компонентов устройств цифровой обработки сигналов, реализуемых на базе аппаратного блока XADC, в новой версии системы проектирования Xilinx ISE предусмотрен соответствующий режим «мастера» Architecture Wizard [31].

Аппаратный аналого-цифровой блок XADC можно также применять в составе встраиваемых микропроцессорных систем, выполняемых на базе конфигурируемых 32-разрядных ядер семейства MicroBlaze [32–35] с помощью комплекса средств Xilinx Embedded Development Kit (EDK) [36]. На рис. 6 показан пример встраиваемой

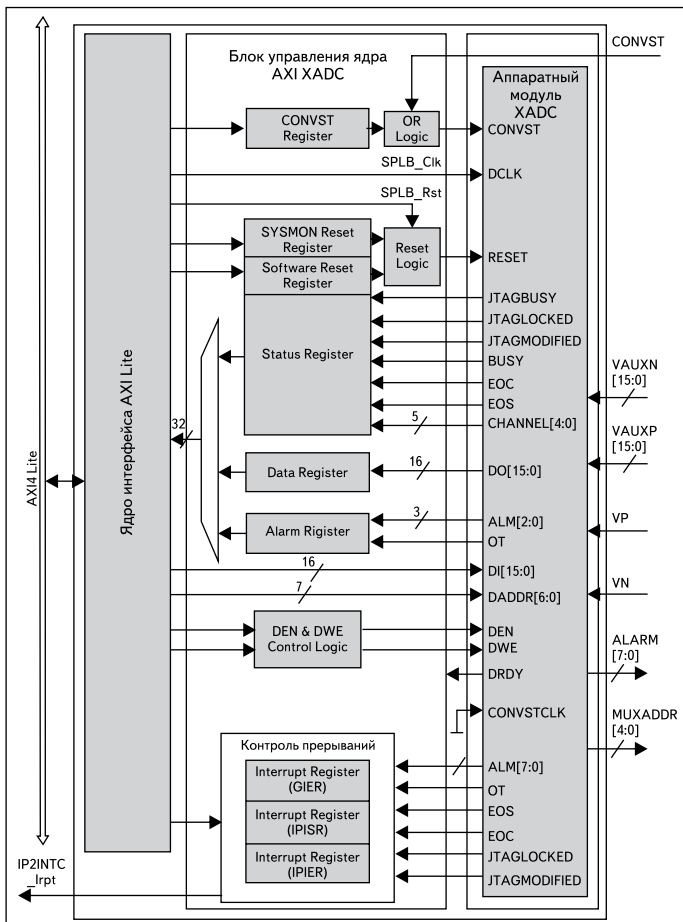


Рис. 7. Структура IP-ядра, включающего аналого-цифровой блок XADC

микропроцессорной системы, включающей модуль XADC, которая осуществляет регистрацию и обработку значений аналоговых сигналов с последующей передачей результатов вычислений через сетевой интерфейс. Представленная система может быть реализована на базе кристаллов программируемой логики серий Artix-7, Kintex-7 и Virtex-7, содержащих более 100 000 логических ячеек.

Для эффективного использования аналого-цифрового блока XADC в составе встраиваемых микропроцессорных систем, создаваемых на основе новой версии конфигурируемого 32-разрядного ядра семейства MicroBlaze, предусмотрено соответствующее IP-ядро с интерфейсом AXI4-Lite. Структура этого ядра показана на рис. 7.

Для аналого-цифрового блока XADC предусмотрена возможность осуществления отладочных операций и мониторинга с использованием комплекса средств внутрикристалльной отладки цифровых устройств и встраиваемых микропроцессорных систем ChipScope Pro [37].

Новая версия микропроцессорного ядра семейства MicroBlaze для ПЛИС серий Artix-7, Kintex-7 и Virtex-7

Представители всех серий нового поколения кристаллов программируемой логики могут эффективно использоваться для реализации встраиваемых микропроцессорных систем, разрабатываемых на основе конфигурируемых 32-разрядных ядер семейства MicroBlaze с помощью комплекса средств Xilinx Embedded Development Kit (EDK). Для этой цели фирма Xilinx предлагает очередную версию ядра MicroBlaze V8, которая будет представлена в двух вариантах. В первом варианте сохранена поддержка интерфейсов Peripheral Local Bus (PLB) v46, Xilinx CacheLink (XCL) и Fast Simplex Link (FSL). Второй вариант основан на использовании протокола AXI (Advanced eXtensible Interface) Protocol. На рис. 8 показаны различия двух вариантов новой версии конфигурируемого микропроцессорного ядра MicroBlaze V8.

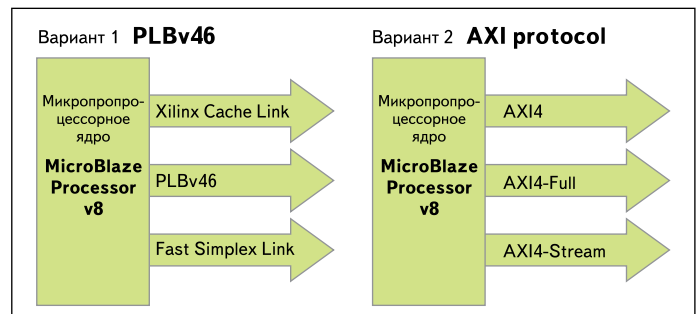


Рис. 8. Варианты новой версии конфигурируемого микропроцессорного ядра MicroBlaze V8

Первый вариант новой версии конфигурируемого микропроцессорного ядра MicroBlaze V8 обладает совместимостью по шинным интерфейсам с предыдущей версией и предназначен, прежде всего, для использования в разработанных ранее проектах систем при их реализации на базе кристаллов серий Artix-7, Kintex-7 и Virtex-7. Второй вариант рекомендуется для применения в процессе проектирования новых встраиваемых систем. Протокол AXI4, который является частью архитектуры Advanced Microcontroller Bus Architecture (AMBA), отличается более широкими возможностями, гибкостью и повышенной производительностью по сравнению с интерфейсом PLB v46. На рис. 9 показан пример архитектуры встраиваемой микропроцессорной системы, выполненной на основе второго варианта новой версии ядра MicroBlaze V8.

Заключительные замечания

Все характеристики кристаллов программируемой логики нового поколения, приведенные выше, основаны на предварительной информа-

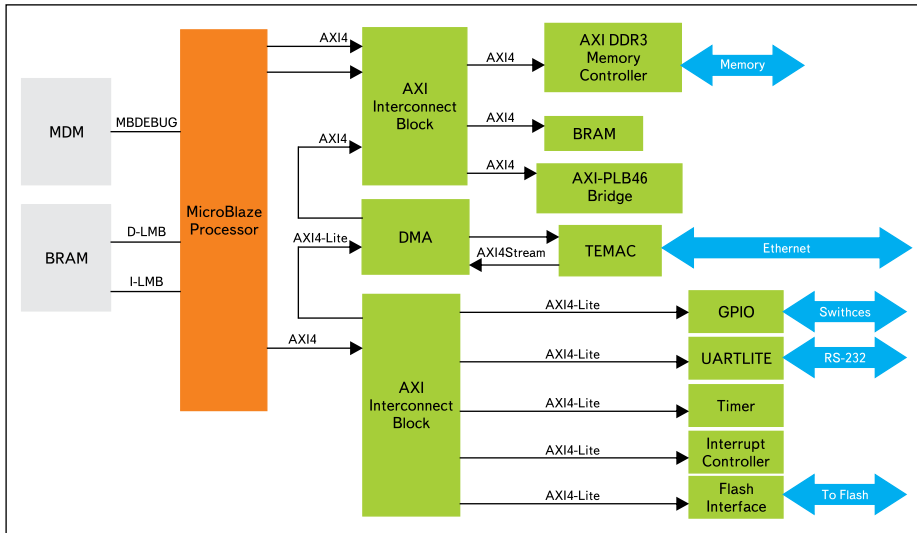


Рис. 9. Пример архитектуры встраиваемой микропроцессорной системы, основанной на использовании интерфейса AXI4

ции, представленной фирмой Xilinx. Поэтому для уточнения конкретных параметров ПЛИС серий Artix-7, Kintex-7 и Virtex-7 рекомендуется обратиться к официальной документации на эти кристаллы, которая должна появиться в следующем году.

Новое поколение ПЛИС, по всей видимости, не ограничится кристаллами, рассмотренными в этой статье. Еще раньше фирмой Xilinx было анонсировано семейство ПЛИС, производимых по технологии 28 нм, в которых будут применяться встроенные аппаратные микропроцессорные ядра с ARM-архитектурой Cortex-A9. Кроме того, планируется выпуск кристаллов, содержащих сверхскоростные последовательные приемопередатчики RocketIO типа TBD, поддерживающие скорость передачи данных до 28 Гбит/с. Более подробная информация об этих кристаллах будет представлена в следующих публикациях. ■

Литература

1. Зотов В. Особенности архитектуры нового поколения высокопроизводительных ПЛИС FPGA

фирмы Xilinx серии Virtex-6 // Компоненты и технологии. 2009. № 8.

2. Зотов В. Особенности архитектуры нового поколения ПЛИС FPGA фирмы Xilinx серии Spartan-6 // Компоненты и технологии. 2009. № 9.
3. Зотов В. Новое семейство высокопроизводительных ПЛИС с архитектурой FPGA фирмы Xilinx Virtex-6 HXT // Компоненты и технологии. 2010. № 1.
4. Кузелин М. О., Кнышев Д. А., Зотов В. Ю. Современные семейства ПЛИС фирмы Xilinx / Справочное пособие. М.: Горячая линия – Телеком, 2004.
5. Virtex-6 Family Overview. Xilinx, 2009.
6. Virtex-6 FPGA Configuration User Guide. Xilinx, 2009.
7. Virtex-6 FPGA SelectIO Resources User Guide. Xilinx, 2009.
8. Virtex-6 FPGA Clocking Resources User Guide. Xilinx, 2009.
9. Virtex-6 FPGA Memory Resources User Guide. Xilinx, 2009.
10. Virtex-6 FPGA Configurable Logic Block User Guide. Xilinx, 2009.
11. Virtex-6 FPGA GTX Transceivers User Guide. Xilinx, 2009.

12. Virtex-6 FPGA Embedded Tri-Mode Ethernet MAC User Guide. Xilinx, 2009.
13. Virtex-6 FPGA DSP48E1 Slice User Guide. Xilinx, 2009.
14. Virtex-6 FPGA System Monitor User Guide. Xilinx, 2009.
15. Virtex-6 FPGA Data Sheet: DC and Switching Characteristics. Xilinx, 2009.
16. Virtex-6 FPGA Packaging and Pinout Specifications. Xilinx, 2009.
17. Spartan-6 Family Overview. Xilinx, 2009.
18. Spartan-6 FPGA Configuration User Guide. Xilinx, 2009.
19. Spartan-6 FPGA SelectIO Resources User Guide. Xilinx, 2009.
20. Spartan-6 FPGA Clocking Resources User Guide. Xilinx, 2009.
21. Spartan-6 FPGA Block RAM User Guide. Xilinx, 2009.
22. Spartan-6 FPGA Configurable Logic Block User Guide. Xilinx, 2009.
23. Spartan-6 FPGA GTP Transceivers User Guide. Xilinx, 2009.
24. Spartan-6 FPGA Memory Controller User Guide. Xilinx, 2009.
25. Spartan-6 FPGA DSP48A1 User Guide. Xilinx, 2009.
26. Spartan-6 FPGA Data Sheet: DC and Switching Characteristics. Xilinx, 2009.
27. Virtex-5 Family Overview. Xilinx, 2008.
28. Virtex-5 FXT Family: Data Sheet. Xilinx, 2008.
29. Virtex-5 FPGA User Guide. Xilinx, 2008.
30. Virtex-5 FPGA System Monitor User Guide. Xilinx, 2008.
31. Зотов В. Разработка компонентов устройств цифровой обработки сигналов, реализуемых на базе аппаратных модулей DSP48E в ПЛИС FPGA серии Virtex-5, с помощью «мастера» Architecture Wizard САПР серии Xilinx ISE // Компоненты и технологии. 2008. № 12. 2009. № 3–7.
32. Зотов В. Проектирование встраиваемых микропроцессорных систем на основе ПЛИС фирмы Xilinx. М.: Горячая линия – Телеком, 2006.
33. Зотов В. MicroBlaze — семейство 32-разрядных микропроцессорных ядер, реализуемых на основе ПЛИС фирмы Xilinx // Компоненты и технологии. 2003. № 9.
34. Зотов В. Система команд микропроцессорного ядра MicroBlaze // Компоненты и технологии. 2004. № 1–3.
35. Зотов В. Организация памяти микропроцессорного ядра MicroBlaze // Компоненты и технологии. 2004. № 5.
36. Зотов В. Embedded Development Kit — система проектирования встраиваемых микропроцессорных систем на основе ПЛИС серий FPGA фирмы Xilinx // Компоненты и технологии. 2004. № 4.
37. Зотов В. Средства внутрикристалльной отладки цифровых устройств и встраиваемых микропроцессорных систем, разрабатываемых на базе ПЛИС с архитектурой FPGA фирмы Xilinx-ChipScore Pro // Компоненты и технологии. 2008. № 10.