

# Схемотехника КМОП-триггеров заказных БИС

Андрей СТРОГОНОВ,  
д. т. н.  
andreis@hotmail.ru

Триггеры в ИС образуют большой класс элементов памяти (ЭП). В отечественных учебниках по микроэлектронике [1, 2] в основном представлены триггеры для биполярной технологии. В данной статье рассмотрены основные схемотехнические особенности построения КМОП-триггеров, широко используемые при проектировании современных ИС.

## Схемотехника одноканальных КМОП-триггеров БИС

Триггеры — это устройства, имеющие два устойчивых состояния, которые устанавливаются при подаче соответствующей комбинации сигналов на управляющие входы и сохраняются в течение заданного времени после окончания их действия. Базовым элементом является D-триггер и его разновидности, остальные виды триггеров, например JK, строятся на основе традиционных методов объединения логических вентилях.

Для построения вентилей в КМОП-схемах в основном используются три вида схемотехники: статическая, синхронизируемая динамическая и проходная.

В зависимости от типов компонент запоминания, используемых в триггерах, они разделяются на статические, динамические и совмещенные — статико-динамические. Если состояние триггера зависит от поступления

синхронизирующего сигнала, то такой триггер относят к синхронным. В асинхронных триггерах переключение происходит при поступлении на управляющие входы соответствующей комбинации входных сигналов. В БИС наибольшее распространение получили синхронные триггеры.

В статических ЭП занесенная информация может сохраняться сколь угодно долго. Основной статического ЭП является бистабильная ячейка, образованная перекрестным объединением инвертирующих логических элементов. Динамические ЭП содержат один логический элемент и дополнительный компонент запоминания по принципу накопления заряда со схемами записи.

Триггеры, синхронизируемые уровнем сигнала, могут изменять свое состояние в течение действия синхронизирующего импульса С при поступлении информационных сигналов на вход D. В момент паузы при изменении уровня синхронизирующего сигнала С их состоя-

ние не зависит от уровней входных сигналов. Обозначение триггера показано на рис. 1а, а временная диаграмма его работы показана на рис. 1б. Такие триггеры в зарубежной литературе называют «защелка» (latch), в отечественной — одноканальный D-триггер или D-триггер, тактируемый уровнем синхросигнала.

D-триггер, синхронизируемый уровнем синхросигнала в КМОП-схемах, строится на основе мультиплексора (MUX) и бистабильной ячейки памяти (рис. 2а). Мультиплексор представляет собой связку проходных ключей, построенных параллельным соединением *p*- и *n*-канальных МОП-транзисторов (рис. 2б, в).

D-триггеры, синхронизируемые фронтом сигнала, изменяют свое состояние при поступлении на синхровход соответствующего фронта синхросигнала — положительного либо отрицательного (рис. 3а). При статических уровнях синхросигнала состояние триггера сохраняется независимо от уровней входных сигналов. Временная диаграмма работы такого триггера показана на рис. 3в. Такие триггеры в отечественной литературе называют двухтактными или фронтовыми. Об этом говорят две буквы «ТТ» на условном графическом изображении (УГО). Обозначение двухтактного триггера, принятое в зарубежной литературе, показано на рис. 3б. Треугольник на УГО показывает, что триггер тактируется передним фронтом синхроимпульса.

В КМОП БИС используют ЭП на основе как простейших бистабильных ячеек, так и более сложных триггеров D-типа. Основным типом ЭП является синхронный D-триггер, тактируемый уровнем синхросигнала. Построение триггеров на основе одних лишь логических элементов 2И-НЕ в КМОП БИС малоэффективно из-за большого числа компонентов и большой площади, занимаемой на кристалле. Поэтому для использования в БИС высокой сложности используются усовершенствованные варианты электрических схем D-триггеров, тактируемых уровнем сигнала.

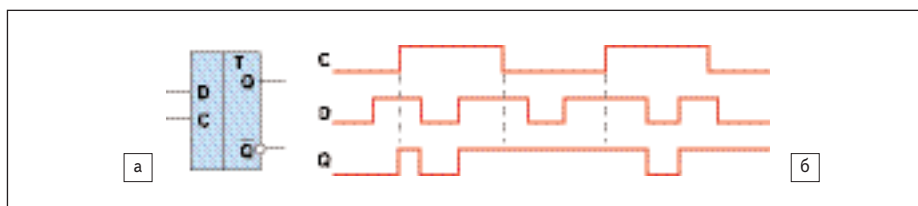


Рис. 1. а) Обозначение D-триггера; б) временные диаграммы работы триггера, тактируемого уровнем сигнала

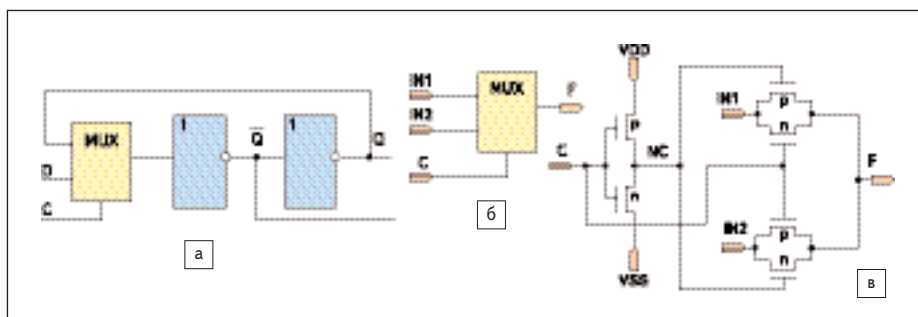


Рис. 2. Одноступенчатый D-триггер: а) вентильная реализация одноступенчатого D-триггера; б) обозначение мультиплексора на логическом уровне; в) мультиплексор на проходных ключах

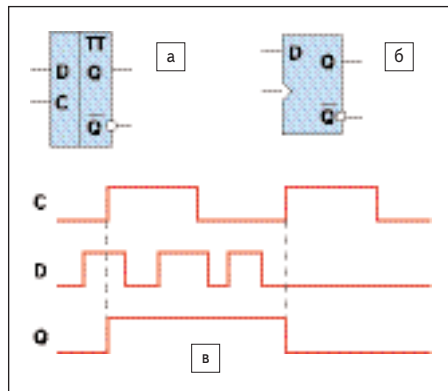


Рис. 3. Обозначение D-триггера, тактируемого фронтом синхросигнала: а) в отечественной литературе; б) в зарубежной литературе; в) временные диаграммы работы

### D-триггеры на основе двунаправленных проходных ключей

D-триггеры на основе проходных ключей наиболее распространены и полно описаны в первых отечественных справочниках по цифровым ИС, например: Шилов В. Л. Популярны цифровые микросхемы. Широко использовались при разработке отечественной серии К1868 4/8-разрядных микро-ЭВМ, применяются в отечественных КМОП БМК. Для реализации таких триггеров по КМОП-технологии достаточно использования одноуровневой металлизации.

Схема D-триггера, тактируемого уровнем синхросигнала на основе двух коммутируемых двунаправленных проходных ключей (первый, входной, на транзисторах VT1, VT2; второй, обратной связи, на транзисторах VT3, VT4), показана на рис. 4а. Транзисторы VT1-VT4 образуют мультиплексор, инверторы D1 и D2 — бистабильную ячейку.

Преимущество проходного ключа на комплементарных транзисторах заключается в том, что ключ управляется сигналами противоположной полярности, поэтому импульсы помех могут взаимно компенсироваться. Следовательно, триггеры на таких ключах обладают высокой помехоустойчивостью. Проходные ключи входят в состав ИС серии К590, К591, К176, К561 и др.

Для тактирования используется двухфазная синхронизация С, NC. Допустим, что на вход С подан высокий уровень сигнала, на вход NC — низкий. Тогда входной ключ открыт и передает сигнал со входа D через инвертор D1 на выход Q̄ в инверсной форме, далее через инвертор D2 поступает на выход Q в прямой форме. При этом ключ обратной связи закрыт и отключает инвертор D2 от узла А и тем самым разрывает обратную связь в бистабильной ячейке D1 и D2. D-триггер находится в режиме передачи сигнала.

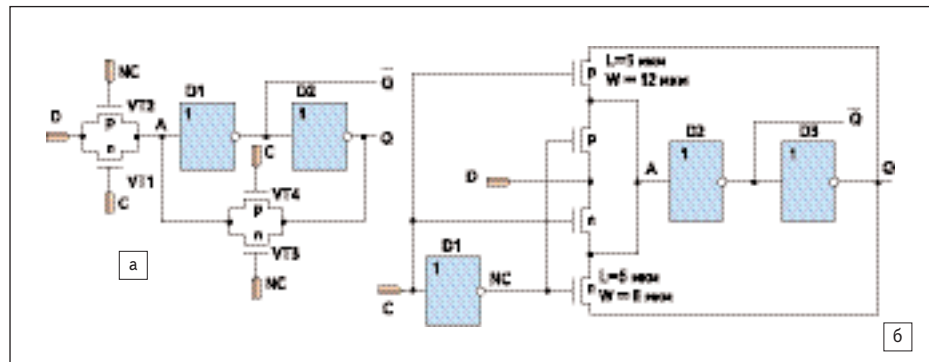


Рис. 4. D-триггер, тактируемый уровнем синхросигнала, на основе двух коммутируемых проходных ключей: а) двухфазное тактирование; б) однофазное тактирование

При изменении фазы синхросигналов С, NC на противоположную входной ключ закрывается и изолирует узел А от входа D. На паразитной емкости узла А сохраняется последнее значение уровня сигнала входа D. Одновременно открывается ключ обратной связи, и инверторы D1 и D2 образуют бистабильную статическую ячейку, в которой запоминается уровень сигнала узла А. Триггер переходит в режим хранения сигнала. Возможно упрощение схемы D-триггера путем исключения ключа обратной связи.

На рис. 4б представлен D-триггер, тактируемый уровнем на проходных ключах (вариант). По принципу работы схема аналогична приведенной на рис. 4а. Она представлена в виде, удобном для топологической реализации на кристалле. Геометрические размеры всех р-МОП-транзисторов берутся равными: длина канала (L) — 5 мкм; ширина канала (W) — 12 мкм. Для n-МОП-транзисторов: L = 5 мкм; W = 8 мкм.

### D-триггеры на основе динамических ключей

D-триггеры на основе динамических ключей наиболее полно описаны в монографии [3]. Широко используются в современных быстродействующих КМОП ИС по субмикронной технологии. Схема D-триггера на основе двух синхронизируемых динамических ключей-инверторов (первый, входной, на транзисторах VT1-VT4, второй, обратной связи, на транзисторах VT5-VT8), с использованием двухфазной синхронизации С, NC, показана на рис. 5а.

Допустим, на вход С подан высокий уровень сигнала, на вход NC — низкий. При этом транзисторы VT2, VT3 открыты, первый ключ функционирует как обычный инвертор, и входной сигнал со входа D передается через узел А и логический элемент D1 на выход Q в прямой форме. В этом режиме транзисторы VT6, VT7 закрыты и изолируют транзисторы VT5, VT8 ключа обратной связи от узла А. При изменении фазы синхросигналов (С — на низкий, NC — на высокий) транзисторы VT2, VT3 закрываются и отклю-

чают входной ключ от входа D, а в узле А на паразитной емкости сохраняется последний уровень сигнала. При этом транзисторы VT6, VT7 включаются, и ключ обратной связи вместе с логическим элементом D1 образуют бистабильную статическую ячейку, в которой запоминается уровень сигнала в узле А, и D-триггер переходит в режим хранения.

На рис. 5б представлена реализация триггера в схематехническом редакторе Sedit САПР Tanner EDA. Из технической документации на топологический редактор LEdit САПР Tanner EDA следует, что динамически синхронизируемые ключи-инверторы используются в топологических библиотеках фирмы Orbit Semiconductor для реализации КМОП ИС по 2 мкм-проектным нормам с n-карманом с 2-уровневой металлизацией и фирмы Hewlett Packard для реализации КМОП ИС с 0.5 мкм-проектными нормами с 3-уровневой металлизацией.

Активным уровнем синхросигнала GB, передаваемого по тактовой синхрролинии, является низкий уровень, поэтому в триггер введен формирователь фаз (рис. 5в), а синхровход на условном графическом обозначении рис. 5г помечен на входе инвертирующим кружком. Рис. 5г следует читать так: выходные сигналы триггера меняются по низкому уровню синхросигнала GB на входе.

С целью сокращения компонентов в схеме в качестве инвертора обратной связи возможно применение статического инвертора (транзисторы VT5, VT6 (рис. 6)).

Однако в такой схеме для переключения из состояния низкого уровня в состояние высокого уровня (на выходе D-триггера) необходимо, чтобы транзисторы VT1, VT2 были способны переключить ток, отдаваемый включенным транзистором VT6, и наоборот, для этого транзисторы VT1-VT4 имеют размеры больше, чем у VT5, VT6.

На рис. 7 показан D-триггер на основе динамических ключей с асинхронным входом очистки Clb. Для организации асинхронного сброса (сигнал Clb, активным является сигнал низкого уровня) в базовый вариант введен логический элемент 2И-НЕ. Наличие ло-

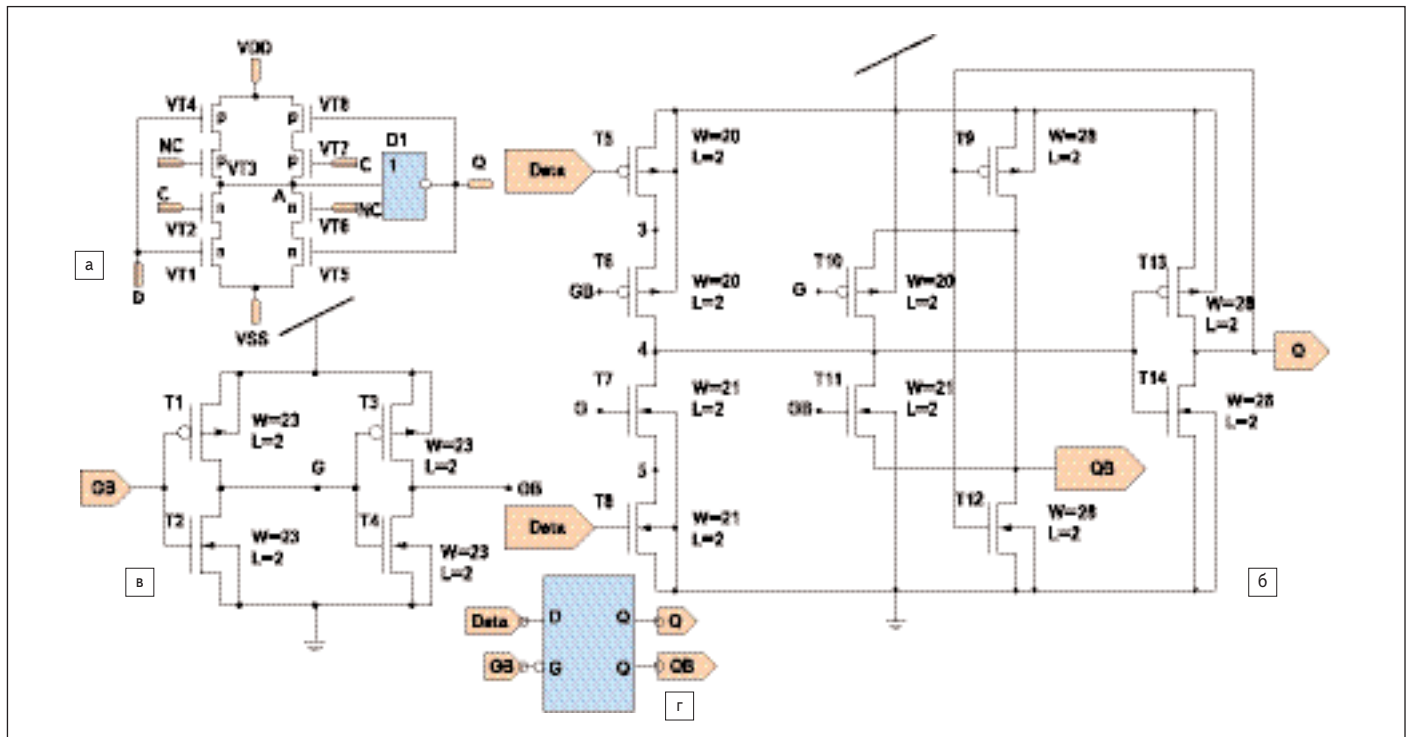


Рис. 5. D-триггер на основе динамических ключей:

а) базовый вариант; б) реализация триггера в схемотехническом редакторе Sedit CAPR Tanner EDA; в) формирователь фаз; г) условное графическое обозначение

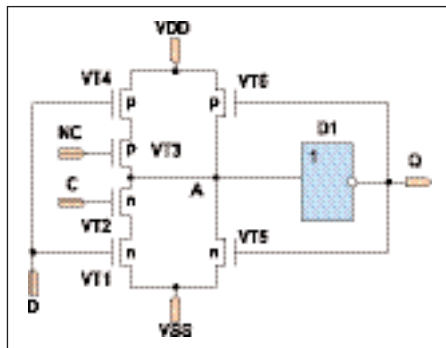


Рис. 6. D-триггер на основе динамических ключей (с использованием одного статического инвертора)

гического нуля на входе Clb независимо от уровня сигнала на другом входе даст логическую единицу на выходе QB, а ее инверсия будет получена на выходе Q (инвертор на транзисторах T11, T14) независимо от уровня синхросигнала на затворах транзисторов T12, T13, то есть триггер «сбросится» асинхронно. Введение в схему асинхронного сброса потребовало дополнительный инвертор на входе информационного сигнала Data. Из этого триггера достаточно просто сделать триггер с асинхронным входом установки (Preset, Set). Нужно лишь заменить QB на Q, а Q на QB и отказаться от дополнительного инвертора на входе Data (рис. 8).

На рис. 9 показаны динамические триггеры с однофазной синхронизацией и с синхронизирующими транзисторами одного типа проводимости. Первая схема построена на основе двух последовательно соединенных динамических инверторов *n*-типа. При высоком уровне синхросигнала на входе С синхронизирующие транзисторы VT2, VT5 инверторов открыты, и информационный сигнал с входа D передается в прямой форме на выход Q. При изменении фазы синхросигнала на противоположную синхронизирующие транзисторы VT2, VT5 закрыты, и в триггере сохраняется уровень последнего передаваемого сигнала. Считается,

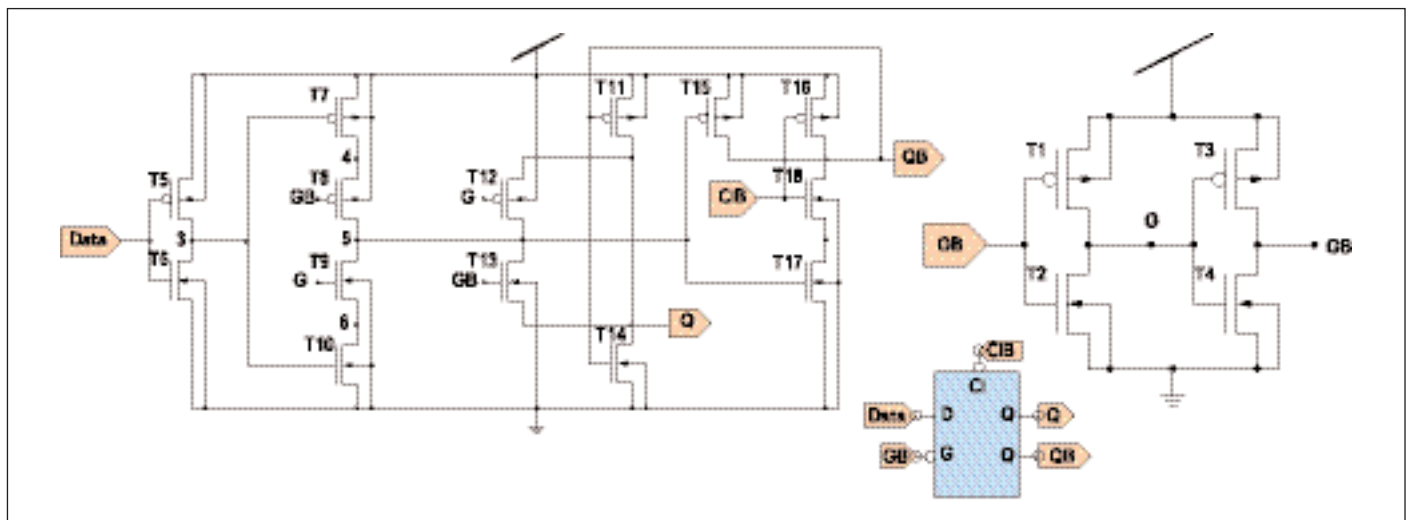


Рис. 7. D-триггер на основе динамических ключей с асинхронным входом очистки (сброса) Clb

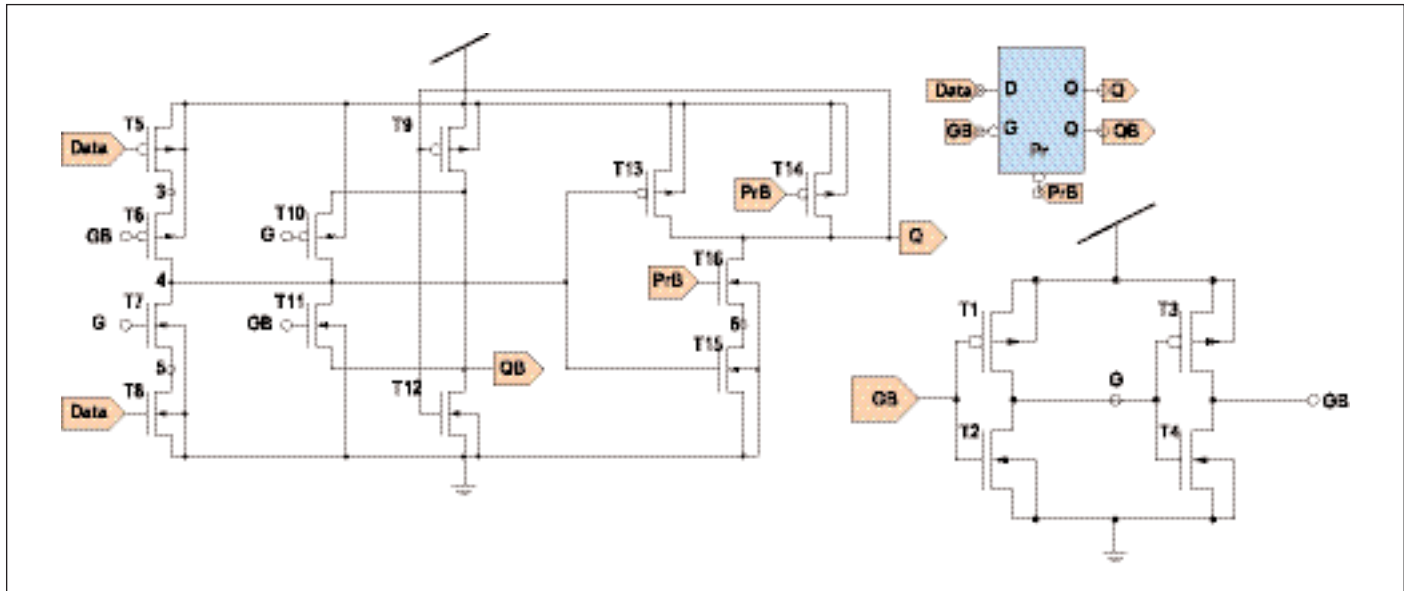


Рис. 8. D-триггер на основе динамических ключей с асинхронным входом установки PrB

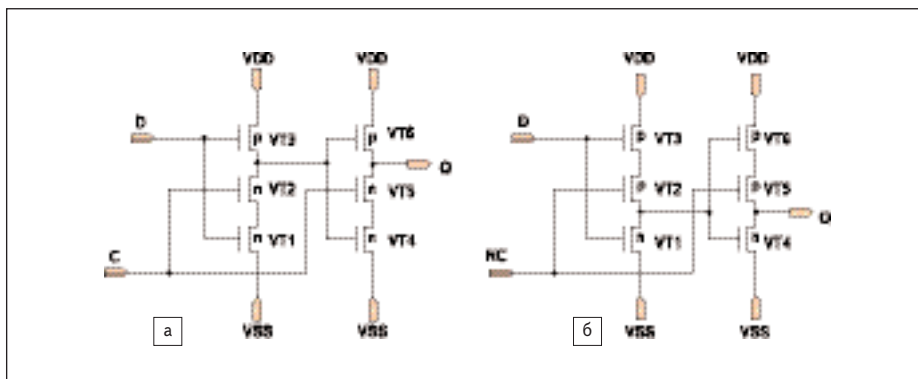


Рис. 9. Схемы динамических D-триггеров с одним синхровходом: а) прозрачная для логической единицы; б) прозрачная для логического нуля

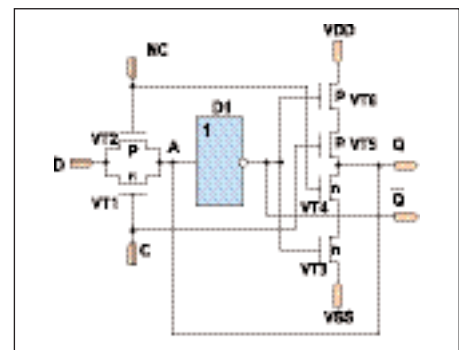


Рис. 10. D-триггер, тактируемый уровнем на основе комбинации ключей двух типов

что схема такого D-триггера прозрачна для выходного сигнала D по высокому уровню синхросигнала. Вторая схема построена на основе динамических инверторов p-типа, функционирует аналогично первой и прозрачна для выходного сигнала D по низкому уровню синхросигнала.

### D-триггеры на основе ключей комбинированного типа

Схема D-триггера, тактируемого уровнем на основе ключей комбинированного типа, представлена на рис. 10. На входе D схема содержит проходной ключ на транзисторах

VT1, VT2, а в цепи обратной связи — динамический ключ на транзисторах VT3–VT6. Допустим, на вход C подан сигнал высокого уровня, а на вход NC — низкого. Тогда входной ключ открыт, и сигнал с входа D через инвертор D1 передается на выход Q̄. При этом транзисторы VT4, VT5 выключены и изолируют транзисторы VT3, VT6 ключа обратной связи от узла A. Выход Q берется непосредственно с узла A. При изменении фазы

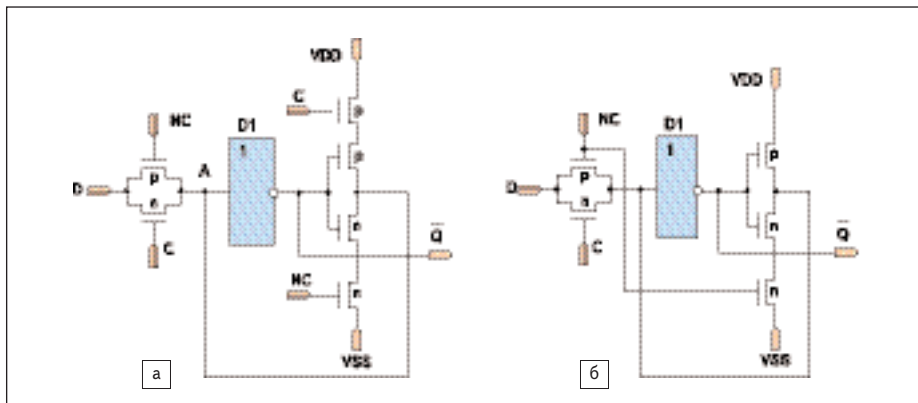


Рис. 11. D-триггер комбинированного типа (вариант): а) смена расположения ключевых транзисторов; б) упрощенная схема ключа обратной связи

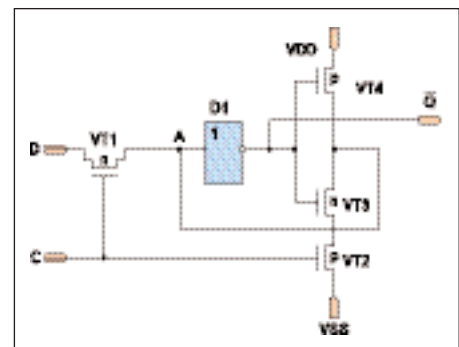


Рис. 12. D-триггер комбинированного типа с одним прямым синхросигналом

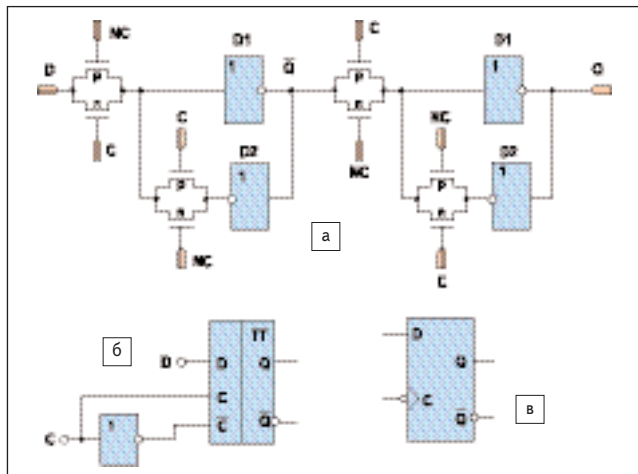


Рис. 13. Статический D-триггер, тактируемый фронтом (срезом) синхросигнала: а) электрическая схема; б) схема подключения; в) графическое обозначение

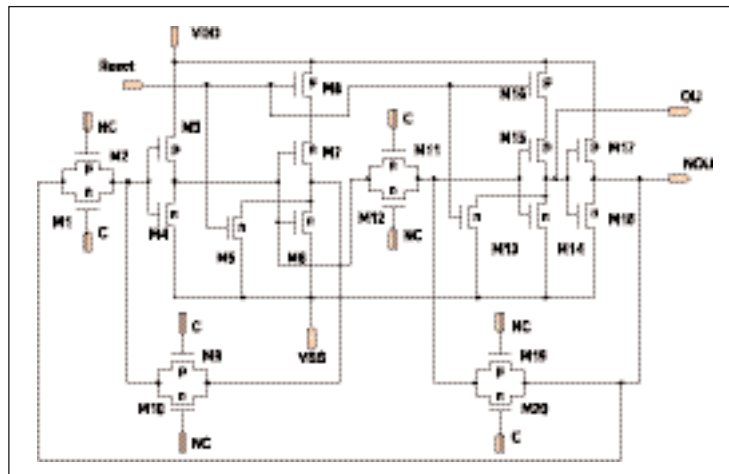


Рис. 14. Электрическая схема статического двухтактного D-триггера с асинхронным входом Reset, включенного по схеме счетного T-триггера

синхросигналов C, NC на противоположную входной ключ закрывается и изолирует узел A от входа D. При этом на паразитной емкости узла A сохраняется последний уровень сигнала входа D.

Одновременно открываются транзисторы VT4, VT5, и включенный ключ обратной связи вместе с инвертором D1 образуют бистабильную ячейку памяти. D-триггер переходит в режим хранения. Иногда используют иное расположение ключевых транзисторов

(рис. 11а). С целью упрощения схемы в ключе обратной связи исключают один из синхронизирующих транзисторов (рис. 11б). Упростить синхронизацию блоков БИС позволяют D-триггеры, использующие один синхровход C (NC). Схема такого типа, синхронизируемая прямым сигналом, показана на рис. 12.

При подаче высокого уровня синхросигнала C транзистор VT1 открыт и обеспечивает передачу сигнала со входа D на выход  $\bar{Q}$  через

инвертор D1. Транзистор VT2 при этом закрыт и отключает транзистор обратной связи VT3. Транзистор VT4 способствует регенеративному включению элемента D1 и повышает уровень напряжения в узле A до уровня VDD, пониженный входным транзистором VT1.

### Схемотехника двухтактных КМОП триггеров БИС

В микропроцессорных БИС, тактируемых фронтом, наиболее употребляемой структурой ЭП является MS (master/slave — ведущий/ведомый). Она предполагает последовательное соединение двух D-триггеров, тактируемых уровнем синхросигнала. В дальнейшем эти триггеры будем называть двухтактными. Фаза тактирования первого триггера (ведущего M) противоположна фазе тактирования второго (ведомого S).

На рис. 13 приведена схема D-триггера, тактируемого срезом синхросигнала. На рис. 14 приведена электрическая схема двухтактного D-триггера (разряд счетчика без занесения данных), включенного по схеме счетного T-триггера, используемого, например, в двоичных четырехразрядных счетчиках. Для данного триггера предусмотрен вспомогательный асинхронный вход Reset (активным является сигнал высокого уровня), предназначенный для сброса триггера в состояние логического нуля. Логическая единица на входе Reset формирует на выходе логического элемента 2ИЛИ-НЕ независимо от уровня сигнала на другом входе логический ноль. ■

### Литература

1. Прянишников В. А. Электроника: Полный курс лекций: Учебник для вузов. СПб. 2003.
2. Основы микроэлектроники: Учебное пособие для вузов / Н. А. Аваев, Ю. Е. Наумов, В. Т. Фролкин. М.: Радио и связь. 1991.
3. Емельянов В.А. Быстродействующие цифровые КМОП БИС. Минск: Полифакт. 1998.