

Проблемы схемотехнического моделирования КМОП СБИС

Преодоление полупроводниковой технологией 0,18-мкм барьера привело к тому, что поведение чисто цифровых схем стало аналоговым, и появилась потребность в применении Spice-подобных программ моделирования для цепей, состоящих из миллионов и десятков миллионов транзисторов. В предлагаемом аналитическом обзоре описано современное состояние этой проблемы.

**Виктор Денисенко,
к.т.н.**

victor@RLDA.ru

Введение

Источником успехов полупроводниковой промышленности в первую очередь является сфера проектирования полупроводниковых изделий. Крупнейшая фабрика проектирования СБИС — Силиконовая Долина (США, Калифорния) не имеет на своей территории полупроводниковых заводов, занимаясь исключительно наукоемкими разработками и проектированием. Относительно новым явлением в полупроводниковой промышленности стало появление в начале 1990-х годов полупроводниковых компаний, не имеющих собственных полупроводниковых заводов (Fabless companies), которые обеспечивают полный бизнес-цикл изделия от идеи до продажи, исключая только изготовление кристаллов, которое выполняется по контракту с кремниевыми мастерскими. Отсутствие собственных заводов позволяет компании сосредоточить усилия на проектировании и новых разработках.

Качество технологии проектирования характеризуется количеством циклов устранения ошибок, допущенных при проектировании, процентом параметрического брака в изготовленных изделиях, размером кристалла, качественными показателями полученного изделия. Требования к качеству проектирования постоянно возрастают. Это вызвано не только естественными требованиями рыночной конкуренции, но также применением полупроводников в областях, связанных с жизнеобеспечением человека, с искусственными органами, с космической и военной техникой.

Два последних десятилетия на рынке полупроводниковой электроники доминирующее положение занимает КМОП-технология. Успешное применение КМОП-технологии для построения аналоговых, в том числе радиочастотных СБИС позволило объединить на одном кристалле разнородные функции, которые ранее выполнялись различными ИС, расположенными на печатной плате.

При проектировании КМОП СБИС используется функционально-логическое, схемотехническое и

физико-технологическое моделирование. На протяжении двух последних десятилетий возможности моделирования постоянно отставали от темпов бурного развития технологии и растущих потребностей полупроводниковой промышленности. Так, уменьшение характерных размеров элементов СБИС на каждые 0,1 микрона приводит к появлению новых физических эффектов в МОП-транзисторах, для учета которых необходимо создавать новые компонентные модели. Появление новых моделей порождает новые проблемы верификации, достоверности, точности, стандартизации, обучения. Для помощи в решении этих проблем созданы такие организации, как совет по компонентным (компактным) моделям (Compact Model Council — СМС), рабочая группа Американского национального института стандартов (NIST Working Group on Model Validation), подкомитет по моделированию при Ассоциации полупроводниковых компаний (FSA Modeling Subcommittee).

Наряду с проблемой достоверности существует проблема быстродействия средств моделирования, которая приводит к необходимости использовать предельно упрощенные модели транзисторов и приближенные методы моделирования электронных цепей. Используемые в настоящее время модели и методы рождены в результате борьбы противоречий между точностью и вычислительной эффективностью.

Одновременное увеличение количества транзисторов на кристалле и уменьшение их размеров (процессор Intel Pentium 4 содержит 42 млн транзисторов и выполнен по технологии 0,18 мкм) привели к тому, что поведение цифровых элементов стало аналоговым и при разработке даже цифровых СБИС уже нельзя обойтись только логическим моделированием. Требуется детальный схемотехнический анализ на электрическом уровне.

Традиционный подход к моделированию МОП-транзисторов основан на математическом моделировании с использованием элементарных алгебра-

ических функций, обыкновенных дифференциальных уравнений и их решению численными методами. Для получения экономичной компонентной модели используют упрощающие допущения, которые неизбежно приводят к потере достоверности моделирования и возрастанию неопределенности в области ее допустимого применения. Неопределенность возрастает также при изменении технологического процесса изготовления СБИС. Трудоемким процессом становится верификация (обоснование достоверности) такой модели.

Проектирование СБИС обычно начинается с составления технического задания и формулирования технических требований на системном уровне. После проверки реализуемости технических требований выполняется функциональный синтез системы, определение функциональных взаимосвязей между ее регистрами или аналоговыми блоками. Проектирование на этом этапе выполняется так, чтобы обеспечить тестируемость изделия после его изготовления. Далее выполняется разработка электрических схем или логической синтез субблоков системы, их оптимизация, верификация и синтез топологии СБИС (размещение на кристалле и трассировка). Схемотехническое моделирование выполняется в два этапа: до проектирования топологии и после него. Второй этап выполняется с учетом паразитных элементов схемы, полученных автоматически, с помощью программ экстракции, поставляемых в комплекте с программами схемотехнического моделирования. В зависимости от сложности проекта циклы схемотехнического моделирования и проектирования топологии могут выполняться на разных уровнях иерархии проекта, чередуясь с этапами верификации топологии и коррекции электрической схемы. Схемотехническое моделирование выполняется с учетом технологического разброса параметров компонентов СБИС. После выполнения последнего этапа верификации топологии изготавливается экспериментальный образец, который тщательно тестируется и при удовлетворительных результатах начинается серийное производство изделия.

В связи с переходом полупроводниковой технологии в нанометровую область (минимальные размеры элементов менее 0,18 мкм) появилось множество новых электрических эффектов, которые ранее наблюдались только в аналоговых схемах и которые не могут быть учтены средствами упрощенного временного анализа. Кроме того, бурный рост средств телекоммуникации, потребительской и автомобильной электроники, а также средств индустриальной автоматизации привел к тому, что уже в настоящее время 25 % всех проектируемых систем на кристалле (SoC) являются аналого-цифровыми и их доля к 2006 году достигнет 70 %. Логические схемы, память и аналоговые блоки, которые раньше располагались в отдельных микросхемах на печатной плате, теперь располагаются на одном кристалле. Верификация такой системы имеющимися средствами моде-

лирования стала невозможной. По этой причине резко возросла актуальность точного схемотехнического (SPICE-подобного) моделирования, которое еще 5-10 лет назад использовалось исключительно для моделирования аналоговых цепей или небольших фрагментов цифровых БИС.

Задачи схемотехнического моделирования СБИС

Целью применения средств автоматизации является сокращение срока выхода на рынок и снижение стоимости проектирования СБИС. Жесткая конкуренция фактически не оставляет времени на исправление ошибок, допущенных на стадии проектирования и выявленных после изготовления кристаллов. Кроме того, переход к субмикронным технологиям увеличивает цену устранения ошибки, поскольку возрастает стоимость изготовления пробной партии ИС. Цена одной ошибки в типовых современных проектах составляет около 1 миллиона долларов. С другой стороны, в потребительской электронике новые разработки становятся старыми в считанные месяцы. Поэтому кратчайшие сроки выполнения проектов очень важны для завоевания рынка и сохранения позиций на нем.

Для получения конкурентных преимуществ выполняется также оптимизация проекта на схемотехническом уровне по критериям быстродействия, потребляемой мощности, надежности, параметрического выхода годных. С расширением рынка телекоммуникационной электроники к этим критериям добавились частота, фаза, уровень шума, искажения.

Значительное влияние на выход годных кристаллов при существенно субмикронных технологиях (менее 0,35 мкм) оказывает технологический разброс параметров элементов схемы, приводящий к так называемому параметрическому браку. Параметрический брак в настоящее время превышает долю брака, возникающего по причине дефектов кремниевых пластин. Моделирование с учетом статистического разброса параметров элементов позволяет спроектировать СБИС с максимальным процентом выхода годных кристаллов.

Размеры элементов СБИС приблизились к фундаментальным физическим пределам и поведение элементов цифровых цепей стало аналоговым. В цифровых СБИС стали существенными перекрестные помехи, индуктивность и сопротивление шин питания, земли и межсоединений, взаимные индуктивности, электромиграция атомов, паразитное потребление мощности в статическом режиме. При технологии 0,25 мкм только 20 % задержек в БИС определяются затворами МОП-транзисторов, а 80 % — межсоединениями. Для технологии 0,18 мкм задержка даже в медных линиях связи сравнялась с задержкой в вентилях. Индуктивные паразитные связи потребовали экранирования линий передачи на кристалле. В связи с уменьшением

напряжения питания СБИС до 1,2 В увеличилась относительная величина выбросов на шинах питания и земли. Таким образом, возросло общее число параметров электрической схемы, технологический разброс которых может вывести СБИС за границу технологического допуска. Поэтому при проектировании СБИС уже нельзя обойтись только логическим моделированием, появилась необходимость моделирования всей СБИС целиком на предельно детальном схемотехническом уровне, с учетом всех паразитных элементов.

Если раньше основные затраты приходились на стадию верификации проекта, то теперь резко возросли затраты на стадии размещения элементов, поскольку критерии размещения с учетом паразитных связей существенно усложнили этот процесс и он стал зависеть от результатов схемотехнической верификации СБИС. То есть с переходом в субмикронную область повысилась актуальность схемотехнического моделирования при проектировании топологии СБИС.

Многообразие задач проектирования и невозможность создания единого средства их решения породили целый спектр систем схемотехнического моделирования (рис. 1). Общая закономерность в их характеристиках состоит в том, что с ростом быстродействия программы или предельного размера моделируемой цепи уменьшается точность и достоверность полученного результата. Несколько необычным на рис. 1 является указание тестового кристалла в одном ряду со средствами моделирования, однако нужно учесть, что моделирование на компьютере является лишь разновидностью моделирования в широком смысле этого понятия, которое включает в себя также и физическое моделирование. При физическом моделировании соответственные величины природы и модели имеют одинаковую физическую природу. Поэтому транзисторы и электрические цепи, расположенные на тестовом кристалле, можно рассматривать как физические модели фрагментов будущей СБИС. Причем место тестового кристалла в начале координат связано с тем, что он является предельно точной моделью и используется в системах моделирования в качестве эталона, для «калибровки кремнием» средств моделирования. С другой стороны, тестовый кристалл является и самой быстродействующей моделью.

Максимальной точностью и достоверностью обладают классические программы схемотехнического моделирования (SPICE-подобные программы), которые основаны на машинном составлении системы обыкновенных дифференциальных уравнений электрической цепи и их решении без применения упрощающих предположений. В них используются численные методы Рунге — Кутты или метод Гира для интегрирования системы дифференциальных уравнений, метод Ньютона-Рафсона для линеаризации системы нелинейных алгебраических уравнений и метод Гаусса или LU-разложение для решения системы линейных алгебраических уравнений. Модифи-

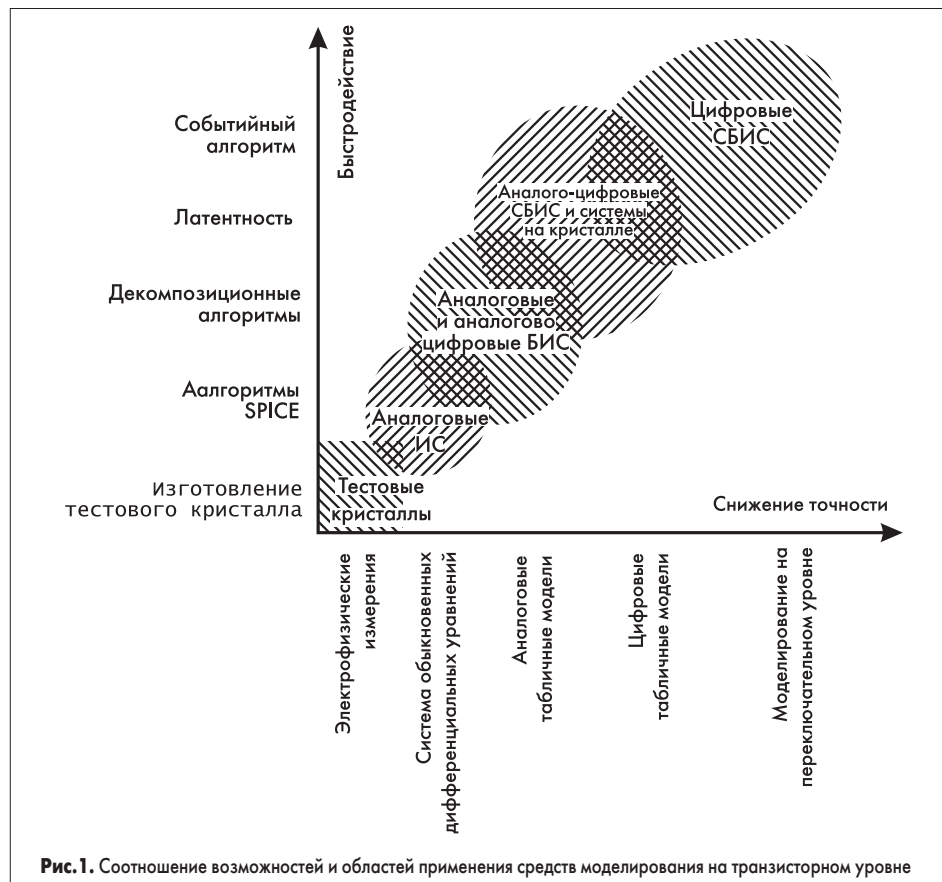


Рис. 1. Соотношение возможностей и областей применения средств моделирования на транзисторном уровне

фикации этих методов направлены на улучшение сходимости или вычислительной эффективности без упрощения исходной задачи. Современные программы классического схемотехнического моделирования позволяют анализировать электрические цепи, содержащие до 50 тыс. транзисторов при использовании типовых рабочих станций проектирования СБИС.

SPICE-подобные системы моделирования используются в основном для проектирования аналоговых и аналого-цифровых цепей, библиотечных элементов и стандартных ячеек полузаказных СБИС. Они позволяют решить следующие задачи проектирования:

- верификация проекта в целом с учетом паразитных элементов, которые появляются после проектирования топологии СБИС;
- оптимизация отдельных блоков электрической цепи;
- выбор параметров элементов с учетом их технологического разброса, с целью увеличить выход годных кристаллов;
- статистический расчет выхода годных кристаллов;
- статистический расчет надежности, связанной со старением элементов, запасом помехоустойчивости и воздействием внешних факторов;
- оптимизация в заданном температурном диапазоне.

Противоположными свойствами обладают методы моделирования на логическом (вентильном) уровне, которые используют булевы уравнения и двоичные переменные. Моделирование на вентильном уровне используется для полной функциональной верификации (проверки функционирования) проекта СБИС.

Попытки совместить быстродействие логического моделирования с возможностью предсказания динамических характеристик СБИС привели к появлению временного моделирования на переключательном уровне. В этом методе МОП-транзистор моделируется линейным сопротивлением, которое включается между выводами истока и стока с помощью идеального ключа. Все емкости электрической цепи считаются подсоединенными к «земле» и задержки вычисляются как произведение емкости на сопротивление. Такой подход позволяет получить непрерывные задержки (а не выбирать их из дискретного ряда), учесть двунаправленное прохождение сигнала, статическое распределение заряда, неопределенные логические состояния.

Моделирование на переключательном уровне используется для временной верификации проекта, выявления гонок и критических путей прохождения сигнала в цифровых и аналого-цифровых СБИС.

Для увеличения скорости моделирования SPICE-подобных систем при минимальном снижении достоверности используются методы, которые первоначально были разработаны для логического моделирования (методы ускоренного моделирования). К ним относится моделирование только активной части цепи, то есть путей распространения сигнала, учет временной неактивности (латентности) подсхем, применение табличных моделей активных элементов, применение различного временного шага и различных численных методов для разных подсхем, применение макромоделей и сочетание различных методов моделирования на разных уровнях иерархии проекта СБИС (гибридное

электро-логическое моделирование), моделирование на дискретной сетке переменных, применение кусочно-линейных моделей элементов, экспоненциальная подгонка. Сочетание этих приемов позволяет увеличить скорость моделирования в 10-100 раз и настолько же увеличить предельную размерность моделируемой цепи. Главной характеристикой таких программ является предельный размер электрической цепи, которую она позволяет моделировать за приемлемое время.

Методы ускоренного схемотехнического моделирования используются для более точной (по сравнению с логическим и временным моделированием) временной верификации полностью заказных СБИС с учетом паразитных элементов, выбросов на шинах питания и земли, взаимовлияний сигналов в линиях передачи.

Недостатком методов ускоренного моделирования является снижение достоверности полученного результата. Так, использование свойства латентности подсхем приводит к необходимости принятия допущения о неактивности подсхем, поскольку, строго говоря, подсхема бывает пассивной только функционально, но не электрически: ведь паразитные выбросы на шинах питания и земли, а также межсоединений воздействуют на подсхему независимо от ее функциональной латентности. Аналогично встает вопрос о критериях наступления события при событийном управлении процессом моделирования. Кроме того, событийный алгоритм основан на транспортной модели задержки сигнала, а не аналоговой, которая имеет место в реальной СБИС. Применение дискретной сетки переменных и табличных моделей ставит проблему выбора величины шага дискретизации. При замене некоторых фрагментов СБИС их макромоделями возникает проблема выбора требуемой погрешности макромоделей и т. д.

Основной причиной снижения достоверности при использовании методов ускоренного моделирования является то, что для получения достоверных критериев упрощения исходной задачи нужно сначала получить ее точное решение. В описанных же случаях такого решения априори нет. То есть все величины, на основании которых принимается решение о латентности, наступлении события или шаге сетки и т. п., являются исходно неточными. По этой причине наряду с понятием точности при описании свойств программ моделирования используют понятие достоверности. Достоверность понимают как вероятность того, что результат моделирования имеет ожидаемую точность. Более подробно понятие достоверности будет рассмотрено при описании свойств компонентных моделей МОП-транзисторов. В результате низкой достоверности средств ускоренного моделирования для субмикронных СБИС только 40 % проектировщиков достигли успеха, используя программы, не учитывающие тонкие аналоговые эффекты.

Несмотря на то что SPICE-подобные системы моделирования имеют наибольшую

точность, потребность в ее дальнейшем увеличении существует с момента создания SPICE и до наших дней. Резервы повышения точности связаны, в основном, с точностью компонентных моделей элементов СБИС. В некоторых (редких) случаях в качестве компонентных моделей могут быть использованы точные физико-топологические модели. Такая потребность существует, например, при тесной функциональной интеграции полупроводниковых компонентов, когда они соединены не только электрически, но и взаимодействуют посредством механизмов дрейфа, диффузии носителей или через электрические поля объемных зарядов в полупроводнике. Примерами программ схемотехнического моделирования, в которых используются физико-топологические модели, являются программа MixedMode2D/3D фирмы Silvaco или программа DESSIS фирмы ISE AG.

Фактически, идеология проектирования СБИС в настоящее время формируется не столько на основании существующих потребностей, сколько исходя из соотношения «быстродействие — точность — размерность» средств моделирования, имеющихся на рынке. Каждая компания, работающая в области САПР СБИС, предлагает свой маршрут проектирования исходя из существующих в ее распоряжении инструментальных средств. Однако общей тенденцией в коррекции этого маршрута, сложившейся после появления существенно субмикронной и нанометровой технологии, является использование точного SPICE-подобного моделирования для СБИС, содержащих 10–100 млн транзисторов на кристалле.

SPICE-подобные программы моделирования

В полупроводниковой индустрии используется несколько десятков программ схемотехнического моделирования, базирующихся на решении систем дифференциальных уравнений и не использующих допущений, снижающих достоверность получаемого результата. Обзор, выполненный ассоциацией полупроводниковых компаний FSA (Fabless Semiconductor Association) в 1999 году, показывает, что наиболее широко используемой программой моделирования на тот момент была программа HSpice, разработанная Meta-Software Inc. и продвигаемая фирмой Avanti Corporation (ее используют 57 % компаний ассоциации FSA); за ней следует Spectre (Cadence), затем Eldo (Mentor Graphics), далее идут SmartSpice (Silvaco), PSpice (Cadence), Saber, ADS, Berkeley Spice, Dr.Spice, SMASH, Spice3. Следует отметить, что область применения программ зависит не только от их функциональных возможностей, но, в большей степени, от коммерческого интереса продвигающей его компании. Многие программы используются для моделирования преимущественно устройств на печатных платах, как, например, PSpice из комплекта DesignLab или программы ICAPS (Intusoft), MultiSim (Electronics WorkBench)

или Protel (Altium). Кроме коммерчески доступных программ, существуют также частные программы, созданные для внутреннего использования фирмами, проектирующими СБИС.

Большинство программ моделирования основаны на алгоритмах и даже используют исходные тексты программы Spice2G6 (Калифорнийский университет в Беркли) и имеют сохранившийся с тех пор и ставший стандартом де-факто входной язык описания схем. Поэтому в дальнейшем мы будем использовать термин «SPICE-подобные средства схемотехнического моделирования» в тех случаях, когда необходимо подчеркнуть, что при моделировании не используются упрощающие предположения, снижающие достоверность результата, как, например, в системах «ускоренного» моделирования, описанных в предыдущем разделе.

Основные модификации, которые обычно вносят в программу Spice2G6, представляют собой методы логического и смешанного (электрологического) моделирования, модификации некоторых алгоритмов с целью расширения области их сходимости, расширение библиотеки моделей, использование новых моделей элементов, в том числе макромоделей и моделей поведенческого (функционального) уровня иерархии. Предельное количество транзисторов, которое может быть смоделировано такой программой, ограничивается только объемом оперативной памяти компьютера.

Программы моделирования позволяют выполнять анализ по постоянному и переменному току, анализ переходных процессов, многовариантный анализ, оптимизацию, статистический анализ, анализ шумовых свойств цепи. Средства для моделирования радиочастотных схем обычно выполняются как отдельные программные продукты и позволяют выполнять анализ статического режима, установившегося режима для малого сигнала, установившегося режима при анализе шума, установившегося режима для модулированных сигналов, расчет S-параметров для малого и большого сигнала, анализ устойчивости, оптимизацию, поведенческое моделирование с использованием языка Verilog-A.

Возникшая несколько лет назад технология микроэлектромеханических систем (MEMS) побудила многие компании включить в SPICE-подобные программы средства моделирования этих систем. Такие программы позволяют анализировать проект, содержащий одновременно электрические, механические и гидравлические элементы, блоки систем автоматического управления.

Программы для проектирования СБИС традиционно используются на рабочих станциях Sun или HP, однако в последние годы в связи с опережающим ростом IBM-совместимых компьютеров большинство фирм быстро адаптировали свои программные средства к Windows 2000 и Windows NT.

Разработчики средств моделирования стремятся использовать все модели, нашедшие широкое признание и поддерживаемые программами идентификации параметров. Это

модели полевых транзисторов (BSIM4, BSIM3v2, BSIM3v3.1, EKV, Philips Level 9, Level 1, 2, 3, BSIM1, BSIM2, HV_MOS); модели арсенид-галлиевых полевых транзисторов (Statz, Curtice I&II, TOM, TriQuint), модели полевых транзисторов со структурой полупроводника-изолятор (SOI) (BTA SOI и BSIM3SOI); модели биполярных транзисторов Гуммеля-Пуна и Эберса-Молла, VBIC, Mextram; модель мощных биполярных транзисторов HICUM, модели гетеропереходных транзисторов, модели аморфных и поликремниевых транзисторов. Некоторые программы имеют в своем составе средства для включения новых моделей элементов, описанных на языке C, C++ или FORTRAN.

Общей тенденцией в развитии средств моделирования является их тесная интеграция с программами, выполняющими графический ввод электрической схемы, отображение и обработку результатов моделирования, проектирование топологии СБИС или печатной платы, экстракцию паразитных параметров топологии, идентификацию параметров моделей и макромоделей, физико-топологическое моделирование и синтез макромоделей. Намечалась также открытость (доступность) и стандартизация моделей, языков описания схемы и форматов обмена данными между программами разных производителей. Это позволило использовать средства проектирования, составленные из компонентов, разработанных конкурирующими фирмами.

Наиболее распространенным средством проектирования СБИС (после HSpice) является программа Spectre (Cadence), которая позволяет одновременно моделировать цепи, содержащие до 50 тыс. транзисторов. Spectre имеет стандартные языки описания аппаратуры AHDL и Verilog-A 2.0 для аналоговых и Verilog-AMS 2.0 для аналого-цифровых СБИС. Программа имеет улучшенную сходимость, что остается проблемой для большинства Spice-подобных моделирующих систем. Благодаря динамическому связыванию всех компонентных моделей примерно в два раза уменьшены требования к объему памяти, необходимому для моделирования и формирования уравнений электрической цепи. Система моделирования Spectre имеет средство подключения пользовательских моделей CMI (Custom Model Interface). Входной формат совпадает с форматом Spice2 и Star-HSpice (бывшая HSpice).

Разновидностью пакета Spectre является Spectre RF, который предназначен для разработки радиочастотных СБИС современных систем беспроводной коммуникации. Он обеспечивает нелинейный анализ, поведенческое моделирование, моделирование пассивных и паразитных элементов, которые встречаются в радиочастотных интегральных схемах. Позволяет рассчитать коэффициенты преобразования АЦП и ЦАП, шумовые характеристики, отклики на паразитные выбросы, фазовый шум, поддерживает анализ Монте-Карло в частотной области.

Программа Eldo (Mentor Graphic) работает в 3–10 раз быстрее обычного Spice. Она име-

ет интеллектуальный переключатель алгоритмов моделирования и позволяет моделировать цепи, содержащие до 300 тыс. транзисторов. Входной язык совместим с входным языком программы HSpice.

Программа Saber (Analogy) позволяет моделировать СБИС на смешанном уровне, включающем системный уровень, и позволяет анализировать проект, содержащий одновременно электрические, механические и гидравлические элементы, а также блоки систем автоматического управления. Saber может работать совместно с популярными программами моделирования цифровых систем Verilog, QuickSimII, ViewSim. Для взаимодействия между программами применяется запатентованный алгоритм Calaveras, который обеспечивает взаимодействие между цифровой и аналоговой частями. Для увеличения надежности сходимости Saber использует пять различных алгоритмов решения уравнений электрической цепи. Если один из них расходится, Saber автоматически использует другой алгоритм.

В связи с появлением острой потребности в моделировании СБИС, содержащих миллионы транзисторов, на предельно детальном электрическом уровне, за последние годы появилось несколько программ, которые позволяют в значительной степени повысить достоверность моделирования при сохранении высокого быстродействия. К ним относятся HSIМ (NASSDA Corporation), UltraSim (Celestry) и SmartSpice (Silvaco).

Программа HSIМ фирмы NASSDA Corporation использует следующие принципы и методы ускоренного моделирования:

- применяется высокоэффективная иерархическая база данных для хранения промежуточных результатов моделирования повторяющихся фрагментов электрической цепи, для разных уровней иерархии;
- используются особенности иерархических структур для повышения быстродействия при сохранении точности. Анализируется разброс формы сигналов на выводах одинаковых подсхем и если разброс меньше допустимого, данная подсхема не анализируется, а берется результат моделирования сходной подсхемы (алгоритм подбора изоморфных подсхем);
- рекурсивный алгоритм решения уравнений для блочных матриц;
- иерархический алгоритм корректной редукции паразитных RC-элементов для понижения размерности моделируемой системы уравнений;
- отдельный алгоритм для моделирования перекрестных связей, индуктивных эффектов и помех на шинах питания и земли;
- алгоритмы эффективного сшивания функциональных подсхем с подсхемами, содержащими источники помех и паразитные элементы межсоединений.

UltraSim фирмы Celestry является первой программой, позволяющей выполнить анализ 1 миллиарда транзисторов (для устройств памяти) на Spice-подобном уровне детализации. Она использует оригинальную адаптивную иерархическую систему сжатия

информации о проекте и новый алгоритм решения системы обыкновенных дифференциальных уравнений. Пользователь может выбрать желаемое соотношение «точность — быстродействие». Имеются иерархический и полный режимы моделирования, средства экстракции паразитных элементов, их редукции и моделирования. Ускорение до 100-10000 раз по сравнению со Spice достигается при погрешности 1 % относительно Spice.

Важно подчеркнуть, что многие фирмы скрывают суть используемых алгоритмов и не приводят методику оценки погрешности моделирования, ограничиваясь декларацией коммерчески привлекательных показателей. Однако отсутствие критики увеличивает непредсказуемость результата и фактически достоверность моделирования определяется не техническими свойствами программы, а доверием к фирме, ее репутацией, историей, авторитетом команды разработчиков программы. В этом отношении важны попытки разработать стандарты для оценки качества моделирующих средств, которые, однако, сталкиваются с проблемами быстрого старения стандартов по сравнению с процессами адаптации программ к бурно растущим потребностям рынка средств САПР.

Интерфейс к пользовательским моделям

Многие средства схемотехнического моделирования предоставляют пользователю возможность добавления новых моделей, описанных на языках C, C++, FORTRAN. Это полезно в следующих случаях: во-первых, самые многочисленные ошибки, обнаруженные в программах схемотехнического моделирования, являются ошибками в описании моделей транзисторов. Имея интерфейс к моделям, пользователь может самостоятельно подключить к программе обновленную версию модели. Полезна также возможность проверки соответствия между версией модели в программе моделирования и в программе идентификации ее параметров. Эта процедура становится особенно удобной благодаря возможности обновления версий через Интернет. Пользователь может также использовать любую модель, которую он понимает и которой доверяет.

Для построения интерфейса между программой и моделями программу моделирования делят на две части. В одну из частей входят алгоритмы заполнения матрицы, расчета статического режима, численного интегрирования, проверки сходимости, во вторую часть — собственно уравнения модели. Интерфейс к моделям оформляют обычно как DLL-библиотеку, написанную на языке C++ и поставляемую в исходных кодах. Библиотека содержит описание параметров, задаваемых пользователем и процедуру их преобразования во внутренние параметры модели, а также уравнения для токов и проводимостей в зависимости от напряжений на выводах прибора. Модель описывается с помощью двух структур: структуры «модель»

и структуры «транзистор». В процессе моделирования создаются копии структуры «транзистор» для каждого транзистора цепи. В ней хранится информация об узлах подключения транзистора в моделируемой цепи, длина и ширина канала и адрес входа в матрицу проводимостей, полученную из описания электрической цепи. Параметры структуры «модель» устанавливаются равными соответствующим параметрам оператора «MODEL» во входном описании задания на анализ. После выполнения изменений в модели пользователь должен выполнить компиляцию полученной DLL, после чего она становится доступной для программы моделирования.

Для программы PSpice (MicroSim) таким интерфейсом является DeviceEquations, для HSpice (последняя его версия называется StarHSpice) — Common Model Interface (CMI), для SmartSpice (Silvaco) — SmartLib Interface (SLI), для SmartSpice (Silvaco) — C-Interpreter.

Интерфейс к пользовательским моделям позволяет обычно выполнять следующие модификации: изменять имена параметров моделей, присваивать параметру алиасное имя, добавлять новые параметры, изменять уравнения модели, добавлять новые типы моделей, изменять внутреннюю структуру модели.

Чтобы получить выходные данные модели, сначала рассчитываются величины внутренних параметров при заданной температуре, затем величины параметров пересчитываются для заданной геометрии прибора, затем рассчитываются токи и проводимости. Проводимости вычисляются по аналитически полученным формулам как частные производные каждого из токов по напряжениям на выводах прибора.

Средство добавления пользовательских моделей фирмы Silvaco наиболее сильно отличается от описанной выше методики. Наиболее существенное отличие состоит в том, что используется не стандартный компилятор с языка программирования, а собственный интерпретатор C-Interpreter, созданный специально для получения оптимизированных машинных кодов из входного описания модели. Встроенный в C-Interpreter отладочный интерфейс позволяет пользователю сосредоточиться на разработке самой модели и сразу же увидеть результат сделанных изменений, не тратя время на этап компиляции. Код, полученный с помощью C-Interpreter, исполняется в 4-7 раз быстрее кода, полученного стандартными компиляторами.

Структура библиотеки моделей компании Silvaco настолько универсальна, что один и тот же модуль может быть использован во всех программах моделирования этой фирмы, в том числе и в программе идентификации параметров моделей UTMOST (Silvaco). В комплект средств подключения новых моделей входит библиотека моделей SmartLib, а также средство создания, редактирования и удаления моделей SmartLib Interface (SLI). В состав SmartLib входит также интерпретатор C-Interpreter.

Окончание следует